

RESUMEN

La necesidad actual de SoCs heterogéneos para aplicaciones que requieren un poder computacional cada vez mayor ha incrementado la complejidad de los procesos de diseño, verificación e integración. SoCs ejecutando software en procesadores host con funciones aceleradas en IP-cores ofrecen un mayor desempeño comparado con arquitecturas tradicionales. En particular, FPGAs permiten la creación de aceleradores de funciones cuyo desempeño es limitado en procesadores de software embebido. Sin embargo, la necesidad de trabajar en bajos niveles de abstracción (e.g., HDL) puede significar una desventaja. En la actualidad, los métodos y herramientas HLS (High-Level Synthesis) ofrecen reducir la complejidad de diseño usando descripciones de alto-nivel. El propósito de esta tesis es investigar la metodología de diseño, usando Vivado HLS, para acelerar el desarrollo de SoCs heterogéneos de alto desempeño basados en FPGA. Para abordar este problema, esta tesis plantea la creación de aceleradores (IP-cores) de algoritmos usados en aplicaciones de sistemas embebidos y de control en base a los cuales se explora las optimizaciones y limitaciones de Vivado HLS. El resultado de esta tesis demuestra que el método de diseño utilizado es efectivo en la creación de IP-cores que incrementan el desempeño de la ejecución de algoritmos. Las principales contribuciones de esta tesis son: (i) documentación acerca de los métodos, teoría y herramientas de HLS, (ii) diseños y documentación de referencia de aceleradores en hardware de FPGA, (iii) flujo de diseño para la creación de aceleradores en SoCs de Xilinx, y (iv) scripts Tcl para la creación semiautomática de IP-Cores y SoCs de Xilinx.

PALABRAS CLAVE:

- **SISTEMAS EMBEBIDOS**
- **SOCS BASADOS EN FPGA**
- **SÍNTESIS DE ALTO-NIVEL**
- **SISTEMAS HETEROGÉNEOS**

ABSTRACT

The current need for heterogeneous SoCs in complex applications has increased the difficulty of the design, verification and integration processes. SoCs using host processors running embedded software with functions accelerated in IP-cores offer higher performance than traditional architectures. In particular, FPGAs allow creating hardware accelerators for algorithms whose performance is limited in embedded software processors. However, the need to work at low-levels of abstraction (e.g., HDL) is the major disadvantage of these architectures. Currently, HLS (High-Level Synthesis) methods and tools offer to reduce the design complexity using high-level descriptions. To address this problem and take advantage of HLS, this thesis investigates the design methodology to accelerate the development of IP-cores for high-performance heterogeneous SoCs based on FPGA, using Vivado HLS. Besides, this thesis creates such IP-cores to accelerate the execution of algorithms used in applications of embedded and control systems. Using these accelerators, this thesis explores the performance and limitations of the optimization features of Vivado HLS. The result of this thesis shows that the devised design methodology is adequate for the creation of IP-cores that increase the execution performance of algorithms, in several speedup factors. The main contributions of this thesis are (i) documentation about the methods, theory, and tools of HLS, (ii) reference designs and documentation of the accelerators created in FPGA hardware, (iii) design flow for the creation of accelerators in Xilinx SoCs, and (iv) Tcl scripts for the semiautomatic creation of Xilinx IP-Cores and SoCs.

KEY WORDS:

- **EMBEDDED SYSTEMS**
- **FPGA-BASED SOCS**
- **HIGH-LEVEL SYNTHESIS**
- **HETEROGENEOUS SYSTEMS**