

INSTITUTO TECNOLÓGICO SUPERIOR AERONÁUTICO

ESCUELA DE TELEMÁTICA

“OPTIMIZACION DEL LABORATORIO DE SISTEMAS DIGITALES EN EL I.T.S.A. MEDIANTE LA CONSTRUCCIÓN DE ENTRENADORES DIGITALES Y ELABORACIÓN DE GUIAS DE LABORATORIO”

POR:

**CBOS. CAÑAR MARTÍN
CBOS. FUENTES JUAN
CBOS. VERGARA CARLOS**

Tesis presentada como requisito parcial para la obtención del título de :

TECNÓLOGO EN TELEMÁTICA

2001

CERTIFICACIÓN

Certifico que el presente trabajo fue realizado en su totalidad por los Srs. Cbos. Cañar Martín, Fuentes Juan y Vergara Carlos, como requerimiento parcial a la obtención del título de TECNÓLOGOS EN TELEMÁTICA.

Latacunga, 19 de octubre del 2001

Ing. Magdalena Zapata.

AGRADECIMIENTO

Con este proyecto que sintetiza el conocimiento en el Instituto Tecnológico Superior Aeronáutico queremos dejar plasmado nuestro sincero agradecimiento primero a Dios por iluminarnos con muchos conocimientos y sabiduría, puesto que sin ello no hubiésemos podido cumplir con esta meta en nuestras vidas.

Además queremos agradecer a la Ing. Magdalena Zapata quien mediante su experiencia capacidad e inteligencia supo guiarnos en la elaboración de nuestro proyecto, y también queremos agradecer a los señores Oficiales, señores Aerotécnicos e Ingenieros de este prestigioso Instituto por la valiosa enseñanza que supieron brindarnos en el momento que lo necesitamos.

Cbos. Cañar Martín

Cbos. Fuentes Juan.

Cbos. Vergara Carlos.

DEDICATORIA

Este esfuerzo y el compromiso de que lucharemos toda nuestra vida por ser mejores y obrar siempre bien lo dedicamos de manera especial a nuestros padres, personas quienes estuvieron siempre a nuestro lado apoyándonos en todo momento y siempre brindándonos apoyo, confianza y su bondad, gracias a ellos estaremos siempre luchando y alcanzando nuestras metas, dedicamos también con todo cariño a nuestras familias por el apoyo incondicional que siempre nos han brindado y a todas las personas que de una u otra manera han incidido en el logro de esta etapa de nuestras vidas.

Cbos. Cañar Martín
Cbos. Fuentes Juan.
Cbos. Vergara Carlos.

INDICE

CAPITULO I

GENERALIDADES	PAG
1.1.- Planteamiento del Problema.....	1
1.2.- Objetivos.....	1
1.2.1.- Objetivo General.....	1
1.2.2.- Objetivos específicos.....	1
1.3.- Justificación.....	2

CAPITULO II

COMPUERTAS LOGICAS

2.1.- Teoría Sobre los Sistemas Digitales.....	3
2.2.- Circuitos Combinacionales.....	4
2.2.1.- Compuerta O (OR).....	4
2.2.2.- Compuerta Y (AND).....	5
2.2.3.- Compuerta NOT.....	7
2.2.4.- Compuerta ON (NOR).....	8
2.2.5.- Compuerta YN (NAND).....	9
2.2.6.- Compuerta OR Exclusiva.....	11

2.2.7.- Compuerta NOR Exclusiva.....	12
2.3.- Teoría sobre los mapas de Karnaugh.....	12

CAPITULO III

CIRCUITOS COMBINACIONALES

3.1.- Definición.....	14
3.2.- Síntesis de Circuitos Combinacionales.....	14
3.3.- Términos Indiferentes.....	16
3.4.-Half Adder y Full Adder.....	17
3.5.- Restadores.....	19
3.6.- Codificadores.....	22
3.7.- Decodificadores.....	23
3.8.- Multiplexores.....	25
3.9.- Demultiplexores.....	26
3.10.- Multiplicadores.....	27
3.11.- Terminología Empleada.....	29
3.11.1.- Parámetros de Corriente y Voltaje.....	29
3.12.- La Familia Lógica TTL.....	30
3.13.- Características de los Circuitos Lógicos MOS.....	31
3.14.- Características de las Series CMOS.....	32

CAPITULO IV

CIRCUITOS SECUENCIALES ASINCRONOS

4.1.- Introducción.....	34
4.2.- Lógica secuencial síncrona.....	37
4.2.1.- Flip – Flop R-S.....	37
4.2.2.- Aplicación de un Flip – Flop en un circuito práctico.....	38
4.3.- Flip – Flop R-S con compuertas NAND.....	38
4.4.- Registros de desplazamiento y contadores.....	39
4.4.1.-Principios generales de los registros de desplazamiento.....	39
4.5.- Empleo de los Flip – Flop para la formación de contadores.....	40
4.6.- Contadores en general.....	41
4.7.- Contadores asíncronos.....	43
4.8.- Contadores síncronos.....	44
4.9.- Biestables síncronos.....	46
4.9.1.- Edge – Triggered.....	47
4.9.2.- Master – Slave.....	48
4.9.3.- Biestables T.....	50
4.9.4.- Biestables Latch.....	51
4.9.5.- Biestables D.....	52
4.9.6.- Biestables J-K.....	53
4.10.- Memorias.....	54

CAPITULO V

CONSTRUCCION DEL ENTRENADOR DIGITAL

5.1.- Construcción del entrenador digital.....	56
5.2.- Descripción General de los Componentes del Entrenador Digital.....	56
5.2.1.- Chasis.....	56
5.2.2.- Protoboard.....	57
5.2.3.- Fuente de Poder Regulada de 5 v.....	57
5.2.4.- Punta Lógica.....	57
5.3.- Instrucciones de Ensamblaje.....	58
5.4.- Pasos a seguir para el Ensamblaje del Entrenador.....	59
5.4.1.- Montaje de los bornes.....	59
5.4.2.- Montaje del Led y Portaled.....	60
5.4.3.- Montaje del Suiche o Interruptor General.....	61
5.4.4.- Montaje de la Fuente de Poder de 5v.....	62
5.4.5.- Montaje de la Punta Lógica.....	62
5.4.6.- Montaje de los Protoboards.....	63
5.5.- Conexiones y Ensamblaje Final.....	63
5.5.1.- Conexión del Circuito de Entrada de 110v.....	64
5.5.2.- Conexión del Transformador con el Circuito Impreso de la Fuente.....	64
5.5.3.- Conexión de los cables de Salida, resistencia de 220 y el LED.....	65
5.5.4.- Conexión de los Cables de la Punta Lógica.....	65
5.6.- Prueba General del Entrenador.....	66
5.6.1.- Prueba del Transformador.....	66
5.6.2.- Prueba de la Fuente de Poder.....	67

5.6.3.- Prueba de la Punta Lógica.....	68
5.7.- Utilización del Entrenador.....	68

CAPITULO VI

MARCO ADMINISTRATIVO

6.1.- Cronograma de Actividades.....	70
6.2.- Presupuesto.....	71

CAPITULO VII

CONCLUSIONES y RECOMENDACIONES

7.1.- Conclusiones.....	72
7.2.- Recomendaciones.....	73

BIBLIOGRAFÍA.....	74
--------------------------	-----------

ANEXOS

LISTADO DE FIGURAS

FIGURAS	PAG.
Fig. 2.1 Compuertas Digitales.....	4
Fig. 2.2 Compuertas OR de dos entradas.....	5
Fig. 2.3 Circuito Eléctrico AND.....	6
Fig. 2.4 Compuerta AND.....	6
Fig. 2.5 Puertas de Negación.....	8
Fig. 2.6 Compuerta NOR.....	8
Fig. 2.7 Compuerta NOR.....	8
Fig. 2.8 Compuerta NOR Equivalente.....	9
Fig. 2.9 Compuerta NAND.....	10
Fig. 2.10 Compuerta NAND Equivalente.....	11
Fig. 2.11 Circuito Equivalente de la compuerta XOR.....	11
Fig. 2.12 Circuito de la compuerta XNOR.....	12
Fig. 3.1 Circuito Equivalente.....	16
Fig. 3.2 Half Adder.....	17
Fig. 3.3 Full Adder.....	17
Fig. 3.4 Codificador.....	22
Fig. 3.5 Decodificador.....	23
Fig. 3.6 Multiplexor.....	25
Fig. 3.7 Demultiplexor.....	26
Fig. 3.8 Corrientes y voltajes en los estados lógicos.....	29
Fig. 3.9 Compuerta NAND TTL básica.....	31
Fig. 4.1 Flip-Flop R-S.....	37
Fig. 4.2 Aplicación de un Flip-Flop a un circuito.....	38
Fig. 4.3 Flip-Flop con compuertas NAND.....	39
Fig. 4.4 Contador Asíncronico.....	43
Fig. 4.5 Contador Síncronico.....	45
Fig. 4.6 Biestables R-S Síncrono.....	46
Fig. 4.7 Edge- Triggered.....	48
Fig. 4.8 Flip- Flop Maestro Esclavo.....	49
Fig. 4.9 Biestables Latch.....	51
Fig. 4.10 Biestables D.....	52
Fig. 4.11 Biestables J-K.....	53
Fig. 5.1 Montaje de los bornes.....	60
Fig. 5.2 Montaje del LED.....	61
Fig. 5.3 Montaje del suiche.....	61

LISTADO DE TABLAS

TABLAS	PAG
Tabla 2.1 Compuertas OR de dos entradas.....	5
Tabla 2.2 Tabla de verdad de la compuerta AND.....	6
Tabla 2.3 Tabla de verdad de la compuerta NOT.....	7
Tabla 2.4 Tabla de verdad de la compuerta NOR.....	9
Tabla 2.5 Tabla de verdad de la compuerta NAND.....	10
Tabla 3.1 Tabla de circuitos combinacionales.....	15
Tabla 3.2 Tabla Half Adder.....	18
Tabla 3.3 Tabla Full Adder.....	18
Tabla 3.4 Tabla de un codificador de octal a binario.....	23
Tabla 3.5 Tabla de un decodificador de 3 a 8 líneas.....	24
Tabla 3.6 Tabla de un multiplexor de dos entradas.....	25
Tabla 3.7 Tabla de un demultiplexor de 1 a 8 líneas.....	27
Tabla 4.1 Tabla de verdad del Biestable R-S Síncrono.....	47
Tabla 4.2 Tabla de verdad de Flip-Flop Maestro Esclavo.....	50
Tabla 4.3 Tabla de Salidas.....	50
Tabla 4.4 Tabla de Ecuaciones.....	50
Tabla 4.5 Tabla de verdad Biestables Latch.....	52
Tabla 4.6 Tabla de verdad Biestables D.....	52
Tabla 4.7 Tabla de verdad Biestables J-K.....	54

INTRODUCCION

La Electrónica Digital tuvo una enorme potenciación en el año de 1960 con la aparición del circuito integrado, pero como los científicos siguieron investigando, ya para el año de 1971 la electrónica digital aumento su capacidad de empleo ya que en este año se fabrica el “microprocesador” en una pastilla de circuito integrado.

Con estos logros la Electrónica Digital se aplico en mayor número de áreas y su manejo y su manejo se popularizo mundialmente, asegurando un futuro más prometedor dada la enorme investigación y los descubrimientos que se producen cada día en este campo de la técnica.

Las grandes aplicaciones de la Electrónica Digital se pueden resumir en:

- 1.-**Aplicaciones Generales.-** Que cubre una extensa gama desde los relojes digitales hasta facetas como la investigación espacial, la medicina, proyectos militares etc.
- 2.-**Ordenadores.-** La Electrónica Digital ha sido el factor decisivo para conseguir el desarrollo actual de las computadoras se han mejorado notablemente las características de las máquinas procesadoras de información (velocidad, reducción de volumen y precio, aumentó la capacidad de memoria, mejora de interfaces).

El objetivo de este proyecto es la construcción de un Entrenador Digital o “Digital Trainer” que es un aparato que se utiliza para comprobar los circuitos estudiados en Electrónica Digital, es una herramienta de trabajo para el desarrollo de prácticas propuestas en las guías de laboratorio

CAPITULO I

GENERALIDADES

1.1. Planteamiento del problema.

Para el mejor desarrollo del I.T.S.A. y de acuerdo a las necesidades de nuestra institución, con el desarrollo de la tecnología, hemos visto necesario la implementación del laboratorio de Sistemas Digitales con la elaboración de Entrenadores Digitales.

El porque de la elaboración de un Entrenador Digital , principalmente es porque los estudiantes de Telemática y Aviónica a partir del primer nivel ya se encuentran en condiciones de realizar circuitos eléctricos y digitales , haciéndose muy necesario un laboratorio que cuente con entrenadores digitales ya que este es un instrumento de mucha importancia para la práctica y elaboración de Circuitos Eléctricos y Digitales .

1.2. Objetivos

1.2.1. Objetivo General

- Optimizar el Laboratorio de Sistemas Digitales en el I.T.S.A. con la construcción de Entrenadores Digitales y elaboración de Guías de Laboratorio mediante el desarrollo de prácticas.

1.2.2. Objetivos Específicos.

- Construir un equipo que contribuya al mejoramiento del Laboratorio de Sistemas Digitales del I.T.S.A.

- Adecuar el Entrenador Digital para diferentes tipos de circuitos con los que se trabaje.
- Poner en práctica los conocimientos adquiridos en diseño de circuitos simples y complejos para la elaboración de guías de laboratorio.

1.3. Justificación

En la actualidad se ha visto necesaria la optimización de un entrenador digital ya que en los laboratorios del I.T.S.A. se carece de este equipo y se ha analizado que este equipo es de mucha importancia para los alumnos de este Instituto, para reforzar los conocimientos especialmente sobre los Sistemas Digitales.

La elaboración de este proyecto es con la finalidad de brindar un equipo de trabajo práctico para todo el personal de alumnos militares, civiles y cursos, a fin de que obtengan mayor destreza sobre Sistemas Digitales mediante la aplicación de los conocimientos teóricos obtenidos.

Un Entrenador Digital o “Digital Trainer” es un aparato que se utiliza para comprobar los circuitos estudiados en Sistemas Digitales también es una herramienta de trabajo que pueden utilizar los aficionados, técnicos e ingenieros para verificar sus proyectos.

CAPITULO II

COMPUERTAS LOGICAS.

2.1. Teoría sobre los sistemas digitales.

Las compuertas son los bloques básicos de cualquier circuito digital. Todos los aparatos digitales, desde el más simple dispositivo hasta el más sofisticado computador, están formados por compuertas conectadas en una gran variedad de configuraciones.

Una compuerta digital es un circuito electrónico con dos o más líneas de entrada y una línea de salida, que tiene la capacidad de tomar decisiones. La decisión tomada por una compuerta consiste en situar su salida en 0 ó en 1, dependiendo del estado de sus entradas y de la función lógica para la cual ha sido diseñada.

En Electrónica Digital existen ocho compuertas lógicas designadas como: OR, AND, NOT, YES, NAND, NOR, XOR y XNOR.

La operación de una compuerta lógica se puede expresar mediante una tabla de verdad, una ecuación lógica o un diagrama de temporización, una tabla de verdad representa ordenadamente todas las posibles combinaciones de estados lógicos que pueden existir en las entradas y el valor que toma la salida en cada caso.

La ecuación lógica relaciona matemáticamente la salida con las entradas.

Un diagrama de temporización representa gráficamente el comportamiento de una compuerta con señales variables en el tiempo.

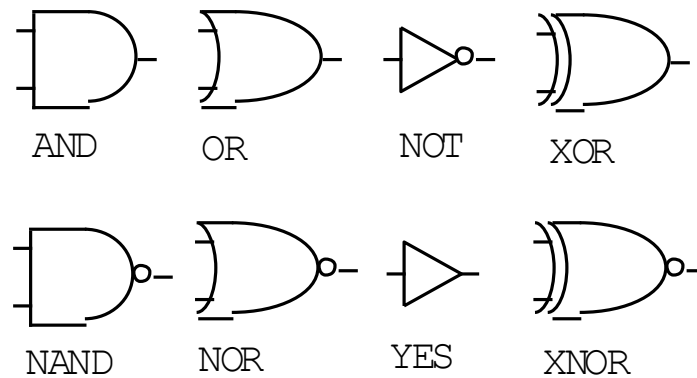


Fig. 2.1 Compuertas Digitales

2.2. Circuitos Combinacionales

2.2.1. Compuerta O (OR)

Corresponde a la adición booleana, entre paréntesis se representa su denominación anglosajona , por la cual se la designa habitualmente.

$$Q = (A + B)$$

El símbolo adoptado por esta compuerta se la representará a continuación en sus dos versiones DIN 40700 y AMERICAN STANDARD. En este trabajo se utilizará la segunda versión.

A la salida del dispositivo aparece una variable S que coincide con el valor de la adición lógica de todas las variables de entrada.

Normalmente, a los dispositivos que realizan funciones elementales se les denomina compuertas

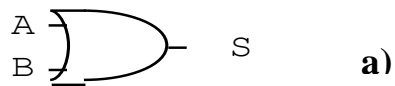


Fig. 2.2 Compuerta OR de dos entradas
a) Símbolo lógico

Tabla 2.1. Compuerta OR de dos entradas

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

2.2.2. Compuerta Y (AND)

Una compuerta AND es un dispositivo lógico que entrega una salida alta cuando todas sus entradas son altas y una salida baja cuando hay un bajo en cualquiera de sus entradas.

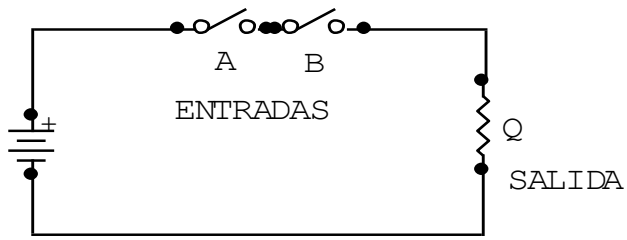


Fig. 2.3 Circuito Eléctrico AND

Su símbolo lógico y la ecuación lógica de una compuerta AND lo mostraremos en la Fig. 2.4

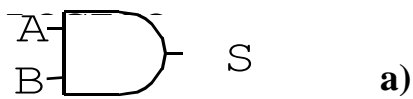


Fig. 2.4 Compuerta AND
a) Símbolo lógico

Tabla 2.2. Tabla de verdad de la compuerta AND

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

2.2.3. Compuerta NOT

Esta compuerta corresponde a la complementación. Denominada inversor. Fig. 2.5

La inversión se lo representa también, en ambos sistemas de símbolos, mediante un pequeño círculo a la entrada o a la salida de una puerta como lo indicaremos posteriormente.

El símbolo correspondiente a las normas americanas puede considerarse como compuesto en realidad por dos símbolos distintos. Por una parte el símbolo triangular, que significa amplificador o (BUFFER) y, por otra parte el círculo que significa inversión.

Trabajando en circuitos electrónicos digitales, el amplificador sirve para aumentar la potencia de una señal sin producir efecto inversor. Ya que puede encontrarse aislado en un circuito y entonces no producirá ninguna modificación en el estado lógico de la señal que lo atraviesa .

Tabla 2.3. Tabla de verdad de la compuerta NOT

A	\bar{A}
0	1
1	0

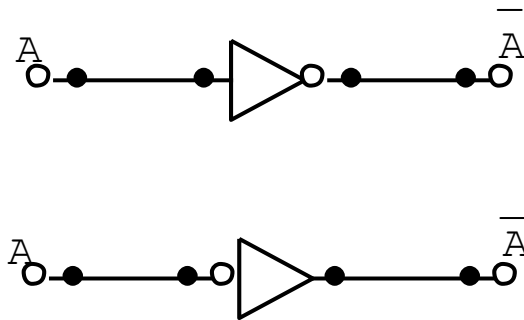


Fig. 2.5 Puertas de Negación

2.2.4. Compuerta ON (NOR)

Por razones tecnológicas, como se verá más adelante, resulta más sencillo producir circuitos electrónicos elementales cuya función lógica sea el equivalente de completar una adición lógica. Ecuación (2.1)

La salida de la compuerta NOR es: siendo A y B las variables de entrada

$$S = \overline{A \cdot B} \quad (2.1)$$

Esta compuerta se representa en la Fig. (2.6 y 2.7)

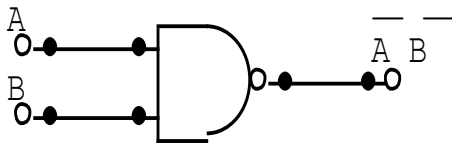


Fig. 2.6 Compuerta NOR

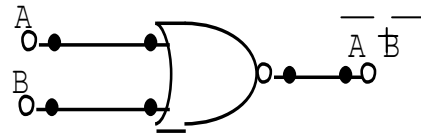


Fig. 2.7 Compuerta NOR

Esta compuerta sería el equivalente de la conexión en cascada de una puerta OR Y un inversor. Por esta razón su nombre es ON (NOR). Fig. (2.8)

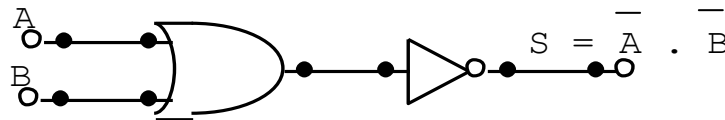


Fig. 2.8 Compuerta NOR Equivalente

Tabla 2.4. Tabla de verdad de la compuertas NOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

2.2.5. Compuerta YN (NAND)

Por las mismas razones tecnológicas, es muy frecuente la utilización de la función de esta compuerta, que es el resultado de aplicar una inversión a un producto lógico. Su salida se ve en la ecuación (2.2)

Donde:

A y B son las variables de entrada

S es la salida

$$S = \overline{A B} = \overline{A} + \overline{B} \quad (2.2)$$

Su representación se visualiza en la Fig. 2.9

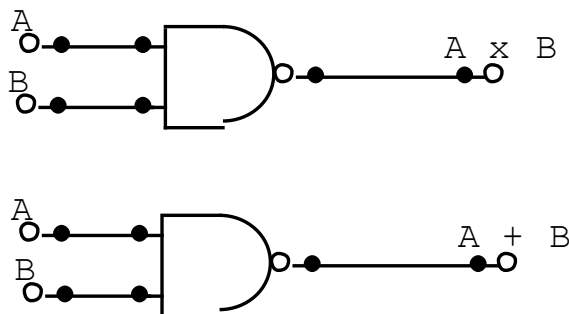


Fig. 2.9 Compuertas NAND

Tabla 2. 5. Compuertas NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Esta compuerta es el equivalente de conectar en cascada una compuerta AND y un inversor: Por esta razón se denomina compuerta YN (NAND). Fig. 2.10

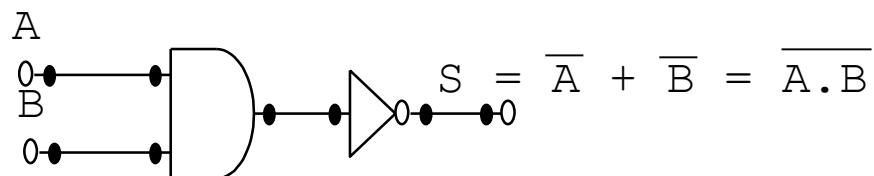


Fig. 2.10 Compuerta NAND Equivalente

2.2.6. Compuerta OR Exclusiva

Corresponde a la función lógica:

$$S = A B + A \overline{B} \quad (2.3)$$

El circuito equivalente a esta compuerta se muestra en la Fig. 2.11

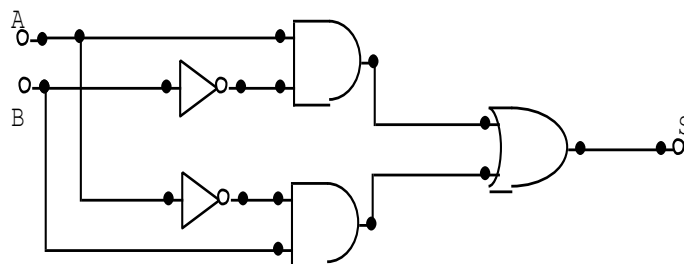


Fig. 2.11 Circuito Equivalente de la compuerta XOR

El nombre de esta función significa que su resultado es el mismo que la OR. En la función OR exclusiva la salida vale 1 siempre que las variables de entrada tengan valores distintos.

A veces se representa esta operación con el símbolo \oplus aplicado a las variables de entrada:

$$S = A \oplus B$$

2.2.7. Compuerta NOR Exclusiva (XNOR)

Es la inversa de la compuerta OR exclusiva. Corresponde a la ecuación lógica:

$$S = A B + A \bar{B} \quad (2.4)$$

En efecto, obsérvese que :

$$A B + A \bar{B} = (A + B) (A + \bar{B}) = A B + A \bar{B} \quad (2.5)$$

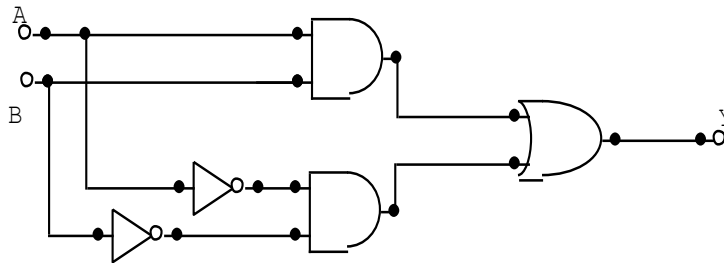


Fig. 2.12 Circuito de la compuerta XNOR

Obsérvese que esta función adopta el valor 1 únicamente cuando ambas variables son iguales, y de ahí su nombre. A veces se conoce también como NO exclusiva.

2.3. Teoría sobre los Mapas de Karnaugh

Los diagramas de Karnaugh dan lugar a una técnica de tipo gráfico usada para la simplificación de las ecuaciones lógicas, que se basa en disponer las combinaciones posibles de una forma apta para su simplificación. La importancia de la reducción de términos en las ecuaciones que resuelven los circuitos electrónicos digitales, bien de automatismos industriales, bien de aplicación a las computadoras, se destaca por el menor empleo de componentes y materiales que origina.

CAPITULO III

CIRCUITOS COMBINACIONALES.

3.1. DEFINICIÓN

Se define como circuitos combinacionales aquellos sistemas lógicos cuya salida depende en todo momento de los valores binarios que adopten las variables de entrada. Es decir, un sistema combinacional es la realización física de las funciones booleanas definidas en el capítulo anterior. Se pueden caracterizar, por lo tanto, mediante una ecuación, mediante sus representaciones canónicas o mediante cualquiera de las formas gráficas descritas.

Resulta normal definir al circuito combinacional mediante su tabla de verdad que, como se recordará, representa todas las posibles combinaciones de las variables de entrada, asignando para cada una de ellas el valor correspondiente a la variable de salida.

A partir de la tabla de verdad de una función puede construirse directamente su expresión en forma canónica, y también representarse directamente el mapa de Karnaugh, que permite su minimización.

3.2. Síntesis de circuitos combinacionales

Una vez formulado con claridad el problema, se representa en una tabla de verdad todas las combinaciones posibles de las variables de entrada y, para cada una de ellas, el valor deseado de la salida. Una vez completa la tabla se obtiene su representación mínima utilizando los Teoremas booleanos o mapas de karnaugh, con el fin de obtener la expresión más simple que finalmente, se materializa mediante los operadores lógicos elementales disponibles.

Por ejemplo, supóngase que se desea realizar un circuito cuyas variables de entrada sean A y B, y una señal de control C. Cuando C adopte el valor lógico 0 , la salida debe ser igual a la entrada A; cuando, por el contrario, C adopte el valor lógico 1, la salida debe ser igual a la entrada B. Tales circuitos permiten enviar por una misma línea de salida las informaciones presentes en varias líneas de entrada, conmutándolas secuencialmente según el valor de unas líneas de control. Se denominan generalmente multiplexadores, y se verán ejemplos más complicados al describir las aplicaciones.

Tabla 2. 6. Tabla de los circuitos combinacionales

C	A	B	S
0	0	0	0
0	0	1	0
1	1	0	0
1	1	1	1

Obsérvese que, en un sistema tan sencillo como éste, el resultado podría obtenerse directamente sin más que aplicar los conceptos del álgebra de Boole estudiados en capítulos anteriores. En efecto la salida S debe ser igual a la entrada A si $C = 0$, o a B si $C = 1$. La traducción en términos de álgebra de esta frase es, directamente, la siguiente ecuación:

$$S = A \bar{C} + B C$$

Efectivamente, si $C = 0$, $S = A$

Por el contrario, si $C = 1$, $S = B$

En un caso más complicado, la obtención de la ecuación no es tan directa, y hay que recurrir al método general.

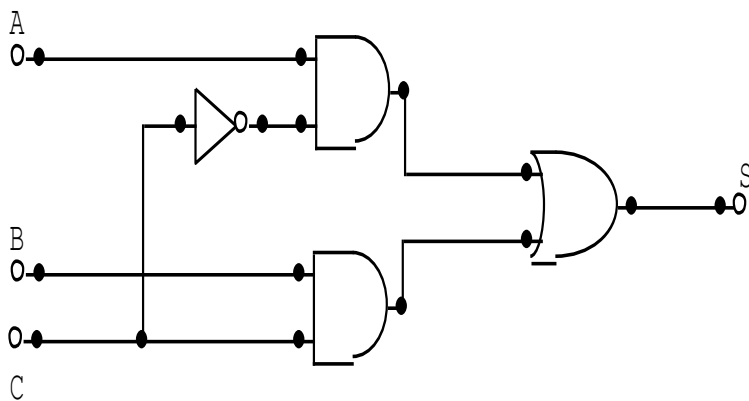


Fig. 3.1 Circuito Equivalente

3.3. Términos Indiferentes

Resulta relativamente frecuente, al intentar realizar sistemas combinacionales prácticos, encontrar el hecho de que existe una o más combinaciones de entrada que no se representan nunca debido a la estructura especial del sistema físico considerando. Por ejemplo, si se trata de cuatro líneas de entrada cuyas informaciones representan números codificados en el sistema BCD (decimal codificado en binario), es evidente que nunca se

presentarán las combinaciones comprendidas entre 1010 y 1111, es decir, entre los valores decimales 10 y 15. En estas condiciones, la respuesta que el circuito daría ante esas entradas no importa, y se puede aprovechar esa circunstancia asignando a esas salidas valores 1 ó 0 sin otro criterio que el de ayudar a la minimización.

El procedimiento que se sigue con dichas combinaciones es asignar, en la tabla de verdad, una X a las salidas de la función para dichas entradas. Estos son los llamados términos indiferentes. Se representan después los mapas de Karnaugh para ambas formas canónicas conservando dichas X y, al realizar las asociaciones de términos para minimizar, se consideran 1 ó 0 según convenga.

Supóngase, por ejemplo, que se quiere realizar un circuito que genere el bit de paridad para cada uno de los números BCD presentes en cuatro entradas D, C, B, A. Recuérdese que el bit de paridad par se añade para el nuevo código resultante (de cinco bits, cuatro originales más el de paridad), contenga un número par de unos.

3.4 Half Adder y Full Adder

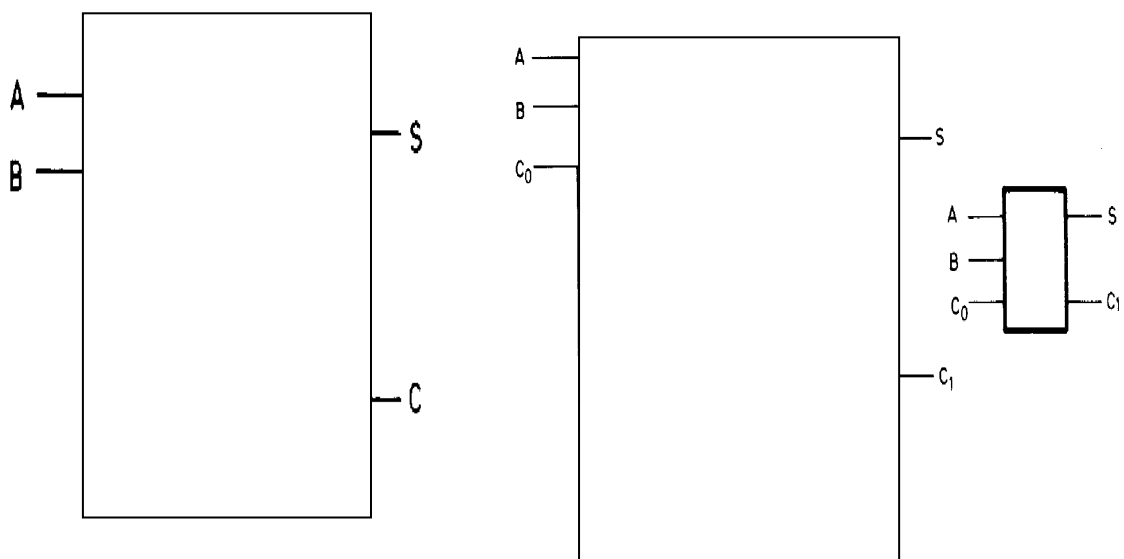


Fig. 3.2 Half Adder

Fig. 3.3 Full Adder

Tabla 3.2 Half Adder

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabla 3.3 Full Adder

Co	A	B	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

El proceso de adición se inicia sumando los bits menos significativos (LSB)_del cosumando y del sumando. Así, $1 + 1 = 10$, lo cual significa que la suma para esta posición es 0 con un acarreo de 1.

Este acarreo debe sumarse a la siguiente posición junto con el cosumando y el sumando en esa posición. De este modo, en la segunda posición, $1+0+1=10$, una vez más, una suma de 0 y un acarreo de 1. Este acarreo se suma a la siguiente posición junto con los bits del cosumando y del sumando en esa posición y así para las restantes posiciones.

En cada paso de este proceso de adición se efectúa la suma de 3 bits; el bit del cosumando el bit del sumando y el bit del acarreo de la posición anterior. El resultado de la adición de estos tres bits produce 2 bits: un bit de suma y uno de acarreo, que se sumará a la siguiente posición. Debe estar claro que se sigue el mismo proceso para cada posición

del bit. Por tanto, si podemos diseñar un circuito lógico que pueda duplicar este proceso, entonces simplemente tenemos que emplear circuitos idénticos para cada posición de bit.

El circuito sumador total que se utiliza en cada posición tiene tres entradas: un bit A un bit B un bit C y produce dos salidas: un bit de suma y uno de acarreo. Por ejemplo, el sumador total 0 tiene las entradas A_0 , B_0 y C_0 y produce las salidas S_0 y C_1 . El sumador total 1 como entradas A_1 , B_1 y C_1 y como salidas S y C y así sucesivamente. Esta disposición se repite en tantas posiciones como haya en el cosumando y en el sumando. Aunque este ejemplo es para números de 5 bits, en las computadoras modernas los números generalmente van 64 bits.

La disposición se llama **sumador paralelo** ya que todos los bits del primero y del sumando están presentes y se alimentan a los circuitos sumadores simultáneamente. Esto significa que las adiciones en cada posición se llevan a cabo al mismo tiempo. Este procedimiento es distinto del que se sigue al sumar en papel, ya que se toma cada posición una a la vez empezando con el LSB. Evidentemente, la adición en paralelo es extremadamente rápida.

3.5 Restadores

La operación de sustracción que utiliza el sistema complemento a 2 en realidad comprende la operación de adición y realmente no difiere de los varios casos que se consideraron . Cuando se resta un número binario (el **sustraendo**) de otro número binario (el **minuendo**), el procedimiento es el siguiente:

1. Niegue el sustraendo. Esto cambiará el sustraendo a su valor equivalente con signo contrario.

2. Súmelo al minuendo. El resultado de esta suma va a representar la diferencia entre el sustraendo y el minuendo.

Otra vez, igual que en todas las operaciones aritméticas de complemento a 2, es necesario que ambos números tengan el mismo número de bits en sus representaciones.

Consideremos el caso donde + 4 se restará de + 9.

minuendo (+ 9) -> 01001

sustraendo (+ 4) —> 00100

Se niega el sustraendo para producir 11100, lo que representa - 4. Ahora, sume esto al minuendo.

1001 (+9)

+ 11100 (-4)

X 00101 (+5)

^L_____ se descarta; así que el resultado es 00101 - +5

Cuando el sustraendo se cambia por su complemento a 2, en realidad se convierte en -4, así que sumamos -4 y +9, que es lo mismo que restar + 4 de + 9. Por tanto, cualquier operación de sustracción en realidad se convierte en una de adición cuando se emplea el sistema complemento a 2. Esta característica del sistema complemento a 2 lo ha convenido

en el método que más se utiliza, ya que permite que misma circuitería efectúe la adición y la sustracción.

Se debe verificar los resultados de utilizar el procedimiento anterior en las siguientes restas: (a) $+9 - (-4)$; (b) $-9 - (+4)$; (c) $-9 - (-4)$; (d) $+4 - (-4)$. Recuerde que cuando el resultado tiene un bit de signo 1, éste es negativo y está en forma complemento A 2.

Desborde aritmético.- En cada uno de los anteriores ejemplos de adición y sustracción) los números que se sumaron constan de un bit de signo y 4 bits de magnitud.

Las respuestas, también constan de un bit de signo y 4 bits de magnitud. Cualquier acarreo hacia la sexta) posición de bit fue descartada. En todos los casos que se consideraron, la magnitud del resultados fue lo suficientemente pequeña como para caber en 4 bits. Veamos la suma de $+9$ y $+8$

+9 -> "O' 1001

+8 -> O 1000

1 0001

signo incorrecto—' i—magnitud incorrecta

El resultado tiene un bit de signo negativo, lo que es obviamente incorrecto. La respuesta debe ser $+17$, pero la magnitud 17 necesita más de 4 bits y, por tanto, *sobrepasa* la posición de bit de signo. Esta condición de desborde siempre produce un resultado incorrecto y se detecta al examinar el bit de signo del resultado y comparándolo con los bits de signo de los números; que se suman. En una computadora, se utiliza un circuito

especial para detectar cualquier condición de desborde y para señalar que la respuesta es errónea.

3.6 Codificadores

La mayoría de los decodificadores aceptan un código de entrada de N bits y produce un estado ALTO (o BAJO) en una y sólo una línea de salida. En otras palabras, podemos decir que un decodificador identifica, reconoce o bien detecta un código específico. Lo opuesto a este proceso de decodificación se denomina *codificación* y es realizado por un circuito lógico que se conoce como *codificador*. Un codificador tiene varias líneas de entrada, sólo una de las cuales se activa en un momento dado, y produce un código de salida de N bits, según la entrada que se active. Aquí las entradas son activas en ALTO, lo cual significa que normalmente son, BAJAS.

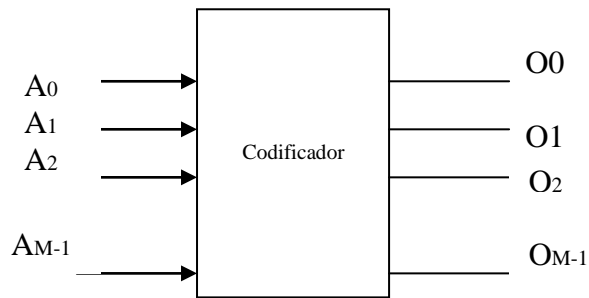


Fig. 3.4 Codificador

Tabla 3.4 Tabla de un codificador de octal a binario

A0	A1	A2	A3	A4	A5	A6	A7	O2	O1	O3
X	1	1	1	1	1	1		0	0	1
X	0	1	1	1	1	1		0	0	1

3.7 Decodificadores

Un decodificador es un circuito lógico que acepta un conjunto de entradas que representan números binarios y que activan solamente la salida que corresponde a dicho dato de entrada. En otras palabras, un decodificador mira a sus entradas determina qué número binario está presente y activa la salida correspondiente a dicho número. Todas las otras salidas permanecerán inactivas. Debido a que cada una de las N entradas puede ser 0 o bien 1, hay 2^N posibles combinaciones o códigos de entrada. Para cada una de estas combinaciones de entrada sólo una de las M salidas será activa (ALTA); todas las otras son BAJAS. Muchos decodificadores están diseñados para producir salidas activas en BAJO, donde solamente la salida seleccionada es BAJA, en tanto que todas las otras son ALTAS.

Esto se indicará por la presencia de pequeños círculos en las líneas "de salida del diagrama del decodificador.

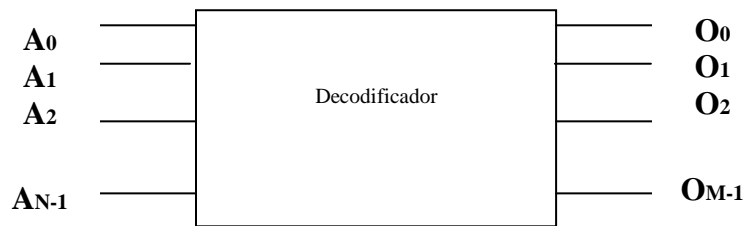


Fig. 3.5 Decodificador

Tabla 3.5 Tabla de un decodificador de 3 a 8 líneas

C	B	A	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0

La misma circuitería decodificadora básica se usa independientemente de donde provengan las entradas. Este hace uso de todas las compuertas AND, de modo que las salidas son activas en ALTO. Para salidas activas en BAJO se utilizarán compuertas NAND. Observe que para un código de entrada dado, la única salida que es activa (ALTA) es la que corresponde al decimal equivalente del código de entrada binario por ejemplo, la salida O pasa a ALTO cuando CBA = 110.

Este decodificador se puede denominar de varias maneras. Puede llamársele decodificador de 3 a 8 líneas, ya que tiene tres líneas de entrada y ocho líneas de salida. También se le podría denominar decodificador de binario a octal o convertidor de binario a octal debido a que toma un código binario de entrada de tres bits y activa una de las ocho salidas (octal) correspondiente a ese código. También se le conoce como decodificador *1 de 8*, ya que sólo una de las ocho salidas se activa a la vez.

Entradas de **habilitación** algunos decodificadores tienen una o más entradas de habilitación que se utilizan para controlar la operación del decodificador.

3.8 Multiplexores

Un multiplexor o selector de datos es un circuito lógico que acepta varias entradas de datos y permite solo a una de ellas alcanzar la salida. La dirección deseada de los datos de entrada hacia la salida es controlada por entradas de SELECCIÓN (que algunas veces se conocen como entradas de DIRECCION).

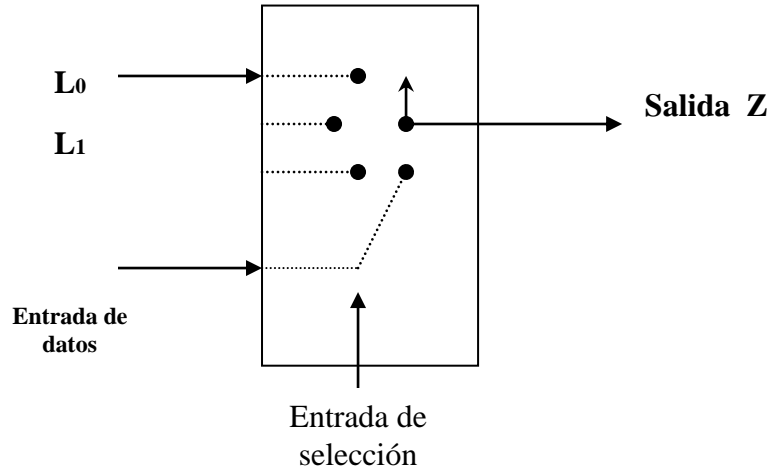


Fig. 3.6 Multiplexor

Tabla 3.6 Tabla de verdad del multiplexor de dos entradas

S	SALIDA
0	Z= 10
1	Z= 11

El multiplexor actúa como un interruptor de posiciones múltiples controlado digitalmente, donde el código digital que se aplica a las entradas de SELECCIÓN, controla que estradas de datos serán trasladadas hacia la salida. Por ejemplo la salida z será igual a la entrada de datos I_0 de algún código de entrada de SELECCION determinado; Z será igual a I_1 para otro código de entrada de SELECCIÓN específico , y así sucesivamente. Dicho de otra manera un multiplexor selecciona una de N fuentes de datos de entrada y transmite los datos seleccionados a un solo canal de salida. A esto se le llama **multiplexaje**.

3.9 Demultiplexores

Un multiplexor toma varias entradas y transmite una de ellas a la salida. Un demultiplexor efectúa la operación contraria, toma una sola entrada y la disminuye en varias salidas. El código de entrada de selección determina hacia que salida se transmitirá la entrada de DATOS. En otras palabras, el demultiplexor toma una fuente de datos de entrada y la disminuye selectivamente a uno de N canales de salida, igual que un interruptor de posiciones múltiples.

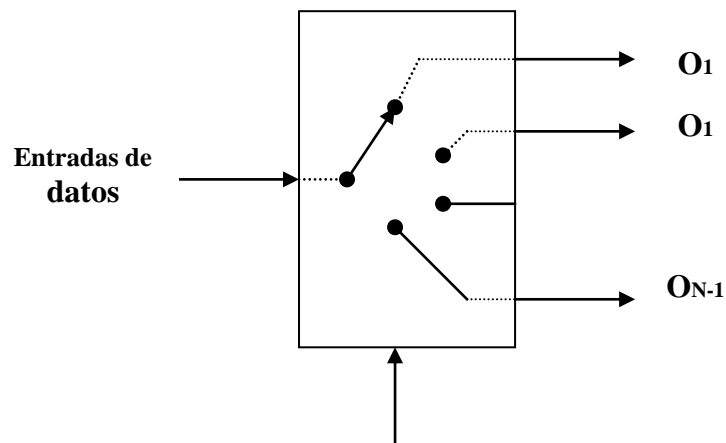


Fig 3.7 Demultiplexor

Tabla 3.7 Tabla demultiplexor de 1 a 8 líneas

C	B	A	O7	O6	O5	O4	O3	O2	O1	O0
0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	1

3.10 Multiplicadores

La multiplicación de dos números binarios se realiza con lápiz y papel efectuando adiciones sucesivas y acarreos. Para ilustrar lo anterior:

1011	Multiplicando (11)
1101	Multiplicador (13)
1011	
0000	
1011	
1011	
10001111	Producto (143)

Este proceso consiste en examinar los bits sucesivos del multiplicador, empezando con el I.S.B..

Si el bit multiplicador es un 1, el multiplicando se copia, si se trata de un 0, se escriben ceros

Los números puestos en líneas sucesivas se corren una posición a la izquierda en relación con la línea anterior. Cuando se han examinado todos los bits multiplicadores, las diversas líneas se suman para producir el producto final.

En las máquinas digitales este proceso se modifica un poco debido a que el sumador binario está diseñado para sumar sólo dos números binarios a la vez. En lugar de

sumar todas las líneas al final, se suman de dos en dos y su suma se acumula en un registro (el registro acumulador). Además, cuando el bit multiplicador es 0, no necesita desarrollar la operación ni sumar ceros, ya que no afecta el resultado final.

El ejemplo anterior se vuelve a presentar aquí mostrando el proceso modificado.

Multiplicando: 1011

Multiplicador: 1101

1011 LSB del multiplicador - 1; escriba el multiplicando;

1012 corra el multiplicando una posición a la izquierda (10110).

1011 Segundo bit multiplicador - 0; escriba el resultado anterior;
corra el multiplicando a la izquierda de nuevo (101100)

101100 tercer bit multiplicador — 1; escriba el multiplicando
(101100) sume; corra de nuevo el multiplicando a la
izquierda (1011000)

1011000 cuarto bit multiplicador = 1; escriba el nuevo multiplicando
(1011000) sume para obtener el producto final

3. 11. Terminología empleada.

Aunque hay muchos fabricantes de CI digitales, parte de la nomenclatura y terminología está prácticamente estandarizada. Los términos más útiles se definen y analizan a continuación.

3.11.1. Parámetros de corriente y voltaje

$V_{IH}(\min)$ – **Voltaje de entrada de nivel alto.**- nivel de voltaje que se requiere para un 1 lógico en una entrada. Cualquier voltaje debajo de este nivel no será aceptado como ALTO por el circuito lógico.

$V_{II}(\max)$ – **Voltaje de entrada de nivel bajo.**- Nivel de voltaje que se necesita para un 0 lógico en una entrada. Cualquier voltaje que esté por encima de este nivel no será aceptado como BAJO por el circuito lógico.

$V_{IOH}(\min)$ – **Voltaje de salida de nivel alto.**- Nivel de voltaje mínimo a la salida de un circuito en 0 lógico bajo condiciones de carga definidas.

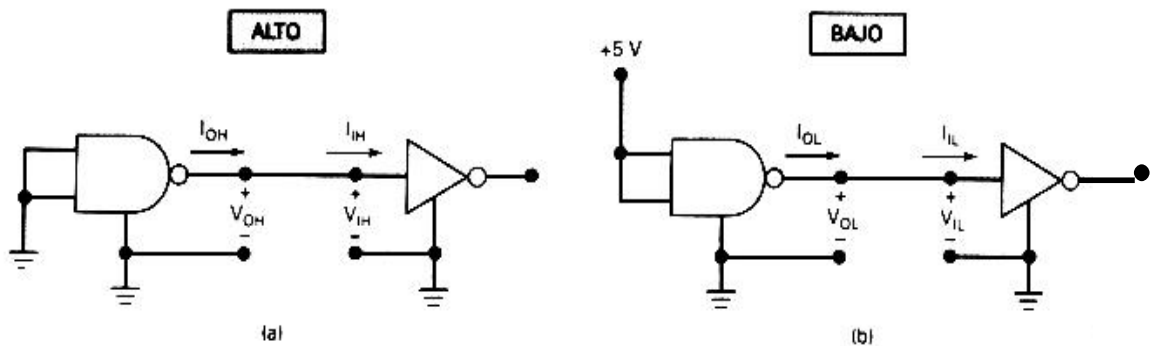


Fig. 3.2 Corrientes y Voltajes en los Estados Lógicos

I_{IH} **Corriente de entrada de nivel alto.**- Corriente que fluye en una entrada cuando se aplica un voltaje de nivel alto específico a dicha entrada.

I_{II} **Corriente de entrada de nivel bajo.**- Corriente que fluye en una entrada cuando se aplica un voltaje de nivel bajo específico a dicha entrada.

I_{OH} Corriente de salida de nivel alto- Corriente que fluye en una salida en el estado 1 lógico de condiciones de carga específicas.

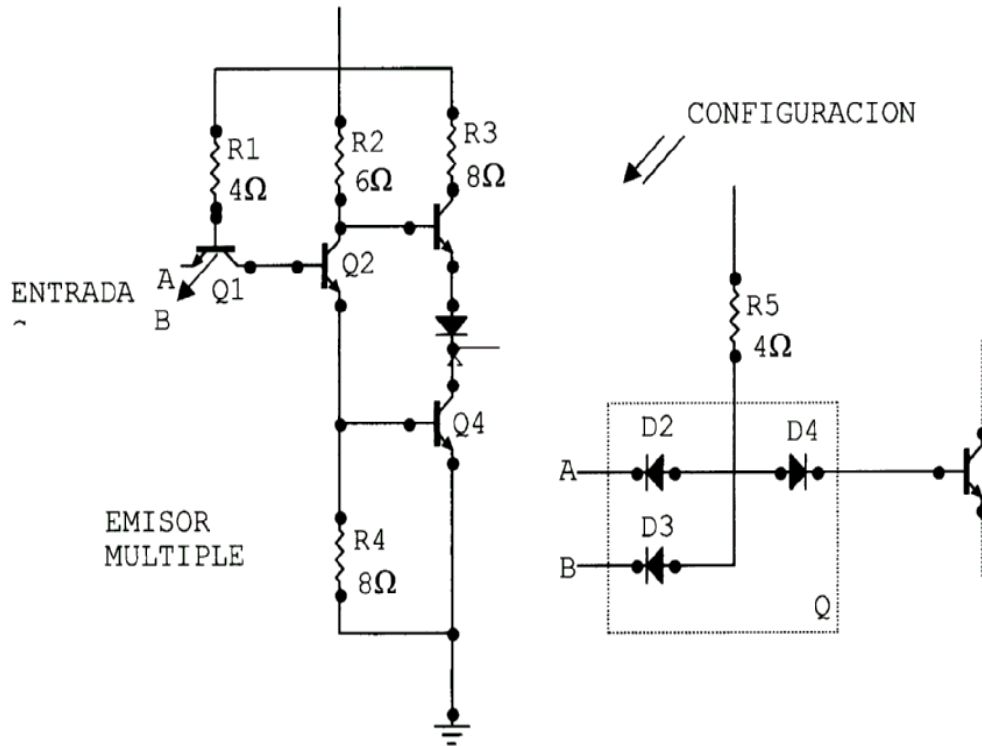
I_{OL} Corriente de salida de nivel bajo- Corriente que fluye en una salida en el estado 0 lógico de condiciones de carga específicas

NOTA: Las direcciones reales de la corriente pueden ser distintas a las que se ilustran, según sea la familia lógica. Como veremos, los sentidos para I_{II} e I_{OI} cambiarán para las familias lógicas que tengan acción de disipación de corriente

3.12. La familia lógica TTL

En este momento, la familia lógica-transistor-transistor (TTL) todavía disfruta de un extenso uso en aplicaciones que requieren de dispositivos SSI y MSI, que sirve como lógica que conecta a los dispositivos más 'complejos en los sistemas digitales. La tendencia actual sin embargo indica una declinación en el uso de TTL a favor de los CMOS. Por ejemplo, en un estudio reciente practicado a equipo médico fue claro que las series 74HC y 74HCT de dispositivos CMOS reemplazaban a la serie TTL 74LS. El circuito lógico básico TTL es la compuerta NAND. Tiene varias características distintivas. Primero, note que el transistor Q, tiene dos emisores; de este modo, tiene dos uniones base-emisor (E-B), que se pueden utilizar para encender Q. Este transistor de entrada con **emisores-múltiples** puede tener hasta ocho emisores para una compuerta NAND de ocho entradas.

Observe que en la salida del circuito los transistores Q_3 y Q_4 están en una configuración **tipo-tótem**. Como veremos, en operación normal ya sea Q_3 o Q_4 conducirá, según el estado lógico de la salida.



Fig

..3.3 Compuerta NAND TTL

3.13. Características de los circuitos lógicos MOS

En comparación con las familias lógicas bipolares, las familias lógicas MOS son más lentas en cuanto a velocidad de operación; requieren mucho menos potencia; tienen un mejor margen de ruido, un mayor intervalo de suministro de voltaje y un factor de carga mucho más elevado; como mencionamos antes, requieren de mucho menos espacio (área en el CI).

Velocidad de Operación.- Una compuerta NAND N-MOS común tiene un tiempo de retraso en la propagación de 50 ns. Esto se debe a *dos* factores: la resistencia de salida relativamente alta (100 k Ω) en el estado ALTO y la carga capacitativa representada por las entradas de los circuitos lógicos manejados. Las entradas lógicas MOS tienen una muy alta resistencia de entrada ($> 10^8 \Omega$), y una capacitancia de entrada razonablemente alta (capacitor MOS, comúnmente de 2 a 5 picofaradios). Esta combinación de R_{sal} grande y C_{carga} grande sirve para incrementar el tiempo de conmutación,

Factor de Carga.- Debido a la resistencia de entrada extremadamente alta en cada entrada de MOSFET, uno esperaría que las capacidades del factor de carga de la lógica MOS fueran virtualmente ilimitadas. Esto es esencialmente cierto para la operación en de o de baja frecuencia. Sin embargo, para frecuencias mayores de alrededor de 100 kHz, las capacitancias de entrada de la compuerta ocasionan un deterioro en el tiempo de conmutación, que se incrementa en proporción al número de cargas conducidas. Aun así, la lógica MOS puede operar fácilmente con un factor de carga de 50, que es mucho mejor que en las familias bipolares.

3.14. Características de las series CMOS

La familia CMOS de circuitos integrados es la competidora directa de TTL en la integración en el renglón de integración en pequeña y mediana escala (SSI, MSI). Dado que la tecnología CMOS ha producido cada vez mejores características de comportamiento, CMOS ha ocupado en forma gradual el campo que TTL dominó durante tanto tiempo. Los dispositivos TTL todavía se utilizarán mucho tiempo, pero cada vez hay más equipos nuevos en los que se emplean los circuitos lógicos CMOS.

Los CI CMOS no sólo ofrecen las mismas funciones lógicas disponibles en TTL, sino también algunas funciones de propósito especial no disponibles en TTL. Con el paso del tiempo se han perfeccionado algunas nuevas series CMOS y sus fabricantes han buscado mejorar las características de comportamiento. Antes de examinar las diversas series CMOS será útil definir algunos términos que se utilizan cuando se van a emplear CI de diferentes familias o series junto con o como repuesto uno de otro.

Compatible con terminales Hay dos CI compatibles con terminales (pin) cuando sus configuraciones de terminales son iguales. Por ejemplo, la terminal 7 en ambos CI es TIERRA, la terminal 1 en ambos es una entrada al primer INVERSOR, etcétera.

Equivalentes funcionalmente Se dice que dos CI son equivalentes funcionalmente cuando las funciones lógicas que ejecutan son idénticas. Por ejemplo, ambos contienen cuatro compuertas NAND de 2 entradas, o ambos contienen seis flip-flops D con disparo por reloj por el borde positivo.

Eléctricamente compatibles Dos CI son eléctricamente compatibles cuando se pueden conectar en forma directa entre sí, sin necesidad de acciones especiales para obtener el funcionamiento correcto.

CAPITULO IV

CIRCUITOS SECUENCIALES ASÍNCRONOS

4.1. Introducción.

Circuitos secuenciales son aquellos cuya salida en cualquier momento depende no solamente de la entrada al circuito en ese momento, sino también del nivel anterior, es decir, de la secuencia de entradas a la que estuvo sometido.

Un circuito secuencial se caracteriza por su capacidad de responder de distinta forma a diferentes secuencias de entrada, es decir, diferentes sucesiones en el tiempo, de valores de las variables de entrada. Ahora bien, para que el circuito pueda discriminar entre una y otra secuencia que, en un instante dado, pueden presentar idénticos valores de las variables, es necesario que posea unas variables internas que puedan ser modificadas por las entradas y que, de alguna forma, guarden información sobre la historia del circuito. En función del valor de las entradas en un momento dado, y del valor de las variables internas, el circuito responde proporcionando unas salidas y modificando sus variables internas para tomar en cuenta esa nueva entrada, continuación de la secuencia.

Si se designa por E_t el conjunto de entradas al circuito en el instante T , por S_t el conjunto de salidas y por Q_t el conjunto de variables internas, o por estado anterior, el funcionamiento de un circuito secuencial puede representarse mediante las ecuaciones:

$$S_t = f_1(E_t, Q_t) \quad (4.1)$$

$$Q_{T+\Delta T} = f_2(E_t, Q_t) \quad (4.2)$$

La (4.1) ecuación simboliza la formación de las salidas del circuito como combinación de las entradas y del estado anterior; la segunda es la actualización del estado anterior.

Un circuito secuencial, en la práctica, está constituido por un circuito combinacional de salida la ecuación (4.1) por un circuito combinacional de entrada para modificar las variables internas la ecuación (4.2), y por un conjunto de células o unidades de memoria capaces de almacenar el valor de dichas variables, estas unidades elementales de memoria se denominan genéricamente biestables, debido a su capacidad de conservar indefinidamente, en ausencia de estímulos exteriores, uno de dos estados estables, que pueden representar el valor de una variable interna.

Los circuitos secuenciales se pueden clasificar en dos grandes grupos:

Asíncronos

Síncronos

En los sistemas secuenciales asíncronos, los cambios de estado se producen en cuanto están presentes las entradas adecuadas, con los retrasos inherentes a las velocidades finitas de conmutación de los dispositivos físicos utilizados.

En un sistema secuencial síncrono, por el contrario, los cambios de estado se producen únicamente cuando, además de estar presentes las entradas adecuadas, se produce la

transición de una cierta señal, compartida por todos los biestables del sistema y que, por lo tanto, sincroniza su funcionamiento.

Esta señal se denomina, por esta razón reloj del sistema (CLK en la terminología anglosajona), y los cambios de estado se producen en sus transiciones de 0 a 1, o de 1 a 0, dependiendo de la tecnología propia de los circuitos electrónicos utilizados (generalmente transiciones negativas en tecnología TTL, y positivas en tecnología CMOS y ECL).

La utilización de uno u otro tipo de circuitos secuenciales depende principalmente de la naturaleza del problema a resolver y de la magnitud y complejidad del sistema. Si éste es grande, y existen muchos circuitos con velocidades de conmutación diferentes, puede convenir la utilización de un sistema síncrono en el que la velocidad del reloj esté adaptada a la velocidad del dispositivo más lento, para evitar problemas de retrasos en las señales y transiciones o salidas indeseables por dicha razón. Asimismo, la naturaleza del problema puede imponer un sistema síncrono (circuitos de tratamiento aritmético de las informaciones, transmisión de datos, contadores, etc.). por el contrario, en sistemas más sencillos, tales como automatismos en los que las entradas varían con poca frecuencia, suelen ser más económicos y eficaces los sistemas asíncronos.

Debe entenderse esta clasificación como funcional, es decir, externa a la constitución de los circuitos. En realidad, un circuito lógico de cualquier tipo puede considerarse como formado por puertas, elementos intrínsecamente asíncronos, puesto que proporcionan salidas instantáneas en cuanto están presentes las entradas adecuadas. La combinación de estas puertas entre sí es lo que da a un circuito su característica funcional de combinacional, secuencial y, dentro de estos últimos, síncrono o asíncrono.

Se estudiarán en primer lugar los sistemas asíncronos. A continuación se obtendrán, como aplicación de los procedimientos de diseño presentados, los diferentes tipos de biestables básicos utilizados usualmente. Por último, se estudiarán los sistemas síncronos y algunas aplicaciones características.

4.2. Lógica Secuencial Síncrona

Los contadores síncronos están configurados con la salida de cada flip – flop conectada al bit de más peso a través de una serie de puertas. Dispone de una señal de reloj común que sincroniza la transferencia de datos y de todos los flip – flops, cambian de estado simultáneamente.

Recuérdese que un contador asíncrono la salida de cada flip – flop cambia de estado al conmutarse el anterior flip – flop, lo que determina la frecuencia máxima. Un contador síncrono cambia el estado de todos los flip - flop simultáneamente, proporcionando al circuito una frecuencia mayor.

4.2.1. Flip – Flop R-S

Una memoria se usa normalmente para almacenar una información o un dato durante un período de tiempo y después borrarla para que quede dispuesta a admitir otro dato.

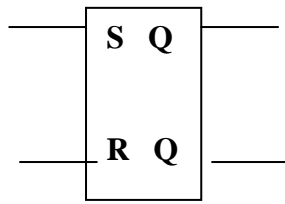


Fig. 4.1 Flip – Flop R-S

El flip – flop R-S es el más básico de todos los flip – flops razón por la cual se lo detalló en la Fig. 4.1

4.2.2. Aplicación de un flip – flop a un circuito práctico

Los flip – flop pueden almacenar un nivel lógico 1 o 0 y es muy útil para representar un acontecimiento real cuando se usan estados lógicos, como vemos estos flip – flops son muy útiles ya que también podemos utilizar en el circuito de semáforo.

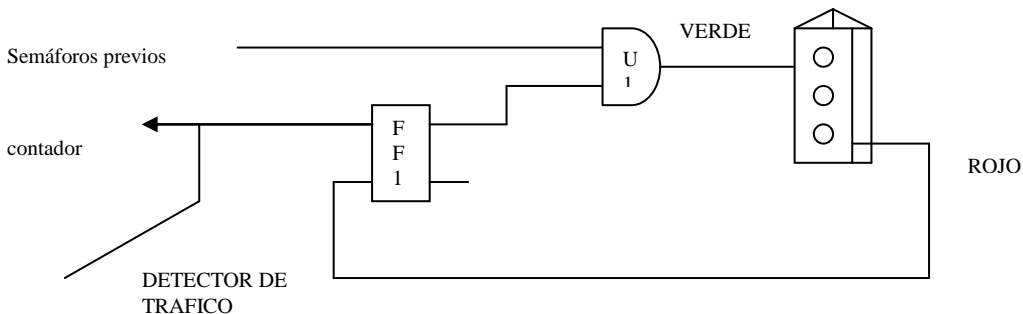


Fig. 4.2 Aplicación de un Flip – Flop a un circuito

4.3. Flip – Flop R-S con compuertas NAND

También podemos construir un circuito básico con flip – flops R-S con compuertas NAND ya que este es muy interesante conocerlo, en cuanto a la capacidad de almacenar un nivel lógico es idéntico al de las compuertas OR

Además podemos añadir que los flip – flop, con compuertas NAND provoca una indeterminación en la salida en el caso de que las entradas sean negadas.

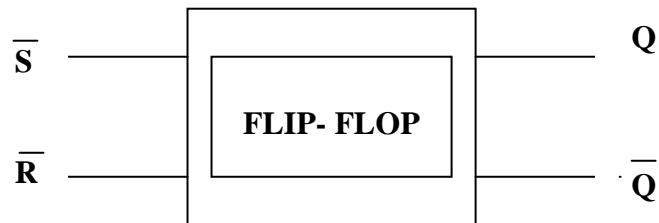


Fig. 4.3 Flip – Flop con compuertas NAND

4.4. Registros de desplazamiento y contadores

4.4.1. Principios Generales de los Registros de Desplazamiento

Un registro de desplazamiento es una simple aplicación de los flip-flop. Los registros de desplazamiento entran a formar parte de los circuitos lógicos básicos y se usan y comercializan como bloques unitarios.

En los registros de desplazamiento todos sus flip-flop tienen señal de reloj común y se activan y desactivan sincronizadamente (al mismo tiempo). La señal de reloj consiste en una serie de impulsos simétricos, considerándose que en un principio todos los flip-flop están desactivados.

Supongamos que suministramos un nivel 1 como dato a la entrada D del primer flip-flop FF1; con la llegada del impulso de reloj, el nivel 1 se almacena en FF1; y aparece en su salida, transcurrido un corto tiempo después del flanco delantero de la señal de reloj (este pequeño retraso de programación, normalmente del orden de nanosegundos, es a veces muy importante tenerlo en cuenta). En el próximo impulso de reloj, FF2 recibirá el nivel 1 desde la salida de FF1. Mientras tanto FF1 podrá recibir en su entrada un nuevo dato, que, por ejemplo puede ser un nivel 0, con lo que este segundo impulso de reloj, FF1 quedará cargado con un 0. En el tercer impulso, el bit 1 entrará en FF3 desde FF2 y en el cuarto impulso de reloj en FF4.

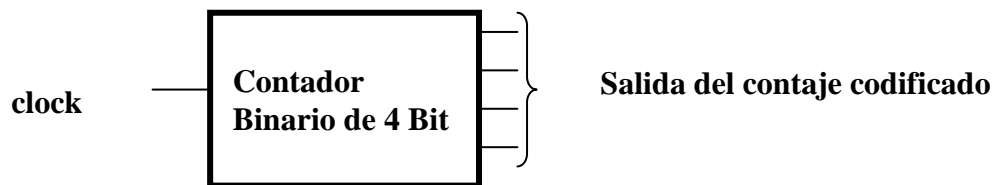
Puede apreciarse que el bit 1 se ha desplazado a través de los flip-flop al ritmo de la señal de reloj. A este bit 1 se le denomina “bit” o “bit de datos”.

Si el registro de desplazamiento recibe más de 4 impulsos de reloj, el nivel será desplazado fuera de FF4 y todos los flip-flop pasarán a contener un 0. Además el estado de los flip-flop puede presentarse abreviadamente como 0111. Si se desea almacenar el número 2, el registro se cargaría con 0011, para el número 4 con 111, etc. Con los 4 flip-flop se pueden almacenar 5 números: 0(0000), 1(0001), 2(0011), 3(0111) y 4(1111).

4.5. Empleo de los flip-flop para la formación de contadores.

Otra aplicación clásica de los flip-flop son los contadores binarios, que se utilizan para contar el número de veces que sucede un cierto acontecimiento. Por ejemplo, se puede usar uno para determinar el número de coches que pasan por encima de un detector de tráfico, o el número de segundos que tarda una persona en correr 100 metros.

Aunque posteriormente se amplía el tema de los contadores, con esta introducción se pretende proporcionar unas ideas fundamentales que ayuden a comprender todas las posibilidades de los flip-flop.



En la figura anterior se presenta un contador binario de 4 dígitos, sincronizado mediante una señal de reloj y que proporciona como salida el cómputo, codificado en binario, en 4 líneas. El circuito interno del contador está formado por puertas lógicas y flip-flop interconectados de tal forma que por cada impulso de reloj se avanza una unidad en el cómputo y se refleja en la salida mediante las 4 líneas conectadas a las salidas Q de los flip-flop.

4.6. Contadores en general

Los circuitos contadores binarios difieren de los registros de desplazamiento en que sus flip-flop están conectados entre sí de una forma diferente. El objeto de un circuito

contador es dar salida a la información en una forma específica, o bien aumentar al máximo el número de distintos estados que pueden obtenerse con un determinado número de flip-flop.

La mayoría de los contadores dan salida a información codificada en 8421,2421, exceso a 3 o algún otro código binario corriente, pero diseñado una lógica de interconexión puede obtenerse cualquier configuración arbitraria de salida.

Los contadores se utilizan normalmente como circuitos básicos en otros circuitos lógicos. Se emplean en cómputo, como secuenciadores de equipos u operaciones de proceso, en medición y división de frecuencia, manipulación aritmética, medición de intervalo de tiempo y otros muchos fines.

Existen muchas variantes de contadores. Todos se fabrican mediante flip-flop de los tipos JK, T, RS o D y se pueden clasificar en dos grupos fundamentales:

- ◆ Asíncronos.- conocidos también como contadores serie
- ◆ Síncronos.- a los que se llama contadores paralelos

En los contadores síncronos todos los flip-flop cambian de estado simultáneamente, en tanto que en los asíncronos cambia de estado un flip-flop y este cambio activa un segundo flip-flop, el cual puede después activar a un tercero, luego a un cuarto, y así sucesivamente.

Dentro de cada una de las categorías básicas, puede diseñarse un contador que cuente hasta cualquier número binario deseado antes de repetir la secuencia del cómputo. El

número de estados sucesivos a través de los cuales un determinado contador realiza una secuencia antes de que se repita se denomina “módulo”. Los contadores de módulo 2,4,8,16 o algún otro número que sea potencia de 2, son los más fáciles de construir. Sin embargo, son también comunes los de módulo de 6 o 10.

Los contadores pueden clasificarse de acuerdo con el código ponderado en que cuentan (por ejemplo, el código 8421 o el de Exceso a 3). Además, un contador puede contar hacia arriba, hacia abajo (decrementando) o hacer ambas cosas, según el nivel lógico de que disponga en una entrada de control.

4.7. Contadores asíncronos

El contador de propagación binaria (asíncrono) es el tipo más básico de todos. Una serie de flip-flop JK conectados, contará hacia arriba o incrementando en el código 8421, o , si está conectado decrementando o hacia abajo (los flip-flop se activan con el flanco posterior del impulso).

Los circuitos tienen una característica especial en común que los clasifica en asíncronos y con la que se reconoce cualquier circuito de este tipo. La salida del primer flip-flop dispara al segundo ,FF2, por su entrada de impulsos de reloj; la salida FF4. De esta forma, el efecto de un impulso de reloj introducido en la entrada de FF1, se propagará de un flip-flop a otro hasta que llegue al último de la serie: por este motivo se la llama contador de propagación, y también contador serie.

En el contador ascendente asíncrono cada flip-flop JK tiene sus entradas J y K en lógica 1. Esto hace que el flip-flop bascule (cambie de estado) cada vez que se recibe un

impulso de reloj. Puesto que la salida de un flip-flop está conectada a la entrada de reloj del siguiente, cada flip-flop cambia de estado con una periodicidad que es la mitad de la del flip-flop anterior.

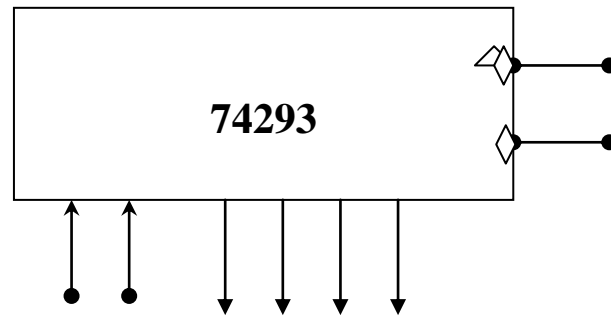


Fig. 4.4 Contador asíncrono

4.8. Contadores síncronos.

Los contadores síncronos se basan en el mismo circuito flip-flop JK (o tipo T) que los contadores asíncronos, exceptuando que todos los flip-flops son activados mediante una señal de reloj común y, por tanto, todos cambian de estado sincrónicamente (al mismo tiempo). Las entradas J y K de cualquier flip-flop están conectadas a las salidas Q de todos los flip-flops anteriores que hay en la cadena del contador a través de una puerta AND. Por lo tanto cualquier flip-flop se activará cuando la puerta AND que se aplica a las entradas J y K, tengan un 1 lógico y esto se produce únicamente cuando todos los flip-flop anteriores de la cadena están en estado 1.

El contador ascendente de 7 bit explica cómo la misma regla de interconexión que se usó para el de 4 bit puede hacerse extensible para construir un contador más amplio y sirve también para resaltar la principal característica de un contador síncrono.

Obsérvese que, debido a que todos los flip-flop reciben un impulso de reloj y cambian de estado al mismo tiempo, el retardo total (con independencia del número de flip-flop que haya) es exactamente el de un flip-flop. Si el tiempo total de retardo de propagación de un flip-flop JK y de la puerta AND que conecta su salida con otro flip-flop es de 35 ns ($25 + 10$ ns), los impulsos de reloj pueden producirse con una frecuencia máxima de 30 MHz en un contador síncrono.

Compárese este dato con la frecuencia máxima de 10 MHz del contador asíncrono de 4 bit, utilizando el mismo retardo de propagación del flip-flop.

Otra característica útil del contador asíncrono es que todas sus líneas de salida cambian simultáneamente. Por lo tanto, no hay estados intermedios con salidas del contador incorrectas, ya que el contador avanza de un estado al otro. También, y como es natural, el contador síncrono tiene limitaciones.

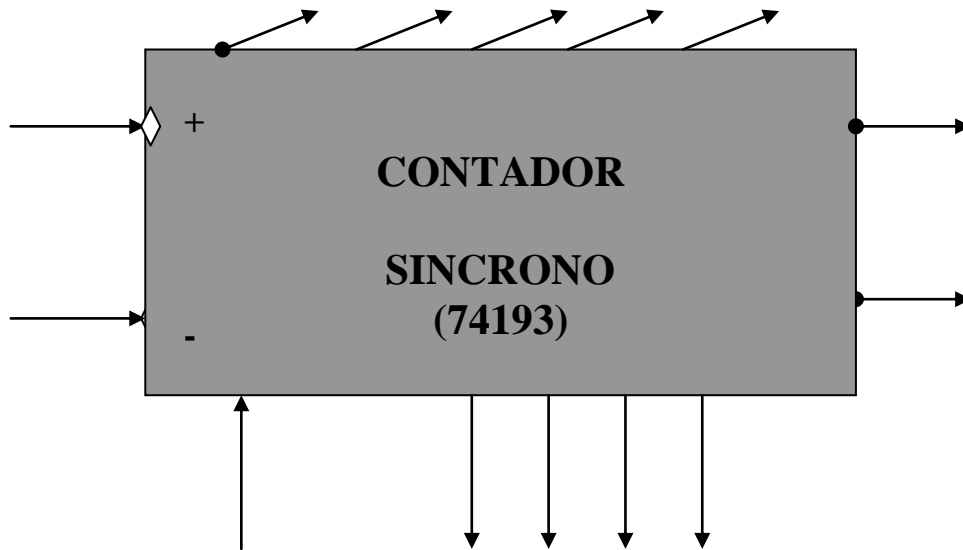


Fig.4.5 Contador síncrono

4.9. Biestables síncronos

Cuando se ha de utilizar el biestable como componente de un sistema secuencial síncrono, la forma de funcionamiento de estos sistemas, exige que el biestable no ejecute la orden representada por sus entradas hasta que no se produzca la transición oportuna en el reloj que controla el sistema. Los biestables básicos R-S estudiados hasta ahora son asíncronos, esto es, su salida cambia tan pronto como cambian las entradas. Se hace, pues, necesario sincronizar los biestables con el reloj para que cumplan la exigencia anteriormente indicada.

Se indica una posible solución para sincronizar un biestable R-S. Con ella las entradas sólo son conectadas al biestable asíncrono durante la zona activa del impulso del reloj.

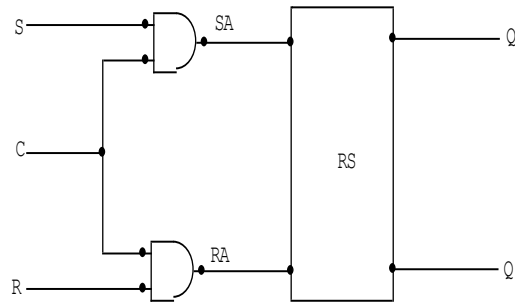


Fig. 4.6 Biestable R-S Síncrono

Tabla 4.1 Tabla de verdad

R	S	Qt-	Qt	Qt
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1

Fig. 4.6 Biestable R-S Síncrono

En los sistemas secuenciales síncronos las entradas de los biestables pueden ser función de sus propias salidas así como de las de otros biestables. Para que el sistema actuara correctamente la solución indicada, sería preciso que el tiempo durante el cual permanece el reloj activo fuera menor que el tiempo de reapuesta del biestable, para así que las nuevas salidas generadas puedan modificar el estado del biestable antes del momento oportuno.

La solución apuntada no es, por tanto, demasiado satisfactoria, toda vez que exigiría impulsos de reloj de duración suficiente para disparar el biestable más lento pero menor que el mínimo tiempo de retardo que tenga el sistema en los posibles caminos de realimentación hacia las entradas de los biestables.

4.9.1 Edge-triggered.

Consiste en la generación interna de un impulso de reloj de muy corta duración a partir de un flanco (edge: De ahí la denominación) del impulso de reloj. Este impulso es el que abre las entradas del biestable.

En la figura 4.7 (a) se muestra el esquema de esta solución para un biestable R-S. La duración del impulso generado es igual al retardo del inversor y se produce a partir del flanco de subida del impulso de reloj como pueden comprobarse al observar las formas de onda de la figura 4.7 (b). Las soluciones empleadas en la práctica se derivan de este esquema de principio.

La solución indicada exige que el tiempo de subida del impulso de reloj sea mucho menor que el retardo del inversor, ya que en caso contrario no se generaría el impulso interno Cl.

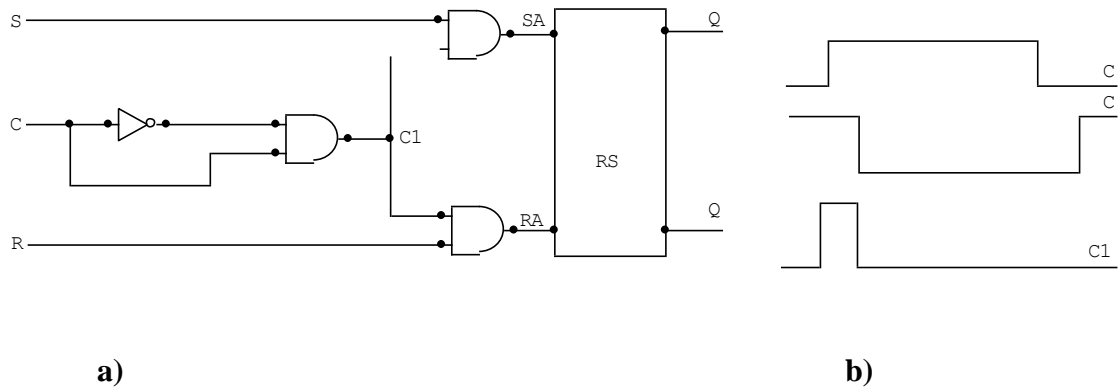


Fig. 4.7 Edge – Triggered

Esto limita su utilización cuando se utilizan relojes con tiempo de subida grandes.

4.9.2 Master-slave.

Otra solución al problema, y que no tiene la limitación antes indicada en cuanto a velocidad de cambio de reloj, es la master-slave. Consiste en la utilización de los biestables en cascada, el primero de ellos, el master, se abre a la información durante los períodos activos de la señal de reloj, mientras que el segundo, el slave, loase durante los inactivos.

La salida del biestable es la del slave, por lo que dicha salida no cambiará hasta al flanco de bajada del impulso del reloj y lo hará en función del estado del master en el instante anterior.

Mientras que la señal del reloj esté a 1, el biestable master sigue las entradas S y R y el slave permanece cerrado dado que $C = 0$. al pasar C de 1 a 0, el master se cierra y unos nanosegundos después (retardo del inversor) se abre ($C = 1$) por lo que éste se carga con las salidas del master. Estas ya no cambian dado que dicho biestable está cerrado.

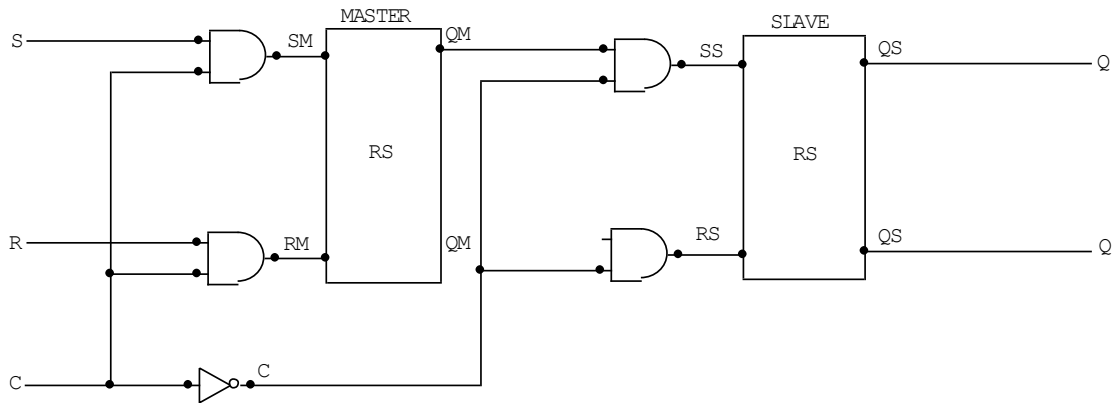


Fig. 4.8 Flip-Flop Maestro - Esclavo

Así pues, el biestable total se ha cargado con la información presente en sus entradas al final del tiempo durante el cual la señal de reloj es activa.

Tabla 4.2 Tabla de verdad

0	1	S
1	2	0
3	2	0
3	4	1
1	4	1

Tabla 4.3 Salidas

Q1	Q2
0	0
1	0
1	1
0	1

4.9.3. Biestables T

Un tipo de biestables muy utilizado en contadores es el T (*toggle*). Estos biestables cambian de estado durante los pasos 0 a 1 o de 1 a 0 de una señal de entrada designada como T. Se sintetizará siguiendo el método descrito para sistemas secuenciales asíncronos generales.

La tabla 4.2 representa la tabla de verdad de este sistema. Esta tabla no admite fusión, y se asignan las variables internas Q_1 y Q_2 tal como se indica en la tabla 4.3 con el fin de evitar transiciones no adyacentes.

Tabla 4.4 Tabla de ecuaciones

T	Q1	Q2	Q1	Q2	R1	S1	R2	S2
0	0	0	0	0	X	0	X	0
0	1	0	1	1	0	X	0	1
0	1	1	1	1	0	X	0	X
0	0	1	0	0	X	0	1	0
1	0	0	1	0	0	1	X	0
1	1	0	1	0	0	X	X	0
1	1	1	0	1	1	0	0	X
1	0	1	0	1	X	0	0	X

La tabla de verdad se va a realizar ya pensando en utilizar biestables R-S para almacenar las variables internas Q_1 y Q_2 . Por lo tanto, las salidas que interesa obtener serán R_1 , S_1 , R_2 y S_2 , es decir, las entradas a cada uno de los biestables, que les harán tomar el valor que convenga. La tabla y las ecuaciones resultantes se representan en la figura 4.5 ya se ve directamente, además, que la salida S que interesa obtener coincide con Q_2 .

Los biestables T no están disponibles comercialmente como tales, sino porque han de ser formados a partir de otros.

4.9.4 Biestables LATCH

Utilizados con bastante frecuencia en los circuitos de tratamiento de datos, su funcionamiento es el siguiente: La salida S sigue a la entrada D en tanto que la señal C de

cierre esté activa. Cuando esta señal pase inactiva, el biestable queda enclavado con la información que tuviera en ese instante.

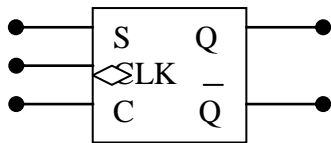


Fig. 4.9 Biestable Latch

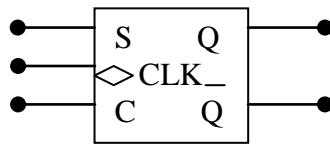
Tabla 4.5 Tabla de verdad

S	C	CLK	Q
0	0	I	Q0(no cambia)
1	0	I	1
0	1	I	0
1	1	I	Ambiguo

Este esquema corresponde en realidad al del circuito integrado SN7475, en tecnología TTL, que contiene cuatro biestables idénticos.

4.9.5 Biestables D

Se utilizan frecuentemente en los circuitos de tratamiento de datos y en la construcción de registros de desplazamiento. La información presente en la entrada D se transfiere a la salida durante las transiciones de un impulso C.



4.10 Biestable D

Tabla 4.6 Tabla de verdad

D	Q
0	0
1	1

Los biestables D comercialmente disponibles suelen ser de estructura *edge-triggeres*.

4.9.6 Biestables J-K

Los cambios de estado de este biestable se producen durante las transiciones de una señal de control C, según las informaciones presentes en las entradas J-K. Se observará que estas entradas J-K funcionan como S-R, respectivamente, excepto en la combinación 11, en la que el biestable cambia siempre de estado.

Por razones tecnológicas, en los biestables J-K master-slave TTL, el circuito lógico equivalente está diseñado de tal forma que si, estando el biestable en un estado determinado de salida, la información en las entradas J-K es tal que se le ordene cambiar de estado, durante el período en que está abierta la entrada a la sección master, este biestable almacena la información de cambio, y durante la transición de C hace cambiar a su vez al slave aunque aquella información en J-K hubiera desaparecido.

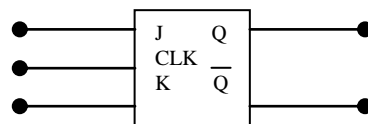


Fig. 4.11 Biestable J-K

Tabla 4.7 Tabla de verdad

S	C	CLK	Q
0	0	I	Q0 (NO CAMBIA)
1	0	I	1
0	1	I	0
1	1	I	Q0 (complementado)

4.10 Memorias

En la Electrónica Digital, una memoria es generalmente un dispositivo que puede almacenar bits lógicos 1 y 0 de forma que en cualquier momento se pueda acceder a un solo bit o a un grupo de ellos y recuperar su contenido. Para almacenar y sacar un bit se requiere una combinación de las siguientes señales de control.

- 1.- Señal de direccionamiento, que identifica la posición de un bit de memoria.
- 2.- Orden de lectura o escritura según la función que se vaya a desempeñar

La combinación de biestables, piezas básicas para las memorias da lugar a dos tipos de memorias:

- a) Las elásticas en las que se almacena un bit de información en cada flip-flop y cuando se precisa dicha información hay que localizarla en la misma posición, es decir en el flip-flop que se almacenó.
- b) Los registros de desplazamiento en los que los bits de datos se desplazan a través de los flip-flop que están conectados entre sí.

Memorias RAM.- Las memorias RAM son circuitos integrados cuyas células pueden ser escritas y leídas . Las RAM se clasifican en **estáticas** y **dinámicas**, según el tipo de sus células, y, de acuerdo con la tecnología de fabricación que se emplee, en **bipolares** y **MOS**.

Memorias ROM.- Las ROM, o memorias de sólo lectura, son **C.I.** que pueden sacar repetidamente al exterior datos que tienen grabados, pero no pueden grabarse en ellas, como sucedía con las memorias RAM.

Las memorias ROM todos los datos quedan grabados durante su fabricación o en una operación independiente después de la misma; realizada la grabación, los datos no pueden ser cambiados.

CAPITULO V

5.1.- Construcción del Entrenador Digital.

Para la elaboración de un Entrenador Digital hemos realizado muchas funciones específicas ya que este es un aparato que consta de varios circuitos independientes montados en un mismo circuito impreso.

En un solo aparato usted dispone de protoboard fuente regulada de 5V y punta de prueba o punta lógica.

Es una herramienta de trabajo ideal para estudiantes, tecnólogos e ingenieros que desean comprobar el buen funcionamiento de sus proyectos.

5.2.- Descripción general de los componentes del Entrenador Digital .

5.2.1.- Chasis.

Esta formado por una lámina metálica donde van montados el transformador y la fuente de poder, una base en acrílico provista de una caja con tres divisiones ideal para guardar sus componentes en esta base van instaladas el circuito de la punta lógica los bornes de salida de la fuente variable, el portaled, el protoboard y el interruptor general, adicional dos piezas de madera que se utilizan para ajustar la base de acrílico con la base metálica

5.2.2.- Protoboard.

Estos los tomamos muy en cuenta por su importancia como tableros para realizar el montaje rápido y seguro de experimentos y circuitos electrónicos sin la utilización de soldadura. Están ubicados en la parte frontal de la base de acrílico y se pegan con un adhesivo incluido en su parte inferior.

5.2.3.- Fuente de poder regulada de 5v.

Se la ha considerado como una de las herramientas del entrenador, con la cual se puede obtener un voltaje regulado de 5V, que lo utilizamos en nuestro caso para alimentar internamente la punta lógica y externamente todos los circuitos montados en el protoboard.

5.2.4.- Punta lógica.

Este es otro componente básico del entrenador , sirve para determinar la presencia de unos y ceros o niveles lógicos en los circuitos digitales.

Cuando en la entrada se aplica un cero, se iluminan los segmentos A,B,G y F del display mostrando un cero; cuando en la entrada hay un uno, se ilumina el segmento E mostrando un uno.

Cuando la entrada no esta conectada o esta conectada a un circuito abierto que no esta ni en cero ni en un, ningún segmento se ilumina y por último, si en la entrada se alternan ceros y unos (ONDA CUADRADA) aparece la letra P que indica una señal de “Pulsos”.

5.3.- Instrucciones de ensamblaje.

En primer lugar creemos conveniente indicar todos los componentes que conforman el Entrenador Digital y que a continuación indicamos:

- Un protoboard.
- Circuito impreso de la fuente de poder.
- Transformador.
- Componentes de la fuente de poder.
- Circuito impreso de la punta lógica.
- Componentes de la punta lógica.
- Base del entrenador.

Se debe tener mucho cuidado con el manejo de estos componentes, además se puede utilizar el protoboard para realizar los experimentos que se propone realizar, esto se lo puede hacer sin quitar el protector de la parte inferior de los protos ya que es un adhesivo muy fuerte que lo utilizamos para fijarlo definitivamente en la base del acrílico, cuando armemos definitivamente el entrenador.

Así mismo con la fuente de poder se debe tener mucho cuidado para evitar accidentes al momento de su instalación, con los tornillos lo sujetamos en el Entrenador Digital.

El mismo procedimiento se realiza con con los elementos que conforman la punta lógica del entrenador, es muy importante sujetarla muy bien para evitar daños al momento de empezar a armar el entrenador.

Por último el chasis de montaje o (caja) para ensamblar definitivamente nuestro entrenador debe tener el suficiente espacio para todos los elementos que lo conforman.

A continuación detallaremos paso a paso el modo de ensamblaje de todos los elementos que utilizaremos en nuestro proyecto.

5.4. Pasos a seguir para el ensamblaje del entrenador.

5.4.1.- Montaje de los bornes.

En el panel frontal de la base del acrílico van instalados tres bornes, dos metálicos para la salida de la fuente de poder de 5V, uno es de color rojo para el positivo y otro de color negro para el negativo.

Estos están ubicados en el extremo izquierdo de la base del acrílico por donde esta la salida del voltaje

El borne plástico de color negro se utiliza para la salida de la punta de prueba y se ubica en la parte central de la base

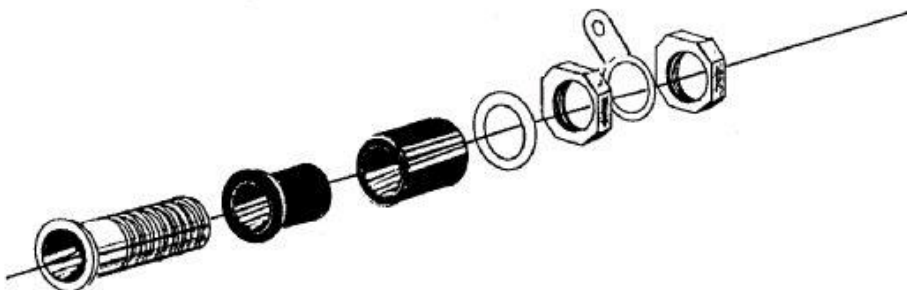


Fig. 5.1 Montaje de los bornes

Al realizar el montaje de los bornes no debemos conectar el terminal ni la tuerca que se encuentran al final .

Los terminales se deben raspar o pelar con una cuchilla y estañarlos con el fin de facilitar la soldadura que es muy importante al momento de conectar los demás cables.

5.4.2.- Montaje del led y portaled.

Debemos montar en la parte frontal de la base del acrílico y entre los terminales de la fuente, el portaled y el led de la manera correcta .

La conexión de los terminales del led se hará después cuando se monte el circuito impreso de la fuente.

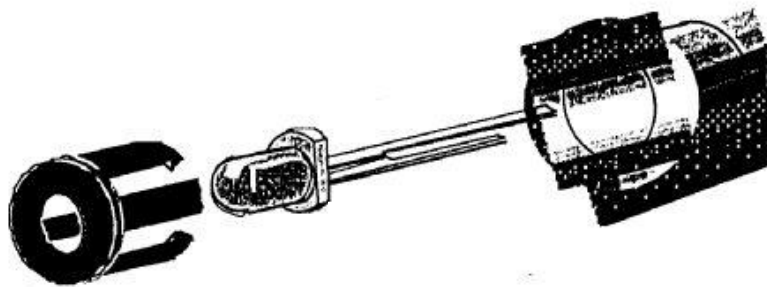


Fig. 5.2 Montaje del led

5.4.3.- Montaje del suiche o interruptor general.

Debemos instalar a presión el suiche de balancín con piloto en el orificio rectangular que realizamos en la parte trasera de la base del acrílico con el fin de que quede bien seguro y no puedan ocurrir fallas, todas estas recomendaciones las mencionamos por experiencias propias.

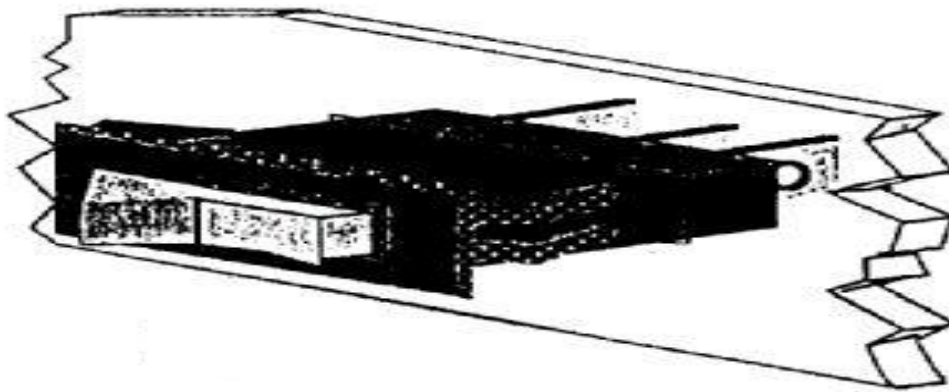


Fig. 5.3 Montaje del suiche

5.4.4.- Montaje de la fuente de poder de 5v.

Para montar la fuente de poder de 5V se debe ensamblar primero el circuito impreso con todos sus componentes incluyendo los cables de salida que permiten la alimentación de esta.

5.4.5.- Montaje de la punta lógica.

El terminal de salida o punta de prueba debe tener soldado un cable con una longitud aproximada de unos 15cm. Es muy necesario indicar que si el cable es muy corto debemos reemplazarlo por otro y si es demasiado largo debemos cortar el excedente .

Una vez listo el circuito impreso se debe montar en la base de acrílico, para hacer esto se debe utilizar 4 tornillos de 1/8 x 1` con sus respectivas tuercas con el fin de asegurarlo.

Entre la lamina y el circuito impreso se utilizan separadores de plástico, esto lo realizamos con el fin de dejar un espacio par que los componentes del circuito no queden pegados a la base. El display debe quedar visible por el orificio que se encuentra en la parte frontal.

5.4.6.- Montaje de los protoboards.

Primero debemos ensamblar los dos protoborads en un solo bloque alineando los ganchos y las guías que estos tienen par la mejor conexión. Debemos fijarnos que las letras y números en la unión, queden en el mismo sentido.

Luego debemos retirar el papel protector de la parte inferior para descubrir el adhesivo y luego fijarlos en el área que corresponde a los protos.

Esto se lo hace con mucho cuidado y despacio ya que una vez que fijamos en la base es muy difícil despegarlos y al hacerlo, probablemente el adhesivo e incluso los protoboards se dañaran por lo que recomendamos no despegarlos.

5.5.- Conexiones y ensamblaje final.

Una vez que se han montado todos los elementos del entrenador se debe proceder a la interconexión de los diferentes circuitos, este procedimiento debemos realizarlo con la tapa ligeramente levantada.

Aquí indicaremos detalladamente las conexiones básicas realizadas en nuestro trabajo.

5.5.1.- Conexión del circuito de entrada de 110v.

Pasamos el extremo del cable dúplex de entrada por el agujero pequeño que se encuentra en la parte izquierda de la parte trasera de la base del acrílico.

Dejamos unos 8cm. En la parte de adentro y hacemos un nudo con el fin de que el cable no se desconecte cuando se utilice.

Separamos los alambres del cable dúplex y conectamos cada uno de ellos a los extremos del interruptor general.

Tomamos un pedazo de cable dúplex con una longitud aproximada de 15cm.

Separamos los alambres en los extremos y conectamos uno de ellos al terminal del centro del interruptor y el otro al extremo mas largo del interruptor. Separamos los alambres del otro extremo del cable dúplex y lo conectamos cada uno de los terminales del primario del transformador.

5.5.2.- Conexión del transformador con el circuito impreso de la fuente.

Soldamos los cables instalados en el secundario del transformador a los terminales de entrada del circuito impreso de la fuente marcados como 9V, 0 y 9V.

Los cables rojos se deben soldar en los terminales de los extremos y el cable negro se debe soldar en el terminal del centro.

5.5.3.- Conexión de los cables de salida, la resistencia de 220 y el led

Insertamos los terminales de los bornes previamente soldados en los cables de salida de la fuente, en la parte trasera de los bornes negativo (negro) y positivo (rojo) marcados con - y + . Ajustamos con cuidado las tuercas fijándose de que queden bien aseguradas.

Soldamos el terminal negativo o catodo del diodo LED al borne negro (negativo) instalado en la base.

Luego soldamos el terminal positivo o ánodo a uno de los terminales de la resistencia de 220 (ohmios) y el otro terminal de la resistencia se debe soldar al borne rojo (positivo) de la base.

NOTA: Las bananas que tenemos se utilizan para llevar la alimentación de 5V a los diversos circuitos montados en el protoboard. Debemos instalar en cada uno de estos un alambre delgado tipo telefónico de un calibre de 22 o 24 de preferencia de colores rojo y negro respectivamente.

5.5.4.- Conexión de los cables de la punta lógica.

Soldamos los terminales de alimentación de la punta lógica a los bornes positivo (rojo) y negativo (negro) ubicados en la base del acrílico, fijándonos que no se suelten los terminales que antes habíamos instalado.

Por ultimo soldamos el cable indicado como punta de prueba que sale del circuito impreso al borne negro que lo indicamos con este nombre en la base del acrílico.

5.6.- Prueba general del entrenador.

Una vez que se ha ensamblado el entrenador se debe realizar algunas pruebas para garantizar que el montaje del entrenador lo hemos realizado adecuadamente.

Todas las partes y circuitos que componen este entrenador las hemos probado ampliamente en nuestro laboratorio. Si existiese alguna falla tendríamos que revisar la soldadura, mala instalación o la avería de algún elemento.

Creemos conveniente también indicar algunas pruebas que permitan comprobar el buen estado de cada una de las partes que componen el entrenador.

5.6.1.- Prueba del transformador.

Debemos tomar el multímetro y ubicar la perilla selectora en la mínima escala de ohmios (x 10) una de las puntas de prueba y lleve el indicador a cero por medio del control de ajuste.

Sin conectar el entrenador, encienda el interruptor y toque con las puntas de prueba los terminales del enchufe y verifique que la lectura sea mayor de cero.

Esto indica que no hay cortocircuito en el circuito de entrada. Si el multímetro marca cero, o no marca nada, revisamos las conexiones hasta detectar el problema.

Si en las bobinas del transformador hay continuidad, mida unos pocos ohmios. Luego comprobamos que no exista corto entre las bobinas primaria y secundaria; conecte una de las puntas de prueba a uno de los terminales del primario y la otra a uno de los terminales del secundario.

Si el transformador esta bueno, usted no medirá continuidad entre estas dos bobinas, por lo tanto, el multímetro no marcara ninguna resistencia.

5.6.2.- Prueba de la fuente de poder.

Debemos conectar el entrenador a una toma de corriente de 110V y accionamos el interruptor.

Tomamos el multímetro y situamos la perilla en la escala de 50ACV (50voltios en AC) tocamos con las puntas de prueba los terminales de los extremos de la entrada de la fuente sin importar su polaridad, teniendo mucho cuidado de no tocar con las manos ningún cable, tomamos la lectura y verificamos que sea aproximadamente de 18V .Revisamos y también que la medida entre cada uno de los extremos y el terminal central sea aproximadamente de 9V.

Cambiamos la escala del multímetro a 10DCV (10 voltios en DC) Colocamos las puntas de prueba teniendo en cuenta su polaridad en los terminales de salida de la fuente. Tomamos la lectura y verificamos que sea aproximadamente de 5V.

5.6.3.- Prueba de la punta lógica.

Instalamos un cable en el borne indicado en la base del acrílico como punta de prueba y lo conectamos en el borne positivo de la fuente, en el display debe visualizarse un uno lógico .

Conectamos ahora al borne negativo de la fuente, en el display debe visualizarse un cero lógico. Si esto no se cumple se debe revisar el circuito para localizar las posibles fallas.

Colocación de la tapa de acrílico.- Una vez que se haya realizado todas las pruebas coloque la tapa del entrenador fijándolo con los tornillos que habíamos retirado antes al iniciar el ensamblaje, asegúrelos muy bien sin que vaya a dañar la base.

5.7.- Utilización del entrenador.

Una vez terminadas todas las pruebas, el entrenador esta listo para ser utilizado como un útil y práctico laboratorio en donde podemos realizar una gran cantidad de experimentos sin la necesidad de otros equipos o instrumentos adicionales.

CAPITULO VII

7.1.- CONCLUSIONES Y RECOMENDACIONES

1.- Al concluir nuestro proyecto de grado nos sentimos satisfechos ya que hemos logrado primeramente nuestra meta y además hemos aplicado nuestros conocimientos para la elaboración de nuestra tesis y así aportar para el desarrollo del Laboratorio de Sistemas Digitales del I.T.S.A..

2.- Además con nuestro proyecto afianzamos nuestros conocimientos en Sistemas Digitales y brindamos a los alumnos de este Instituto una herramienta de trabajo y estudio de mucha importancia.

3.- En conclusión podemos decir que el Entrenador Digital nos permite realizar circuitos montados sobre este con la seguridad de obtener buenos y rápidos resultados.

7.2 RECOMENDACIONES

- 1.- Una recomendación muy importante sería el usar correctamente el Entrenador Digital y los elementos que van a ser utilizados.
- 2.- Sería muy importante el asesoramiento continuo del maestro en la elaboración de cualquier circuito o guía de laboratorio.
- 3.- Mantener el Entrenador Digital en buen estado, cuando este sea desocupado guardarlo en un lugar seguro, que no haya humedad y que no ingrese polvo.
- 4.- Utilizar los materiales y voltajes adecuados al realizar un trabajo en el Entrenador Digital














ANEXOS

NOMENCLATURA

	NOMENCLATURA	DESCRIPCION
C.I.	=	Circuito integrado
S	=	Salida
\bar{A}	=	\bar{A} negada
\bar{B}	=	\bar{B} negada
A, B, C	=	Entradas
St	=	Salida total
Ft	=	Frecuencia total
Et	=	Energía total
Qt	=	Salida después de un tiempo
TTL	=	Lógica Transistor Transistor
MOS	=	Semiconductor de Metal Oxido
CMOS	=	Circuito MOS
RT	=	Resistencia total
Fs	=	Frecuencia sincronizada
FR	=	Frecuencia relativa
R	=	Resistencia
P	=	Potencia
D	=	Derivada
I	=	Corriente
T	=	Toggle
J-K	=	Maestro - Esclavo

S-R = Set de reset

SIMBOLOGIA

SIMBOLO	DESCRIPCION
	Tierra
	Fuente de poder
	Corriente continua
	Corriente alterna
	Resistencia
	Diodo
	Transformador
	Interruptor
	Condensador
	Diodo LED
	Transistor NPN
+	Polaridad positiva
-	Polaridad negativa
	Indicador luminoso
	Transductor

BIBLIOGRAFIA

ETFA: Electronica Digital (Cuarta Edicion año 1994)

JOSE ANGULO: Electronica Digital (Sexta Edicion, año 1983)

F. ALDANA R ESPARZA P.M. MARTINEZ :Electronica Digital (Septima Edicion, año 1980)

TOCCI: Electronica Digital (Sexta Edicion, año 1996)

HOJA DE LEGALIZACION DE FIRMAS

ELABORADO POR:

Cbos. Cañar Cervantes Leonidas Martín

Cbos. Fuentes Pita Juan Carlos

Cbos. Vergara Carrera Carlos Santiago

DIRECTOR DE LAS ESCUELAS

Myo. Tec. Avc. Ing. Eduardo Castillo

Latacunga, 18 de Diciembre del 2001

APÉNDICE

FUERZA AEREA ECUATORIANA
INSTITUTO TECNOLÓGICO SUPERIOR AEREONAUTICO
ESCUELA DE TECNOLOGÍA EN AVIONICA
ESCUELA DE TECNOLOGÍA EN TELEMÁTICA
LABORATORIO DE DIGITALES

PRACTICA N#1

TEMA: COMPUERTA OR

1. Objetivos:

- 1) Conocer el funcionamiento de la compuerta OR
- 2) Comprobar las tablas de verdad.
- 3) Implementar circuitos sencillos utilizando la compuerta OR

2. Trabajo Preparativo:

- a) Consulte la tabla de verdad y simbología de la compuerta OR
- b) Buscar en el ECG las características de la compuerta OR (7432).
- c) Buscar como están distribuidos los pines de esta compuerta, ver en el ECG.
- d) Determinar las salidas en el siguiente circuito.

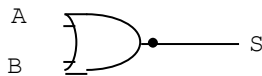


Fig. 1 Compuerta OR

3. Marco Teórico

- a) Compuerta OR, realiza una función de suma.

Tabla. 1

Entradas		Salidas
A	B	$S = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

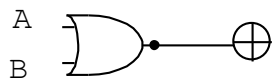


Fig. 2 Compuerta OR

4. Materiales.

- Entrenador Digital
- Compuerta OR 7432
- Cables
- Diodos Led
- Protoboard

5.Procedimiento

5.1.- Compuerta OR

5.1.1.- Conecte la compuerta OR en el Protoboard verificando la alimentación del CI (7432)

5.1.2.- La compuerta OR de 2 entradas, puede ser extendida a una compuerta de 3 ,4,o mas entradas.

5.1.3.- Verifique la tabla de verdad y compruebe todas las combinaciones posibles.

5.1.4.- Conecte a la salida de una compuerta OR un diodo LED o monitor lógico.

5.1.5.- Encienda la fuente de poder.

5.1.6.- Varíe el estado de las entradas y complete la tabla de verdad

Tabla. 2

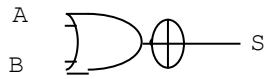


Fig. 3. Compuerta OR

Entradas		Salidas
A	B	$S = A + B$
0	0	
0	1	
1	0	
1	1	

6. Análisis de Resultados.

6.1.- Con los datos obtenidos complete la siguiente tabla.

Tabla.3

Entradas		Salidas
A	B	$S = A + B$
0	0	
0	1	
1	0	
1	1	

7. Cuestionario.

a) Una compuerta OR con 1 en por lo menos una entrada, tendrá una salida de

- 0
- 1
- LO
- Ninguna de las anteriores.

b) Una compuerta OR con un 0 en por lo menos una entrada, tendrá una salida de:

- 0
- 1
- LO
- Ninguna de las anteriores

c) Una compuerta OR, con entradas y salidas invertidas con un 1 en una entrada

tendrá una salida de:

- 0
- 1
- HI
- Ninguna de las anteriores

d) Una compuerta OR de 3 entradas puede ser transformada en una puerta OR de 2 entradas:

- a. Conectando 2 entradas a un nivel lógico 0.

- b. Conectando 2 entradas a un nivel lógico 1
- c. Conectando 1 entrada a un nivel lógico 1
- d. Conectando 1 entrada a un nivel lógico 0

8. Conclusiones y Recomendaciones.

9. Bibliografía

10. Anexos

FUERZA AEREA ECUATORIANA
INSTITUTO TECNOLÓGICO SUPERIOR AEREONAUTICO
ESCUELA DE TECNOLOGÍA EN AVIONICA
ESCUELA DE TECNOLOGÍA EN TELEMÁTICA
LABORATORIO DE DIGITALES

PRACTICA N#2

TEMA: COMPUERTA AND

1. Objetivos:

- 1) Conocer el funcionamiento de la compuerta AND
- 2) Comprobar las tablas de verdad.
- 3) Implementar circuitos sencillos utilizando la compuerta AND.

2. Trabajo Preparativo:

- a) Consulte la tabla de verdad y la simbología de la compuerta AND.
- b) Buscar en el ECG las características de la compuerta AND (7408).
- c) Buscar como están distribuidos los pines de esta compuerta , ver en el ECG.
- d) Determinar las salidas en el siguiente circuito.

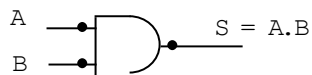


Fig. 1. Compuerta AND

3. Marco Teórico

- b) Compuerta AND, realiza una función de multiplicación.

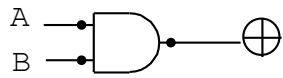


Fig. 2 Compuerta AND

Tabla 1

Entradas		Salidas
A	B	$S = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

4. Materiales.

- Entrenador Digital
- Compuerta AND de 2 entradas (7408)
- Cables
- Diodos Led
- Protoboard

5.Procedimiento

5.1.- Compuerta AND

5.1.1.- Conecte la compuerta AND en el Protoboard.

5.1.2.- La compuerta AND de 2 entradas, puede ser extendida a una compuerta de 3 ,4,o mas entradas.

5.1.3.- Encienda la fuente de poder de 5 voltios.

5.1.4.- Verifique la tabla de verdad y compruebe todas las combinaciones posibles.

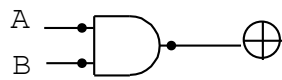


Fig.3 Compuerta AND

Tabla. 2

Entradas		Salidas
A	B	$S = A \cdot B$
0	0	
0	1	
1	0	
1	1	

6. Análisis de Resultados.

6.1.- Con los datos obtenidos complete la siguiente tabla.

Tabla 3

Entradas		Salidas
A	B	S = A . B
0	0	
0	1	
1	0	
1	1	

7. Cuestionario.

a) Una compuerta AND con 1 en por lo menos una entrada, tendrá una salida de

- a. 0
- b. 1
- c. LO
- d. Ninguna de las anteriores.

b) Una compuerta AND con un 0 en por lo menos una entrada, tendrá una salida de:

- a. 0
- b. 1
- c. LO
- d. Ninguna de las anteriores

c) Una compuerta AND, con entradas y salidas invertidas con un 1 en una entrada

tendrá una salida de:

- a. 0
- b. 1
- c. LO
- d. Ninguna de las anteriores

c) ¿Cuándo es la compuerta AND es equivalente de conmutadores en serie.

8. Conclusiones y Recomendaciones.

9. Bibliografía

10. Anexos

FUERZA AEREA ECUATORIANA
INSTITUTO TECNOLÓGICO SUPERIOR AEREONAUTICO
ESCUELA DE TECNOLOGÍA EN AVIONICA
ESCUELA DE TECNOLOGÍA EN TELEMÁTICA
LABORATORIO DE DIGITALES

PRACTICA N#3

TEMA: INVERSORES

1. Objetivos:

- 1) Conocer el funcionamiento de la compuerta Inversora.
- 2) Comprobar las tablas de verdad.
- 3) Implementar circuitos sencillos utilizando la compuerta Inversora.

2. Trabajo Preparativo:

- a) Consulte la tabla de verdad y la simbología de la compuerta Inversora
- b) Buscar en el ECG las características de la compuerta Inversora (7404).
- c) Buscar como están distribuidos los pines de esta compuerta, ver en el ECG.
- d) Determinar las salidas en el siguiente circuito.

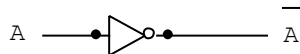


Fig. 1 Inversor

3. Marco Teórico

- d) Compuerta Inversora, realiza una función de invertir a la salida.

A	A
0	1
1	0

Tabla 1.

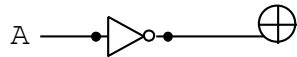


Fig. 2 Circ. Inversor

4. Materiales.

- Entrenador Digital
- Compuerta Inversora 7404
- Cables
- Diodos Led
- Protoboard

5.Procedimiento

5.1.- Compuerta Inversora

5.1.1.- Conecte la compuerta Inversora en el Protoboard..

5.1.2.- Encienda la fuente de poder de 5 voltios.

5.1.3.- Verifique la tabla de verdad y compruebe todas las combinaciones posibles.

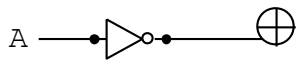


Fig. 3 Circ. Inversor

Tabla 2.

A	\bar{A}
0	
1	

6. Análisis de Resultados.

6.1.- Con los datos obtenidos complete la siguiente tabla.

Tabla 3.

A	\bar{A}
0	
1	

7. Cuestionario

a) Un inversor con un 1 de entrada tendrá una salida de:

- a. 0
- b. 1
- c. 10

b) Un inversor con un 0 de entrada tendrá una salida de:

- a. 0
- b. 1
- c. 11

c) ¿Cuántas entradas tiene el inversor

- a. 1
- b. 2
- c. 3
- d. Ninguna de las anteriores

d) ¿Cuántas salidas tiene el inversor?

- a. 1
- b. 2

c. 0

8. Conclusiones y Recomendaciones.

9. Bibliografía

10. Anexos

FUERZA AEREA ECUATORIANA
INSTITUTO TECNOLÓGICO SUPERIOR AEREONAUTICO
ESCUELA DE TECNOLOGÍA EN AVIONICA
ESCUELA DE TECNOLOGÍA EN TELEMÁTICA
LABORATORIO DE DIGITALES

PRACTICA N#4

TEMA: COMPUERTA NOR

1. Objetivos:

- 1) Conocer el funcionamiento de la compuerta NOR
- 2) Comprobar las tablas de verdad.
- 3) Implementar circuitos sencillos utilizando la compuerta NOR.

2. Trabajo Preparativo:

- a) Consulte la tabla de verdad y simbología de la compuerta NOR
- b) Buscar en el ECG las características de la compuerta NOR (7402).
- c) Buscar como están distribuidos los pines de esta compuerta, ver en el ECG.
- d) Determinar las salidas en el siguiente circuito.

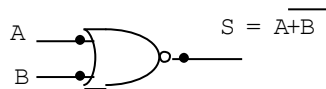


Fig. 1 Compuerta NOR

3. Marco Teórico

- a) Compuerta NOR, realiza una función de suma, pero se invierte la salida.

Tabla 1.

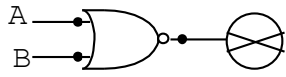


Fig. 2 Compuerta NOR

Entradas		Salidas
A	B	$S = A + B$
0	0	1
0	1	0
1	0	0
1	1	0

4. Materiales.

- Entrenador Digital
- Compuerta NOR 7402
- Cables
- Diodos Led
- Protoboard

5.Procedimiento

5.1.- Compuerta NOR

5.1.1.- Conecte la compuerta NOR en el Protoboard verificando la alimentación del CI. (7402)

5.1.2.- Verifique la tabla de verdad y compruebe todas las combinaciones posibles.

5.1.3.- Conecte a la salida de una compuerta NOR un diodo LED o monitor lógico.

5.1.4.- Encienda la fuente de poder.

5.1.5.- Varíe el estado de las entradas y complete la tabla de verdad.

Tabla 2.

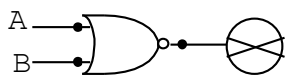


Fig. 3 Compuerta NOR

Entradas		Salidas
A	B	$S = \overline{A + B}$
0	0	
0	1	
1	0	
1	1	

6. Análisis de Resultados.

6.1.- Con los datos obtenidos complete la siguiente tabla.

Tabla 3.

Entradas		Salidas
A	B	$S = A + B$
0	0	
0	1	
1	0	
1	1	

7. Cuestionario.

a) Una compuerta NOR realiza la función lógica.

a. AB

- b. AB
- c. $A+B$
- d. $A+B$

b)¿Qué operación ejecuta una compuerta NOR con salidas invertidas.

- a. AND
- b. OR
- c. NAND
- d. NOT

c)¿Qué operación ejecuta una compuerta NOR con entradas invertidas.

- a. AND
- b. OR
- c. NAND
- d. NOT

8. Conclusiones y Recomendaciones.

9. Bibliografía

10. Anexos

FUERZA AEREA ECUATORIANA
INSTITUTO TECNOLÓGICO SUPERIOR AEREAUTICO
ESCUELA DE TECNOLOGÍA EN AVIONICA
ESCUELA DE TECNOLOGÍA EN TELEMÁTICA
LABORATORIO DE DIGITALES

PRACTICA N#5

TEMA: COMPUERTA NAND DE 4 ENTRADAS

1. Objetivos:

- 1) Conocer el funcionamiento de la compuerta NAND.
- 2) Comprobar las tablas de verdad.
- 3) Implementar circuitos sencillos utilizando la compuerta NAND.

2. Trabajo Preparativo:

- a) Consulte la tabla de verdad y simbología de la compuerta NAND.
- b) Buscar en el ECG las características de la compuerta NAND (7420).
- c) Buscar como están distribuidos los pines de esta compuerta, ver en el ECG.
- d) Determinar las salidas en el siguiente circuito.

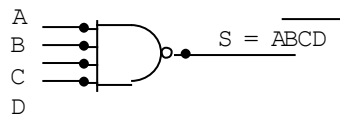
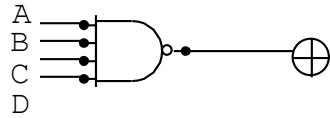


Fig. 1 Compuerta NAND (4 Ent.)

3. Marco Teórico

- a) Compuerta NAND, realiza una función de invertir la multiplicación a la salida.

Tabla 2.



A	B	C	D	$\overline{S = ABCD}$
0	0	0	0	1
0	1	0	1	1
1	0	0	0	1
1	1	1	1	0

Fig. 2 Compuerta NAND (4

Ent.)

4. Materiales.

- Entrenador Digital
- Compuerta NAND de 4 entradas.
- Cables
- Diodos Led
- Protoboard

5.Procedimiento

5.1.- Compuerta NAND

5.1.1.- Conecte la compuerta NAND en el Protoboard, verificando la

alimentación del CI. (7420)

5.1.2.- Verifique la tabla de verdad y compruebe todas las combinaciones posibles.

5.1.3.- Conecte a la salida de una compuerta NAND un diodo LED o monitor lógico

5.1.4.- Encienda la fuente de poder.

5.1.5.- Varíe el estado de las entradas y complete la tabla de verdad.

Tabla 2.

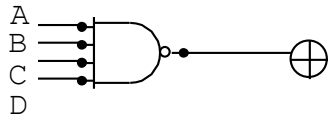


Fig. 3 Compuerta NAND (4 Ent)

A	B	C	D	S= ABCD
0	0	0	0	
0	1	0	1	
1	0	0	0	
1	1	1	1	

6. Análisis de Resultados.

6.1.- Con los datos obtenidos complete la siguiente tabla.

Tabla 3.

A	B	C	D	S= ABCD
0	0	0	0	
0	1	0	1	
1	0	0	0	
1	1	1	1	

7. Cuestionario.

a) Una compuerta NAND con 1 en cada entrada, tendrá una salida de

- a. 1
- b. 11
- c. Ninguna de las anteriores.
- d. 0

b) Que operación ejecuta una compuerta NAND con salidas invertidas

- a. OR
- b. NOR
- c. NOT
- d. AND

c) Que operación ejecuta una compuerta NAND de 4 entradas con una de las entradas conectadas a un nivel lógico 1.

- a. AND
- b. OR
- c. NOR
- d. NOT

d) Que operación ejecuta una compuerta NAND con entrada invertida.

- a. AND
- b. OR
- c. NAND
- d. NOT

8. Conclusiones y Recomendaciones.

9. Bibliografía

10. Anexos

FUERZA AEREA ECUATORIANA
INSTITUTO TECNOLÓGICO SUPERIOR AEREONAUTICO
ESCUELA DE TECNOLOGÍA EN AVIONICA
ESCUELA DE TECNOLOGÍA EN TELEMÁTICA
LABORATORIO DE DIGITALES

PRACTICA N#6

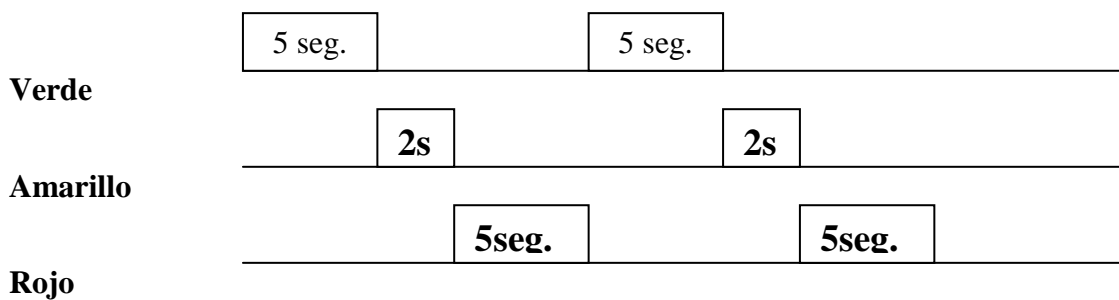
TEMA: CONSTRUCCIÓN DE UN SEMÁFORO DE 1 VIA.

1. Objetivo:

- a) Poner en práctica los conocimientos obtenidos en la elaboración de circuitos secuenciales.

2. Trabajo Preparativo:

- a) Diseñe un semáforo de una vía que cumpla las siguientes características.
- Luz verde 5 segundos.
 - Luz roja 5 segundos.
 - Luz amarilla 5 segundos.
 - Que cumpla con el siguiente diagrama de fase.



3. Marco Teórico

- a) Circuitos Secuenciales- LM555 astables y monoestables.

4. Materiales.

- Entrenador Digital
- 3 LM555
- Cables
- Diodos Led
- Protoboard
- Resistencias
- Condensadores
- Potenciómetros

5.Procedimiento

5.1.- Semáforo de una vía

5.1.1.- Arme el circuito que usted diseño y compruebe su funcionamiento

6. Análisis de Resultados.

6.1.- Diseñe un Semáforo de 2 vías.

6.2.- Dibuje el diagrama de fase del circuito que usted diseño.

7. Cuestionario.

- a) Que sucede si vacío el potenciómetro correspondiente al led verde.

- b) Si se le configura al LM555 como astable que forma de onda tiene a la salida.

- c) Diseñe un circuito que le de a la salida un tiempo de 10 segundos y el T h que va de 3 segundos.

8. Conclusiones y Recomendaciones.

9. Bibliografía

10. Anexos