



ESPE

UNIVERSIDAD DE LAS FUERZAS ARMADAS
INNOVACIÓN PARA LA EXCELENCIA

DEPARTAMENTO DE ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES

Carrera de Ingeniería en Electrónica y Telecomunicaciones

**Estudio, implementación sobre una FPGA y análisis de
desempeño de un
“Soft Processor” basado en la arquitectura RISC V**

Autor: Llumiquinga Quelal Richard Alexander

Director: Ing. Pablo Ramos PhD.



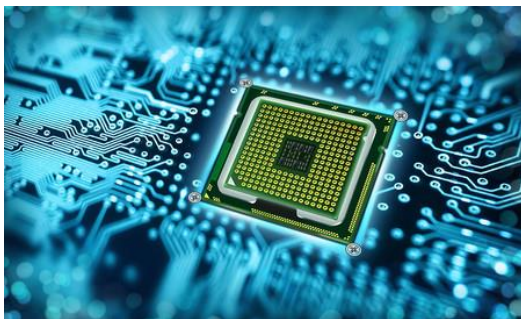
Agenda

- Introducción
 - Objetivos
 - Desarrollo
 - Implementación
 - Resultados
 - Conclusiones y trabajos futuros
-



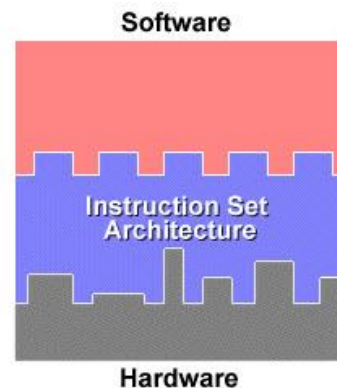
Procesador

- Cerebro del sistema.
- Ayuda al procesamiento y ejecuta acciones.
- Es uno de los componentes que más ha evolucionado.



ISA

- Conjunto de instrucciones programadas en el procesador.
- Especifica la funcionalidad del procesador.
- Se toma en cuenta principios básicos para su diseño.

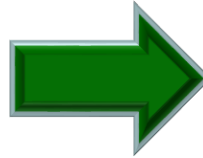
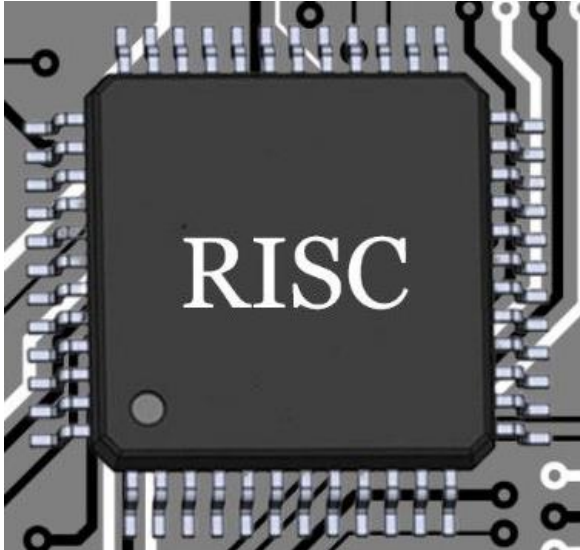


RISC-V

- ISA del tipo RISC.
- Licencia BSD.
- Es abierta y se puede utilizar sin regalías.
- Utiliza un repertorio reducido de instrucciones.
- Existen bloques en la arquitectura que se pueden o no implementar.



INICIOS

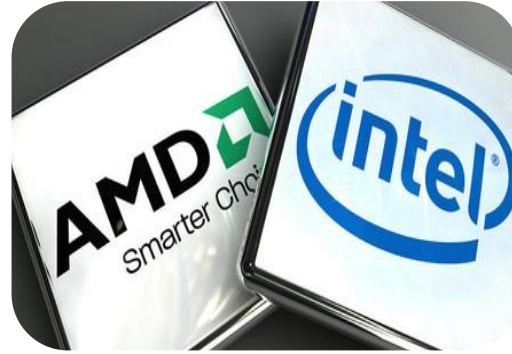


ACTUALIDAD





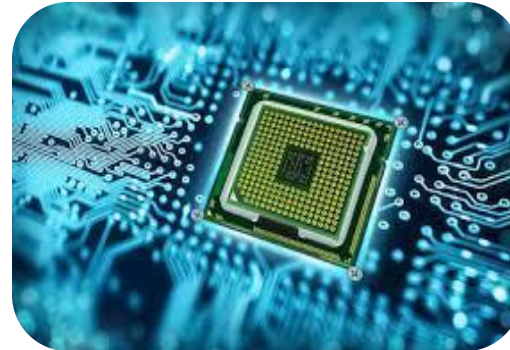
Dependencia
Tecnológica



Licencias y documentación con
costos y restricciones



Nuevas formas de crear
hardware libre sin
licencias ni costos



Creación de
procesadores propios

Objetivo General

- Implementar un procesador existente basado en una arquitectura RISC-V sobre una FPGA



Objetivos Específicos

- Realizar un estudio del estado del arte de la arquitectura RISC-V y una revisión de las especificaciones técnicas del conjunto de instrucciones.
- Estudiar distintas implementaciones de núcleos basados en RISC-V implementados sobre FPGA.
- Seleccionar dos procesadores existentes basados en la arquitectura RISC-V que utilicen lenguaje de programación compatible con la FPGA.
- Utilizar herramientas de software para la síntesis e implementación de los procesadores sobre una FPGA disponible .
- Realizar verificación del funcionamiento y pruebas de desempeño de dos arquitecturas RISC-V utilizando un benchmark existente o programado en lenguaje C.
- Comparar el desempeño de las dos arquitecturas RISC-V implementadas y analizar los resultados obtenidos.



Entorno de desarrollo Vivado 2019.2



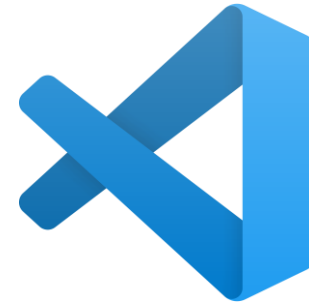
Cutecom



Benchmark Coremark

CoreMark[®]

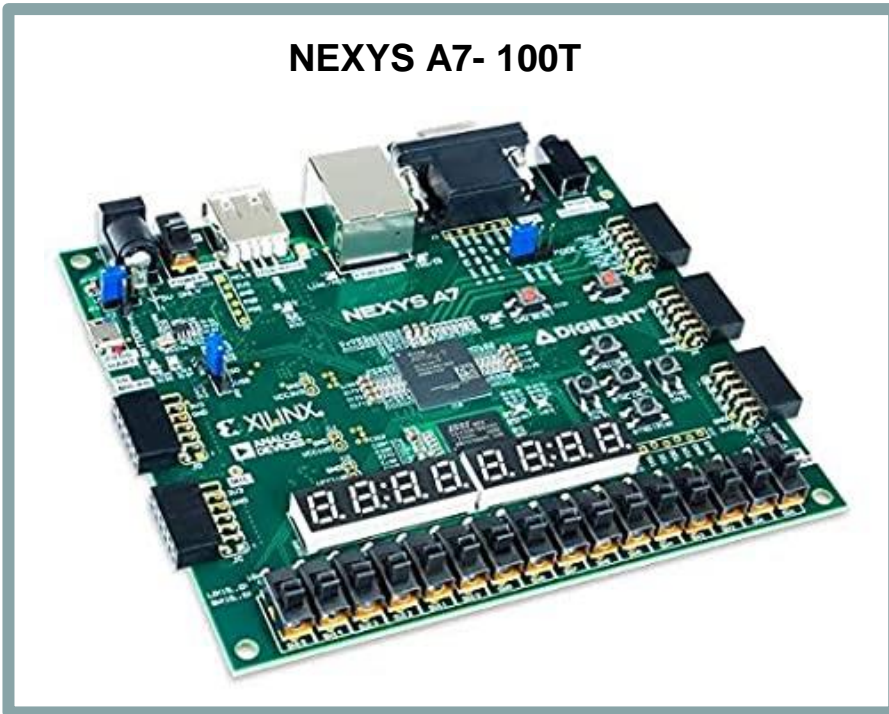
Visual Studio Code



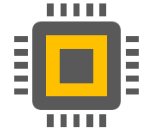
PlatformIO



NEXYS A7- 100T



NEORV32



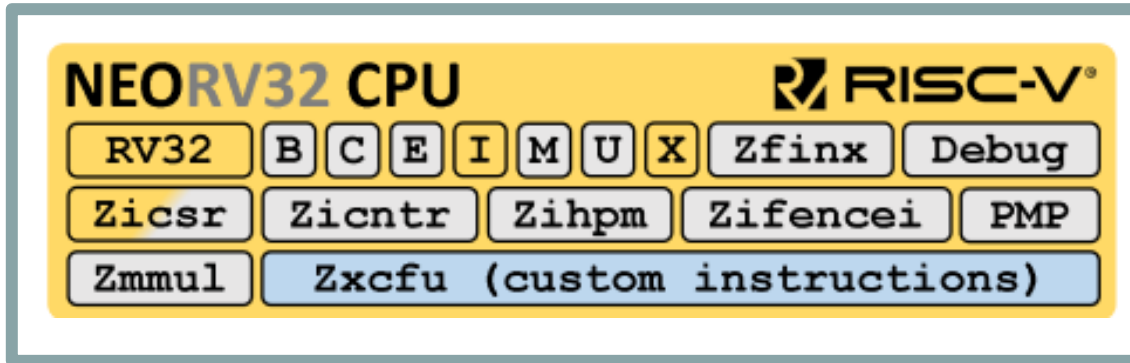
- Procesador de código abierto y compatible con RISC-V
- Escrito en lenguaje VHDL
- Permite la configuración de varias maneras y añadir periféricos adicionales

SweRV Core™

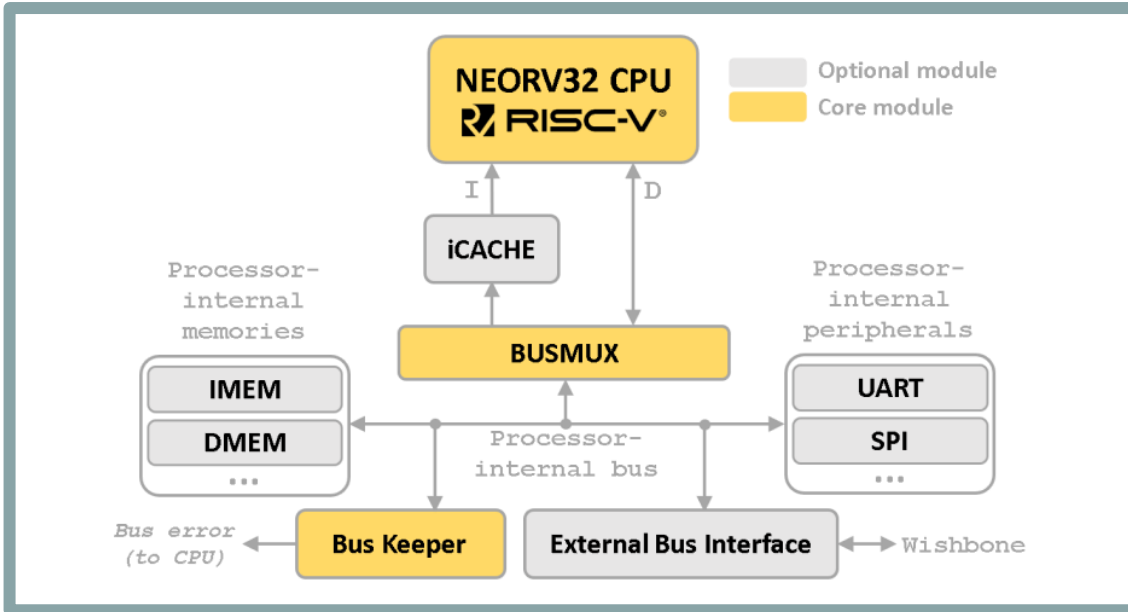
- Procesador de código abierto y creado por Western Digital
- El uso del núcleo se centra en portabilidad, extensibilidad y facilidad de uso
- Posee una versión compleja

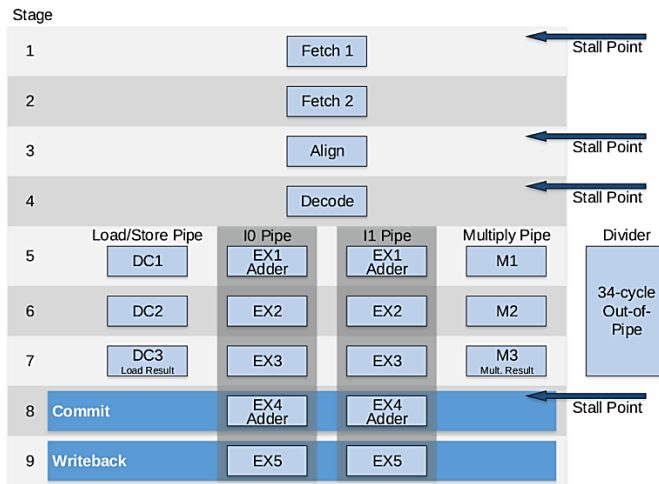
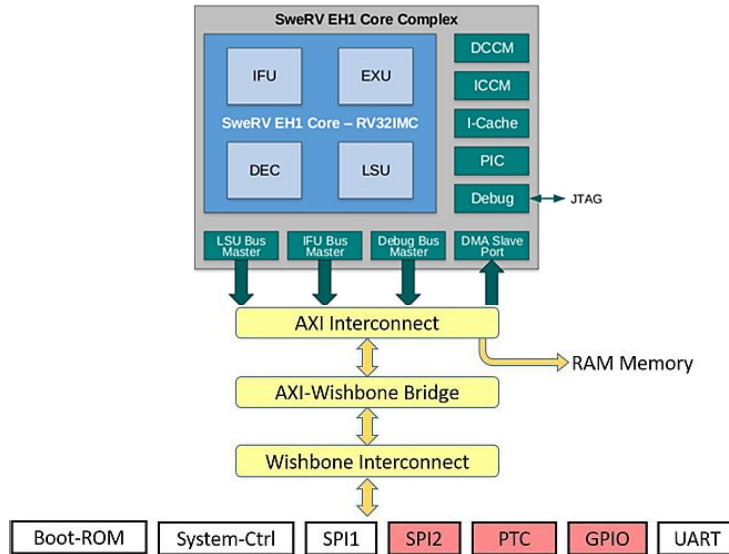
	Nexys A7-50T	Nexys A7-100T
Circuito integrado	XC7A50T-1CSG324C	XC7A100T-1CSG324C
Logic Slices	8,150	15,850
Bloques RAM (Kbits)	2,700	4,860
Memoria DDR2 (MiB)	128	128
Clock Tiles (Con PLL)	5	6
DSP Slices	120	240





- El procesador permite la construcción de un SoC con funciones basadas en el CPU
- De manera general esta formado por CPU (neorv32), Interconexiones (AXI4-Lite, WB) y Periféricos (BOOTLDROM, UART, SPI, memorias)
- El CPU utiliza una arquitectura multiciclo canalizada en dos fases (Fetch y Execution)

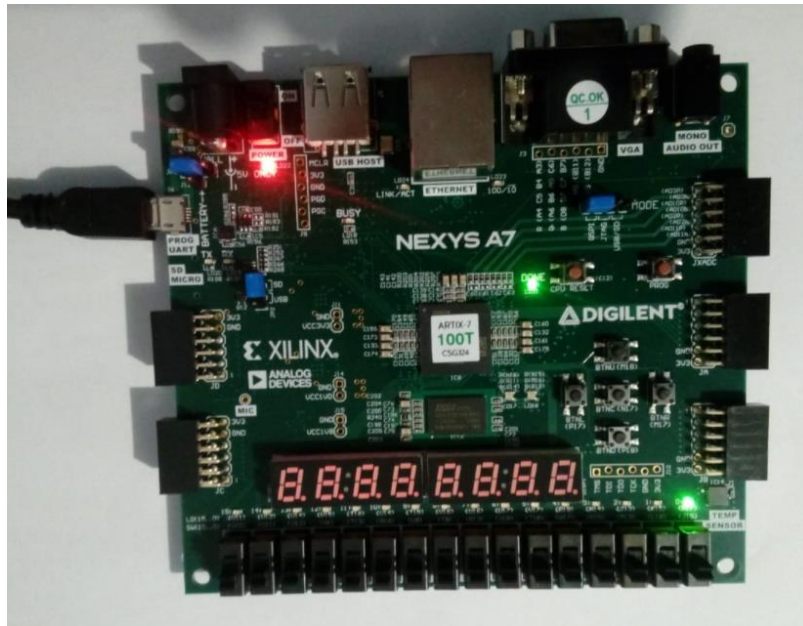




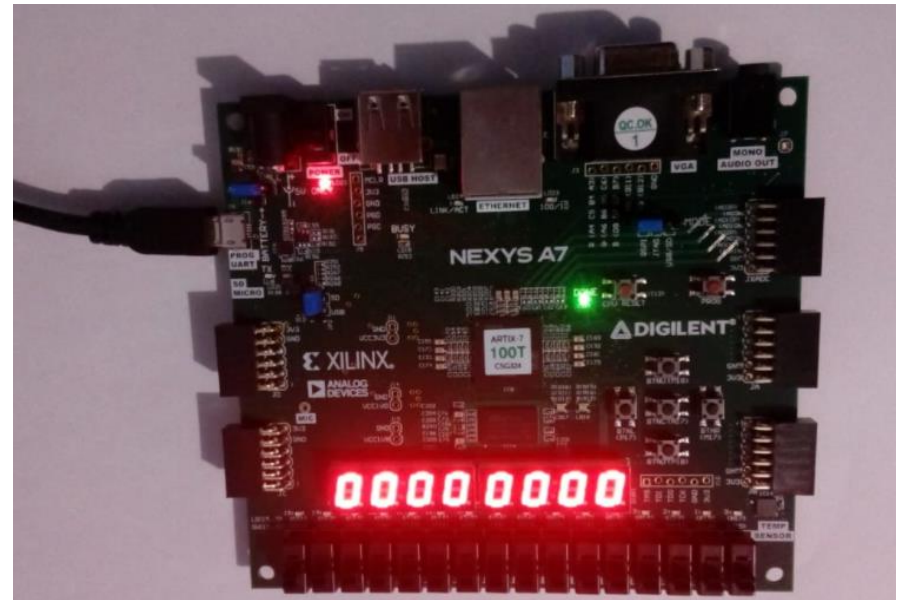
- El procesador que se uso como CPU es la versión compleja de SweRV EH1
- De manera general esta formado por CPU, Interconexiones (AXI-Interconnect, AXI2WB y WB-Interconnect) y Periféricos (Boot-ROM, Controlador GPIO, Controlador del sistema)
- Su arquitectura consta de 9 fases (Fetch, Decode, Execute, Memory y Writeback)

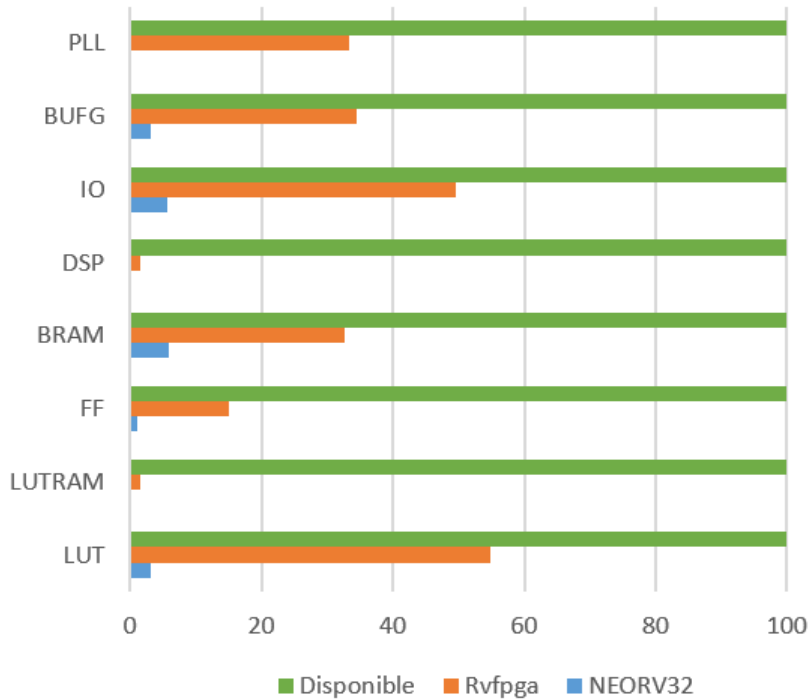


NEORV32



RVfpga





Parámetro/Núcleo	NEORV32	RVfpga	Disponible
LUT	1975	34261	63400
LUTRAM	0	295	19000
FF	1479	19112	126800
BRAM	8	44	135
DSP	0	4	240
IO	12	104	210
BUFG	1	11	32
PLL	0	2	6

Parámetro/Núcleo	NEORV32	RVfpga
Total On-Chip Power [W]	0,124	0,934
Core Power [W]	0.034	0.09
Pipeline	2	9
Extensiones	C,M, Zicsr	I,C,M

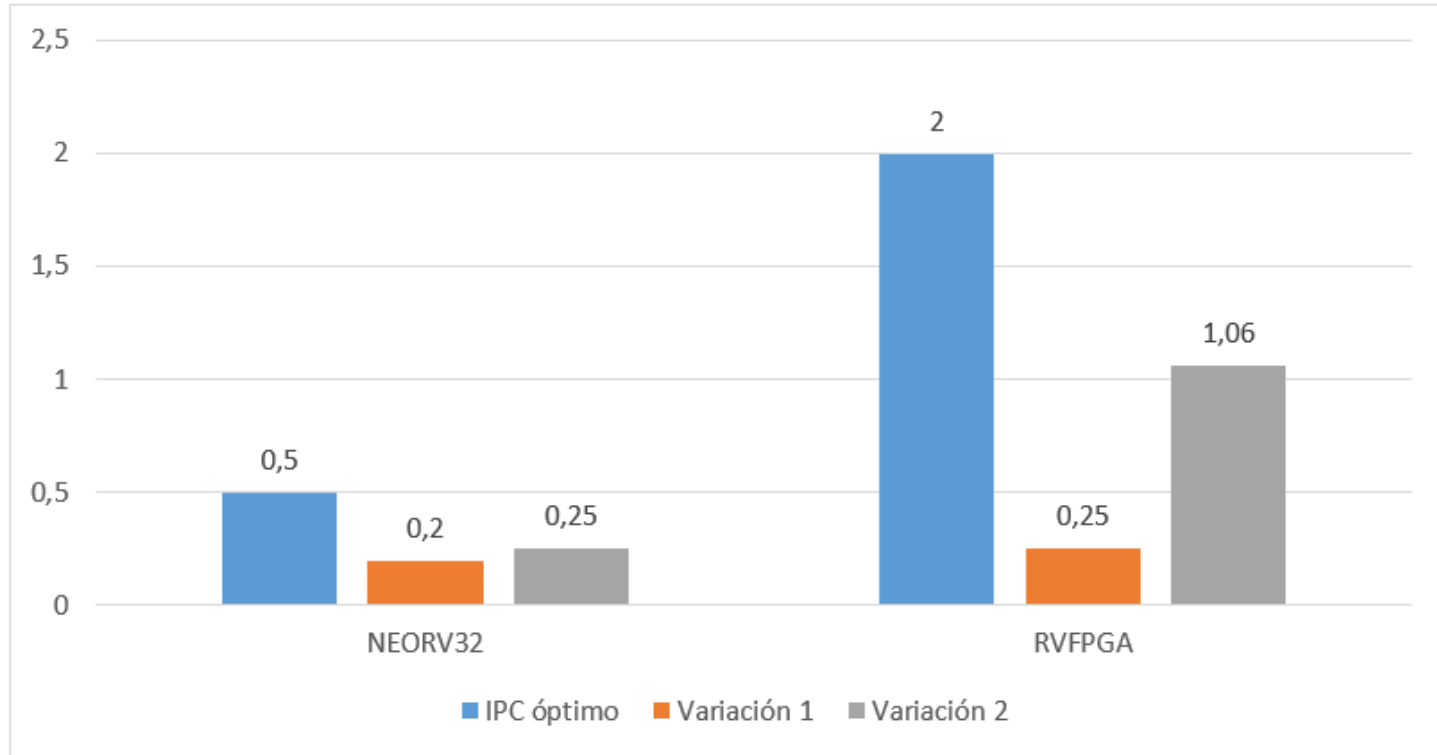


Parámetro/Extensión	RV32imc Zicsr	RV32i Zicsr
Coremark Size	666	666
Total Ticks	32324445	28062594
Tiempo total (s)	32	71
Iteraciones/seg	62	28
Iteraciones	2000	2000
Versión del compilador	GCC10.2.0	GCC10.2.0
Localización de la memoria	STATIC	STATIC
CPI	5	4



Parámetro/Variación	Sin optimización	Optimizado con DCCM
Coremark Size	666	666
Total Ticks	2100443	5299980
Tiempo total (s)	2,1	5,29
Iteraciones/seg	0,47	1,89
Iteraciones	1	1
Versión del compilador	GCC8.3.0	GCC8.3.0
Localización de la memoria	STATIC	STATIC
Ciclos	2100204	529882
Instrucciones	496678	496678
Transacciones del bus de datos	133628	0
Transacciones del bus de instrucciones	392	392





- Después de haber realizado el trabajo de investigación haciendo uso de distintas herramientas de hardware y software para la implementación de los núcleos, se logró hacer funcionar a los procesadores dentro de una sola FPGA, demostrando así la funcionalidad de un Core con arquitectura RISC-V.
- RISC V es una ISA que sigue creciendo, mejorando y tiene aún mucho potencial por delante. En sus inicios solo fue utilizada con fines académicos, pero al día de hoy, se puede evidenciar un gran impacto en el área de procesadores, ofreciendo un amplio mundo de opciones para creación de núcleos. Ha despertado el interés de muchas compañías que han comenzado a utilizarlo para el desarrollo de sistemas embebidos y se prevé que en los siguientes años los núcleos sean más complejos y con un mayor rendimiento que sus antecesores.



- Con respecto a los núcleos seleccionados para la implementación, ambos son de código abierto, fueron elegidos en base al tamaño del sistema dentro de la FPGA, y verificando si el procesador tenía soporte para su funcionamiento en la FPGA Nexys A7-100T. Aparte de los núcleos mostrados, existen muchas otras opciones que pueden ser exploradas pero, para el tema propuesto de titulación, NEORV32 y RVfpga fueron perfectos para poder realizar un primer acercamiento a la arquitectura RISC-V, la cual tiene mucho potencial y permite que los núcleos puedan ser diseñados o modificados para alterar la funcionalidad y consumo de recursos.
- Dentro de los implementos utilizados en la investigación, el uso de herramientas de carácter libre fueron esenciales para la implementación. Vivado en su versión gratuita permitió construir la arquitectura de los núcleos además que proveyó información importante sobre 85 algunos parámetros de los procesadores en cuanto a recursos y diagramas de ambos. Sin embargo, una desventaja es una alta exigencia de recursos de la computadora lo cual puede variar dependiendo de la velocidad de procesamiento del modelo que se esté usando.



- Como se demostró en el análisis de resultados, la FPGA Nexys A7-100T fue más que suficiente para ambos SoCs hablando en términos de espacio y recursos utilizados. Ahora, por el lado de rendimiento de cada núcleo, ambos resultaron estar en un rango medio pero se logró verificar que el resultado puede ser mejorado si se modifica el diseño de los núcleos. Para NEORV32, el quitar o aumentar extensiones es lo que hizo que varié el rendimiento mientras que para RVfpga, el añadir la memoria DCCM fue lo que ayudo que el IPC mejore.
- Con respecto a los resultados obtenidos de IPC de ambos sistemas, se pudo verificar que RVfpga, al ser un sistema mucho más grande y complejo, puedo manejar muchas más operaciones en cada ciclo que NEORV32, el cual es un sistema más pequeño. A pesar de ello, ambos están muy bien diseñados, pueden ser personalizados según la necesidad del usuario, son extensibles y pueden ser implementados en tarjetas FPGA si esta dispone de suficiente espacio.



- RISC-V es sin duda una ISA que ha comenzado a causar un gran impacto en la industria de procesadores. Grandes empresas han comenzado a involucrarse debido a su éxito. Ha logrado captar la atención de varias compañías por ser una arquitectura libre, abierta y tener varios campos de aplicación, desde IoT, PCs, sistemas embebidos e incluso dispositivos móviles y en un futuro próximo se prevé que agencias espaciales también lo utilicen.



- Con el uso de cualquiera de los dos núcleos implementados en la presente investigación, realizar algún programa de interés escrito en lenguaje C, ejecutar el software en el núcleo elegido, medir el rendimiento y adicionalmente realizar cálculos para poder obtener la potencia activa del procesador, es decir, la potencia del núcleo cuando está ejecutando el programa. Finalmente, realizar un análisis de los datos obtenidos de la medición.
- Creación de un núcleo de arquitectura RISC-V muy básico en base a alguno de los otros ejemplares que existen actualmente y que hacen uso de la arquitectura RISC-V. Una vez creado el núcleo, realizar las mediciones respectivas y analizar los resultados obtenidos.
- Añadir más periféricos a cualquiera de los núcleos y analizar su rendimiento con los periféricos adicionales. Como ya se explicó en el escrito, ambos núcleos son extensibles y permiten la adición de otros elementos más al sistema, por lo que sería interesante verificar el funcionamiento de los núcleos con la adición de los nuevos periféricos.





ESPE

UNIVERSIDAD DE LAS FUERZAS ARMADAS
INNOVACIÓN PARA LA EXCELENCIA

DEPARTAMENTO DE ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES

Carrera de Ingeniería en Electrónica y Telecomunicaciones

**Estudio, Implementación sobre una FPGA y análisis de
desempeño de un
“Soft Processor” basado en la arquitectura RISC V**

Autor: Llumiquinga Quelal Richard Alexander

Director: Ing. Pablo Ramos PhD.

