

**ESCUELA POLITÉCNICA DEL EJÉRCITO**

**FACULTAD DE INGENIERÍA ELECTRÓNICA**

**PROYECTO DE GRADO PARA LA OBTENCIÓN DEL TÍTULO EN  
INGENIERÍA ELECTRÓNICA**

**ANÁLISIS Y DISEÑO DE DOS TARJETAS DE INTERFAZ DE RED  
DE DATOS PARA COMUNICACIONES “POWER LINE - IN HOME”  
(APLICACIÓN PARA PUERTO PCI Y USB)**

**LUIS R. QUISNANCELA Q.**

**DANIEL R. ROA R.**

**QUITO – ECUADOR**

**2005**

## CERTIFICACIÓN

Certifico que el presente proyecto de grado fue realizado por los señores Luis R. Quisnancela Q. y Daniel R. Roa Riofrío, bajo mi dirección.

.....

Ing. Darío Duque.

**DIRECTOR**

.....

Ing. Wilson Yépez.

**CODIRECTOR**

## **AGRADECIMIENTO**

A Dios, por la vida y la salud. A mis padres, por el apoyo moral, económico y por ser ejemplo vivo de trabajo y honestidad. A mis hermanos, por ser motivo de superación diaria. A mi familia, por ser única y poner de manifiesto su complacencia con este logro. A la vida, por los retos que presenta.

*Luis R. Quisnancela Q.*

## **AGRADECIMIENTO**

Mi agradecimiento a Dios, a mis padres, a mis tíos, a mi familia, a mis amigos; por el apoyo incondicional y consejo que me han dado durante toda mi vida.

*Daniel R. Roa R.*

## DEDICATORIA

Al amigo fiel, mi apoyo en los momentos más duros y de quien he recibido muchas bendiciones. *Dios.*

Al mayor orgullo de mi vida, Luis y Gladys, muestra invaluable de amor sincero, base fundamental de mi formación personal y académica. *Mis padres.*

Al motivo de superación, Adriana y William, por quienes seguiré planteándome objetivos de vida diarios. *Mis hermanos.*

Al retrato fiel de amor incomparable e imborrable, Gabriel, Aurelio, Sara, Magdalena y Rosa, recuerdo hermoso de momentos felices. *Mis segundos padres.*

A aquellos por quienes este primer objetivo constituye el inicio por alcanzar la excelencia. *Mi familia.*

Al motivo por el cual aprendí el verdadero valor de la vida, a saber vivirla a diario y a valorar realmente a las personas que quiero. *Diana y Cristian.*

Al apoyo brindado para que este objetivo haya empezado. *Don Germán y familia.*

A las personas que compartieron parte de mi vida, semestre tras semestre, y de quienes he aprendido. *Amigos, compañeros y profesores.*

***Luis R. Quisnancela Q.***

## **DEDICATORIA**

Dedico este trabajo a mis padres especialmente: Primeramente por haberme dado la oportunidad de cumplir mis metas u objetivos, sin importar que tan locos sean a veces estos. Segundo por el ejemplo de trabajo, responsabilidad, justicia, honestidad, comprensión, carácter, amor y solidaridad, que me han sabido plasmar de alguna u otra forma; regalo que aprecio mucho.

Luego quisiera dedicarla, también a mis tíos, por haberme recibido en el seno de su hogar como otro miembro más; como también, por el apoyo en todo lo que yo les he pedido y sobre todo por haberme comprendido en esta etapa de mi vida.

La dedico a mi familia entera, por que a la distancia se que tengo su apoyo y comprensión.

La dedico especialmente a mis amigos, a pesar que son pocos, pero han sabido comprender mi forma de ser y pensar, como también el consejo en esos tiempos duros de la vida.

Y antes que nada, agradezco a mi querido Dios, que sin importar que me ponga adelante, por mas duro y malo que parezca, me sorprende cada día demostrándome el destino, que tiene para mi; que es para mi bien.

***Daniel Roa R.***

## PRÓLOGO

El presente trabajo está enfocado a realizar el estudio y análisis de factibilidad de la implementación de dos tarjetas de interfaz de red (NIC) de datos para comunicaciones PowerLine, utilizando en un caso el puerto PCI y en el otro caso el Puerto USB.

Se ofrece información suficiente a fin de que se conozcan los requerimientos a considerarse en el desarrollo de aplicaciones que involucren el trabajar con medios de transmisión hostiles.

El Capítulo 1, muestra una panorámica de la tecnología. Sus inicios, su historia y su estado actual en el mundo. Además, se plantean los objetivos generales y estructura correspondiente a esta tesis de grado.

El Capítulo 2, es uno de los ejes principales de esta tesis, permite conocer el comportamiento y características que tiene la línea eléctrica como medio de transmisión. En el transcurso de este capítulo se realiza el análisis e importancia de las características y propiedades que posee la línea eléctrica, en el ámbito de las telecomunicaciones.

El Capítulo 3, comprende el estudio de tres esquemas de modulación: OFDM, Spread-Spectrum y GMSK. Dicho estudio, se complementa con un análisis de las principales características de los mencionados esquemas, en base de lo cual se determina la técnica de modulación más adecuada a ser utilizada en medios de transmisión hostiles y particularmente, en este caso, la línea eléctrica.

El Capítulo 4, proporciona información referente a los puertos USB y PCI, con el objeto de comprender mejor el funcionamiento y conocer los requerimientos básicos que deben ser considerados en el desarrollo de aplicaciones, tanto de hardware como de software, que involucren estos tipos de interfaces.

El Capítulo 5, permite conocer al Sistema Operativo Windows, como una herramienta para poder realizar aplicaciones de telecomunicaciones, mediante el uso de los puertos de un computador. Este capítulo enfoca la forma en que Windows emula ciertas capas del modelo OSI, usado muy comúnmente para el diseño de tarjetas de interfaz de red de datos.

El capítulo 6, abarca toda la información referente al diseño. Se inicia con la selección del dispositivo electrónico a ser empleado para que realice las funciones de capa física y/o capa de enlace. Una vez seleccionados los dispositivos, considerando previamente parámetros, principalmente de costo y factibilidad de adquisición, y basados en la información técnica de los mismos, se procede a la elaboración de diagramas eléctricos de conexiones. Finalmente, se desarrollan los diagramas que pueden ser empleados en la fabricación de las tarjetas de circuito impresos de los prototipos.

El Capítulo 7, presenta información técnica de los encapsulados LQFP y BGA, como: materiales de fabricación, consideraciones para el montaje sobre PCBs, sistemas para montaje sobre PCBs, etc. Con base en esta información, se desarrolla un análisis de factibilidad de la implementación de los prototipos de tarjetas de interfaz de red para comunicaciones PowerLine, en las que se empleen circuitos integrados con los encapsulados mencionados y que emplean puerto PCI y/o USB.

Finalmente, en el Capítulo 8, se presentan conclusiones y recomendaciones basadas en la información recopilada en esta tesis.

## ÍNDICE DEL CONTENIDO

<b>AGRADECIMIENTO .....</b>	<b>II</b>
<b>AGRADECIMIENTO .....</b>	<b>III</b>
<b>DEDICATORIA .....</b>	<b>IV</b>
<b>DEDICATORIA .....</b>	<b>V</b>
<b>PRÓLOGO .....</b>	<b>VI</b>
<b>ÍNDICE DEL CONTENIDO .....</b>	<b>VIII</b>
<b>CAPITULO 1.....</b>	<b>1</b>
<b>INTRODUCCIÓN .....</b>	<b>1</b>
<b>1.1 POWER LINE COMMUNICATION (PLC).....</b>	<b>1</b>
1.1.1 Definición.....	1
<b>1.2 HISTORIA .....</b>	<b>1</b>
<b>1.3 SERVICIOS .....</b>	<b>2</b>
<b>1.4 EMPRESAS.....</b>	<b>3</b>
1.4.1 Endesa .....	3
1.4.2 Iberdrola.....	4
1.4.3 RWE.....	4
1.4.4 Unión FENOSA .....	4
1.4.5 TECNOCOM .....	4
<b>1.5 VELOCIDADES DE TRANSMISIÓN .....</b>	<b>5</b>
<b>1.6 COMPARACIÓN CON OTRAS TECNOLOGÍAS.....</b>	<b>5</b>
<b>1.7 FABRICANTES Y ORGANIZACIONES.....</b>	<b>6</b>
<b>1.8 ESPECIFICACIONES DE UNA NIC PLC.....</b>	<b>6</b>
<b>1.9 OBJETIVOS GENERALES DE LA TESIS.....</b>	<b>7</b>
<b>1.10 ESQUEMA DE LA TESIS.....</b>	<b>7</b>

<b>CAPITULO 2 .....</b>	<b>9</b>
<b>EL MEDIO DE TRANSMISIÓN .....</b>	<b>9</b>
<b>2.1 LA RED ELÉCTRICA .....</b>	<b>9</b>
2.1.1 Producción.....	9
2.1.2 Estación Elevadora .....	10
2.1.3 Red de Transporte.....	10
2.1.4 Subestaciones de Transformación. (S.E.T.).....	10
2.1.5 Redes de Reparto .....	11
2.1.6 Estaciones Transformadoras de Distribución. (E.T.D.).....	11
2.1.7 Red de Distribución en Media Tensión .....	11
2.1.8 Centros de Transformación (C.T.).....	11
2.1.9 Red de Distribución de Baja Tensión .....	12
<b>2.2 RED RESIDENCIAL (IN-HOME).....</b>	<b>12</b>
2.2.1 Conformación de la Red. ....	12
2.2.2 Cableado de la Red IN-HOME.....	13
2.2.3 Artefactos .....	14
<b>2.3 PROPIEDADES DE LA LÍNEA ELÉCTRICA .....</b>	<b>15</b>
2.3.1 Comportamiento Variante en el Tiempo del Canal .....	17
2.3.2 Estimación del Desempeño General del Canal .....	17
2.3.3 Promedio del Desempeño del Canal.....	18
2.3.4 Número de Viviendas que Experimentan al menos una Retransmisión. ....	19
2.3.5 Desempeño del Canal asociado a las terminales dentro de la Red .....	19
2.3.6 Comportamiento de Cargas y Desempeño del Canal .....	21
<b>2.4 CARACTERÍSTICAS DE LAS LÍNEAS ELÉCTRICAS.....</b>	<b>23</b>
2.4.1 Interferencias y Perturbaciones.....	23
2.4.2 Ruido que tiene los componentes síncronos en línea con la frecuencia del sistema eléctrico. ....	24
2.4.3 Ruido con un Espectro Alisado. ....	24
2.4.4 Ruido Impulsivo de Simple Evento. ....	24
2.4.5 Ruido No-Síncrono.....	25
2.4.6 Efectos de la Propagación Multicamino. ....	26
2.4.7 Niveles de Ruido .....	28
2.4.8 Atenuación.....	29
<b>CAPITULO 3 .....</b>	<b>32</b>
<b>TÉCNICAS DE MODULACIÓN PARA PLC .....</b>	<b>32</b>
<b>3.1 OFDM.....</b>	<b>32</b>
3.1.1 Generación de Subportadoras .....	33
3.1.2 Tiempo de Guarda y Extensión Cíclica .....	34
3.1.3 Selección de Parámetros OFDM .....	38

<b>3.2</b>	<b>DSSSM</b> .....	<b>39</b>
3.2.1	Direct – Sequence .....	39
3.2.2	Propiedades .....	42
	3.2.2.1 Acceso múltiple. ....	42
	3.2.2.2 Interferencia multicamino. ....	42
	3.2.2.3 Interferencia de banda-estrecha .....	42
	3.2.2.4 LPI .....	42
3.2.3	Ventajas y Desventajas .....	43
<b>3.3</b>	<b>GMSK (GAUSSIAN MINIMUM SHIFT KEYING)</b> .....	<b>44</b>
3.3.1	Minimum Shift Keying (MSK).....	44
3.3.2	Modulación GMSK.....	44
3.3.3	Propiedades .....	46
<b>3.4</b>	<b>DETERMINACIÓN DEL ESQUEMA DE MODULACIÓN</b> .....	<b>47</b>
<b>CAPITULO 4</b> .....		<b>50</b>
<b>EL PUERTO PCI Y USB</b> .....		<b>50</b>
<b>4.1</b>	<b>PUERTO PCI</b> .....	<b>50</b>
4.1.1	Generalidades.....	50
	4.1.1.1 Transacciones.....	51
4.1.2	Descripción de pines del Slot PCI.....	522
	4.1.2.1 Señales para la extensión a 64 Bits .....	55
	4.1.2.2 Implementación de un Prototipo PCI .....	55
4.1.3	Comandos.....	56
	4.1.3.1 Reconocimiento de Interrupción. ....	56
	4.1.3.2 Consideraciones sobre Implementaciones.....	57
4.1.4	Puente Maestro y Esclavo .....	58
<b>4.2</b>	<b>PUERTO USB</b> .....	<b>58</b>
4.2.1	Generalidades.....	58
	4.2.1.1 Drivers para la instalación del USB. ....	59
	4.2.1.2 Características de operación.....	61
	4.2.1.3 Topología de conexión.....	61
4.2.2	Descripción de Pines. ....	62
4.2.3	La Comunicación Serial.....	65
	4.2.3.1 Tipos de Paquetes .....	66
	4.2.3.2 Tipos de Transacciones .....	66
	4.2.3.3 Proceso de enumeración.....	677
<b>CAPITULO 5</b> .....		<b>68</b>
<b>ADMINISTRACIÓN DE HARDWARE BAJO EL SISTEMA OPERATIVO</b>		
<b>WINDOWS</b> .....		<b>68</b>
<b>5.1</b>	<b>GENERALIDADES</b> .....	<b>68</b>

<b>CAPITULO 6</b> .....	<b>73</b>
<b>DISEÑO</b> .....	<b>73</b>
<b>6.1 DISEÑO DE LAS INTERFACES DE RED DE DATOS</b> .....	<b>74</b>
6.1.1 Capa Física. ....	74
6.1.1.1 Dispositivos de Capa Física en el Mercado .....	75
6.1.1.2 Análisis de Factibilidad y Selección del Dispositivo. ....	77
6.1.2 Capa de Enlace. ....	78
6.1.2.1 Dispositivos de Capa de Enlace en el Mercado para Puerto PCI. ....	79
6.1.2.2 Análisis de Factibilidad y Selección del Dispositivo. ....	81
6.1.2.3 Dispositivos de Capa de Enlace en el Mercado para Puerto USB.....	84
6.1.2.4 Análisis y Selección de Dispositivo para Puerto USB.....	84
<b>6.2 DIAGRAMAS</b> .....	<b>85</b>
6.2.1 Diagramas Aplicación Puerto PCI.....	86
6.2.1.1 Conexión Línea Eléctrica e INT5200. ....	87
6.2.1.2 Conexión INT5200 y DP83816. ....	88
6.2.1.3 Conexión Puerto PCI y DP83816. ....	93
6.2.1.4 Fuente de alimentación. ....	94
6.2.1.5 Filtros.....	100
6.2.2 Diagramas Aplicación Puerto USB. ....	104
6.2.2.1 Conexión Línea Eléctrica e INT5200. ....	104
6.2.2.2 Conexión Puerto USB e INT5200. ....	105
<b>6.3 PCB</b> .....	<b>107</b>
6.3.1 Generalidades. ....	107
6.3.2 PCBs Aplicación Puerto PCI.....	108
6.3.3 PCBs Aplicación Puerto USB. ....	110
<b>6.4 FUNCIONALIDAD</b> .....	<b>111</b>
6.4.1 Aplicación Puerto PCI.....	111
6.4.2 Aplicación Puerto USB. ....	112
<b>CAPITULO 7</b> .....	<b>113</b>
<b>ANÁLISIS Y ESTUDIO DE FACTIBILIDAD DE IMPLEMENTACIÓN</b> .....	<b>113</b>
<b>7.1 ENCAPSULADOS</b> .....	<b>113</b>
7.1.1 Encapsulado LQFP.....	114
7.1.1.1 Introducción.....	114
7.1.1.2 Propiedades.....	114
7.1.1.3 Aplicaciones. ....	115
7.1.1.4 Materiales de Fabricación.....	117
7.1.1.5 Consideraciones de Montaje en PCB.....	119
7.1.1.6 Sistemas para Montaje en PCB.....	120

7.1.2	Encapsulado BGA.....	122
7.1.2.1	Introducción.....	122
7.1.2.2	Propiedades.....	124
7.1.2.3	Aplicaciones.....	125
7.1.2.4	Materiales de Fabricación.....	126
7.1.2.5	Técnicas de Interconexión Chip-Sustrato.....	128
7.1.2.7	Consideraciones para Montaje en PCB.....	130
7.1.2.8	Sistemas para Montaje en PCB.....	132
7.1.2.9	Técnicas y Equipos para Inspección del Montaje en PCB de Dispositivos SMD.....	134
7.1.2.10	Instituciones De Investigacion De Tecnologia SMT.....	137
<b>7.2</b>	<b>COSTOS DE IMPLEMENTACIÓN DE LOS PROTOTIPOS.....</b>	<b>138</b>
7.2.1	Generalidades.....	138
7.2.2	Costo Prototipo para PCI.....	139
7.2.3	Costo Prototipo para USB.....	141
<b>7.3</b>	<b>PRUEBA DE TRANSMISIÓN DE DATOS A TRAVÉS DE LA LÍNEA ELÉCTRICA .....</b>	<b>111</b>
	<b>CAPITULO 8.....</b>	<b>147</b>
	<b>CONCLUSIONES Y RECOMENDACIONES .....</b>	<b>147</b>
<b>8.1</b>	<b>CONCLUSIONES .....</b>	<b>113</b>
<b>8.2</b>	<b>RECOMENDACIONES .....</b>	<b>113</b>
	<b>REFERENCIAS BIBLIOGRÁFICAS .....</b>	<b>152</b>
	<b>ANEXOS .....</b>	<b>156</b>
ANEXO 1.	DIAGRAMAS PARA APLICACIÓN PCI	
ANEXO 2.	DIAGRAMAS PARA APLICACIÓN USB	
ANEXO 3.	COSTO PROTOTIPO PCI	
ANEXO 4.	COSTO PROTOTIPO USB	
ANEXO 5.	ESTÁNDARES PLC	
ANEXO 6.	DISPOSITIVOS DE MONTAJE SUPERFICIAL	
ANEXO 7.	TECNOLOGIA DE MONTAJE SUPERFICIAL	
ANEXO 8.	PROCESO PARA SOLDAR Y DESOLDAR DISPOSITIVOS QFP	
	<b>ÍNDICE DE FIGURAS</b>	
	<b>ÍNDICE DE TABLAS</b>	
	<b>ÍNDICE DE DATASHEETS</b>	

## **CAPITULO 1**

### **INTRODUCCIÓN**

#### **1.1 POWER LINE COMMUNICATION (PLC).**

##### **1.1.1 Definición**

PLC son las siglas de Power Line Communication, conocida en los Estado Unidos como BPL (Broadband over Power Lines). Es la tecnología que permite la transmisión de datos a través de las líneas eléctricas convencionales y tiene el potencial (en su modalidad de acceso) de proveer una infraestructura alternativa de acceso de banda ancha que compita con las dos tecnologías, con enfoque residencial, como lo son las de acceso local de telefonía fija y el acceso por cable coaxial.

#### **1.2 HISTORIA**

Las comunicaciones sobre redes eléctricas (PLC) han estado presentes desde 1930, pero no se las había considerado seriamente en cuenta como un medio de comunicación debido a su baja velocidad de transmisión, poca funcionalidad y elevado costo; sin embargo, nuevas técnicas de modulación y el avance de la tecnología han permitido que este medio llegue a ser reconsiderado de forma realista y práctica.

El uso de PLC en sus orígenes se limitaba al control de líneas eléctricas y transmisión de mediana velocidad de las lecturas de los contadores; más adelante, las empresas eléctricas empezaron a utilizar sus propias redes eléctricas para la transmisión de datos de modo interno.

Aunque diversas tecnologías PLC de banda ancha han sido desarrolladas, aun no existe un estándar global en esta área, lo que ha permitido la creación de nuevos diseños que han conducido a que circuitos integrados y módems se hayan introducido en el mercado, proporcionando altas velocidades sobre la red eléctrica a bajos costos.

En el origen de esta forma de comunicar está la compañía eléctrica israelí NISKO, desarrolladora del protocolo NISCOM de PLC. Otras empresas también se han puesto a la cabeza en la lucha por el mercado como son las alemanas RWE y POLITRAX, y la japonesa HITACHI. Estos precursores de PLC creen tener buenas condiciones para conseguir una buena competitividad, pero antes deberán resolver algunos problemas técnicos como son las interferencias electromagnéticas y el ruido eléctrico de la red, de lo que dependerá la Calidad de Servicio (QoS).

### **1.3 SERVICIOS**

Tras más de un siglo de uso, los cables de la luz que parecían servir solo para eso, están proporcionando nuevos servicios, como: internet, telefonía, video conferencia, video bajo demanda y gaming. Otras fuentes apuntan hacia los servicios de seguridad, el control de consumo a distancia, la domótica y la teleasistencia.

La tecnología utilizada (PLC), posibilita la transmisión de voz y datos a través de los cables eléctricos, convirtiendo cualquier toma eléctrica de la casa en una conexión potencial a todos los servicios de telecomunicaciones.

Ya que PLC posibilita la transmisión y recepción de datos, permite la creación de redes, por ende se pueden implementar en estas, servicios de internet, ftp, correo electrónico, servicios de broadcast y VoIP.

La tecnología PLC se está utilizando como canal de retorno interactivo para las plataformas de TV digital y TV vía satélite.

PLC permite también el gaming debido a que actualmente los dispositivos de comunicación permiten una comunicación multiprotocolo (TCP/IP, NetBEUI, IPX/SPX).

## **1.4 EMPRESAS**

### **1.4.1 Endesa**

En octubre de 2003 inició la comercialización de servicios PLC en Zaragoza, con una penetración comercial del 19 %. Un despliegue de la red PLC se inicio en Barcelona el mes de diciembre y su implementación comercial será progresiva, utilizando el modelo de implantación seguido en Zaragoza. Según Endesa los 5000 hogares de los barrios de Gracia y Sarriá-Sant Gervasi seleccionados en esta primera fase, pueden contratar servicios PLC con una velocidad de conexión a internet de 128, 300 o 600 [Kbps],

Endesa es la segunda eléctrica en España que ha comenzado a utilizar su red eléctrica para brindar servicios de telecomunicaciones, según el grupo mantienen por el momento el liderazgo en este tipo de acceso alternativo y complementario a la conexión por cable. Endesa posee 30% de AUNA (empresa de cable), donde también participa con un 18% la eléctrica Unión FENOSA y con un 23.5 % el Banco Santander Central Hispano.

### **1.4.2 Iberdrola**

Esta eléctrica, en alianza con la compañía israelí NAMS, lleva a cabo una experiencia piloto en Madrid para ofrecer servicios de internet, en banda ancha, a una velocidad garantizada de 2 [Mbps] con el objetivo puesto en los 10 [Mbps].

Firmó un acuerdo de colaboración, con la Junta de Castilla-La Mancha, para desarrollar la Sociedad de la Información. De momento, el Instituto de la Puebla de Montalbán (Toledo) cuenta en este curso con una treintena de ordenadores dotados de acceso a internet a través de la red eléctrica.

### **1.4.3 RWE**

Esta eléctrica alemana lanzó un servicio basado en PLC con el que esperaba alcanzar los 100000 usuarios en el 2002.

### **1.4.4 Unión FENOSA**

Unión FENOSA ha realizado también experiencias en Madrid, Alcalá de Henares y Guadalajara.

### **1.4.5 TECNOCOM**

Es un integrador de soluciones de redes de información. La compañía ofrece soluciones para satisfacer necesidades de emisión, recepción, almacenamiento y seguridad de información.

TECNOCOM, ofrece soluciones tecnológicas en campos como: Networking, PLC, Redes Móviles y Aplicaciones de Datos Móviles.

En el resto de Europa y también en Asia existen diversas alternativas de compañías alemanas como la KILN TELECOM, asociada con RWE.

## 1.5 VELOCIDADES DE TRANSMISIÓN

Algunos fabricantes de dispositivos PLC proporcionan “bajas velocidades” (hasta 2 [Mbps]) usando tecnología de portadoras única (GMSK, CDMA). 6POWER utiliza tecnologías basadas en modulaciones multiportadora (OFDM), para ofrecer mayores velocidades empezando con 45 [Mbps] hasta alcanzar los 200 [Mbps].

La alemana POLYTRAX y la japonesa HITACHI, presentaron un modelo de módem específico para líneas eléctricas, permite acceso a internet a una velocidad de hasta 2.3 [Mbps] con una media de velocidad de transmisión de 1.5 [Mbps]; resultados que, según los responsables de su desarrollo y lanzamiento, se mantienen incluso en líneas eléctricas con gran ocupación.

## 1.6 COMPARACIÓN CON OTRAS TECNOLOGÍAS

PLC se posiciona claramente como tecnología alternativa al ADSL y al cable coaxial. Para citar un ejemplo, los usuarios de esta tecnología se han mostrado muy satisfechos con la calidad de servicio del acceso a internet PLC (4.62 PLC vs. 3.65 ADSL, sobre 5 puntos) y satisfechos con la calidad de la telefonía PLC (3.99 Telefónica vs. 3.65 PLC, sobre 5 puntos)

## 1.7 FABRICANTES Y ORGANIZACIONES

Existen muchas empresas dedicadas a la creación de circuitos integrados y diseño de redes de datos, basados en la tecnología PLC, puesto que creen en una futura expansión de esta tecnología. Algunas de estas empresas son: ASCOM, XELINE, MAIN.NET, INTELLON, DS2

También existen organizaciones que agrupan a las empresas participantes en el sector de fabricantes, distribuidores y eléctricas, para favorecer a esta tecnología: PLCFORUM, HOMEPLUG, POWERLINEWORLD.

## 1.8 ESPECIFICACIONES DE UNA NIC PLC

Similar a cualquier NIC para red LAN, la Tarjeta “Corinez PowerLine PCI Adapter” de Advento Networks, posee las siguientes especificaciones:

- Tasa de datos de 14[Mbps] (hasta distancias de 200[m]).
- Multiprotocolo: TCP/IP, NetBEUI, IPX/SPX.
- 56 Bits DES Link Encryption.
- Acceso al Medio: OFDM.
- Sofisticadas técnicas de procesamiento de señal para envío de datos con confiabilidad.

## **1.9 OBJETIVOS GENERALES DE LA TESIS**

Brindar una nueva alternativa práctica y rápida al proceso de implementación de redes de datos, para la comunicación entre computadores personales, usando el puerto PCI o USB; permitiendo al cableado eléctrico constituirse automáticamente en una red de datos.

Plasmar todos los conocimientos teóricos de telecomunicaciones y comunicación de datos en el análisis y diseño de los dos dispositivos propuestos, buscando que estos se constituyan en una nueva solución para la implementación de redes de datos, a nivel residencial (IN HOME).

Determinar, mediante el estudio de ancho de banda del medio físico, la velocidad máxima de transmisión de datos, que maneje las interfaces de red a ser diseñadas.

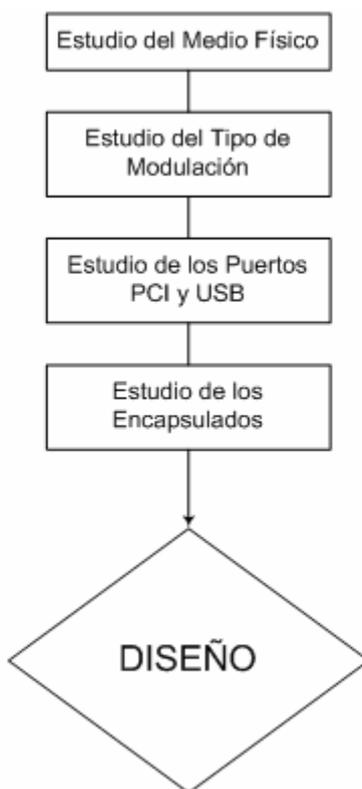
Determinar los esquemas de modulación que permiten la transmisión de datos en medios físicos hostiles, como lo es la línea eléctrica.

Analizar y recomendar las soluciones de implementación de los diseños propuestos, de forma complementaria se analizará costos y factibilidad involucrados en la implementación de los prototipos.

## **1.10 ESQUEMA DE LA TESIS**

El esquema a seguir, se basa primero, en la investigación y estudio teórico de todos los campos que se encuentran relacionados con los temas de esta tesis; luego concluir en el diseño, de los dispositivos propuestos.

Los campos de estudio se enfocan inicialmente en el medio físico, el tipo de modulación a usar, estudio de los puertos USB y PCI y estudio de los encapsulados. A continuación, se representa gráficamente el esquema de la tesis.



**Figura. 1.1. Diagrama de Bloques del Esquema de la Tesis**

## **CAPITULO 2**

### **EL MEDIO DE TRANSMISIÓN**

#### **2.1 LA RED ELÉCTRICA**

La red eléctrica está formada por muchos circuitos de cables, elementos amplificadores, y de seguridad, que siguen una configuración jerárquica, definida por parámetros como: Voltaje, Corriente y Potencia.

Esta sección no describirá de manera profunda las partes que conforman la red eléctrica, más bien se pondrá énfasis en la descripción de las redes residenciales (IN HOME) como casas y edificios, que es el ambiente para el cual los diseños serán desarrollados.

Partiendo de los equipos generadores de energía eléctrica hasta los equipos de entrada de servicio para los consumidores, tenemos:

##### **2.1.1 Producción**

Proceso realizado en las centrales generadoras, entre las que se distinguen tres grupos fundamentales: Hidráulicas, Térmicas (Diesel 2, Fuel Oil 6 (Búnker), gas) y Nucleares.

Existen otros sistemas de producción de menor importancia como la energía solar, eólica, biomasa, etc. La energía se genera en los alternadores a tensiones de 3 a 36[KV] en corriente alterna.

### **2.1.2 Estación Elevadora**

Eleva la tensión desde el valor de generación hasta el de transporte a grandes distancias. Normalmente están emplazadas en las proximidades de las centrales o en la central misma y elevan a tensiones de: 66 - 110- 132 - 220 - 380 [KV].

### **2.1.3 Red de Transporte**

Transporta potencias a grandes distancias; partiendo de las estaciones elevadoras, tiene alcance nacional, uniendo entre sí los grandes centros de interconexión del país y estos con los centros de consumo.

Las mayores tensiones empleadas en el mundo son: 550 [KV] (EE.UU. y Rusia), 735 [KV] (Canadá y EE.UU.). Actualmente existe una línea experimental en EE.UU. de 1000 [KV].

### **2.1.4 Subestaciones de Transformación. (S.E.T.)**

Reducen la tensión de transporte e interconexión a tensiones de reparto y se encuentran emplazadas en los grandes centros de consumo.

### **2.1.5 Redes de Reparto**

Partiendo de las subestaciones de transformación reparten la energía, normalmente mediante anillos que rodean los grandes centros de consumo hasta llegar a las estaciones transformadoras de distribución. Las tensiones utilizadas son: 25, 30, 45, 66, 110, 132[KV].

### **2.1.6 Estaciones Transformadoras de Distribución. (E.T.D.)**

Transforman la tensión desde el nivel de la red de reparto hasta el de la red de distribución en media tensión. Estas estaciones se encuentran normalmente intercaladas en los anillos formados en la red de reparto.

### **2.1.7 Red de Distribución en Media Tensión**

Son redes con una característica muy mallada, cubren la superficie del gran centro de consumo (población, gran industria, etc.) uniendo las estaciones transformadoras de distribución con los centros de transformación. El CONELEC<sup>1</sup>, contempla como voltajes de media tensión a los valores comprendidos entre 600[V] y 40[KV].

### **2.1.8 Centros de Transformación (C.T.)**

Reducen la tensión de la red de distribución de media tensión al nivel de la red de distribución de baja tensión. Están emplazados en los centros de gravedad de todas las áreas de consumo.

---

<sup>1</sup> CONELEC es el Consejo Nacional de Electricidad, del Ecuador.

### 2.1.9 Red de Distribución de Baja Tensión

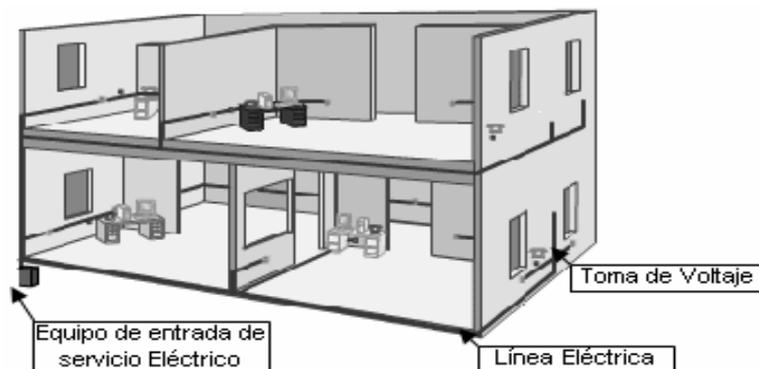
Son redes que, partiendo de los centros de transformación, alimentan directamente los distintos consumidores o receptores, constituyendo el último escalón en la distribución de la energía eléctrica. EL CONELEC, contempla como voltajes de baja tensión a los valores inferiores a 600[V].

### 2.2 RED RESIDENCIAL (IN-HOME)

En esta sección, se revisan aspectos como: conformación de la red, tipos de dispositivos que se conectan a ella, clases y especificaciones técnicas de cables que se utilizan. Como red residencial se identificará a la red eléctrica de baja tensión interna de una casa, departamento o edificio.

#### 2.2.1 Conformación de la Red.

Según observaciones realizadas en el interior de edificios y casas en barrios residenciales, se concluye que la red eléctrica tiene forma ramificada. Para mostrar la ramificación se presenta el diagrama de la Figura. 2.1.



**Figura. 2.1. Red Eléctrica en Edificio o Casa en un Barrio Residencial**

Desglosando la red eléctrica de la figura anterior, tenemos el diagrama ilustrado en la siguiente figura. Haciendo relación con Comunicación de Datos, y puesto que el diseño de la tarjeta servirá para crear una red de datos entre computadoras, se concluye que la red eléctrica IN-HOME posibilita implementar una red de datos con topología “BUS” siempre que las tomas de voltaje estén conectadas a la misma fase eléctrica. Es necesaria esta última aclaración pues algunos edificios o casas residenciales, poseen redes eléctricas bifásicas y trifásicas.

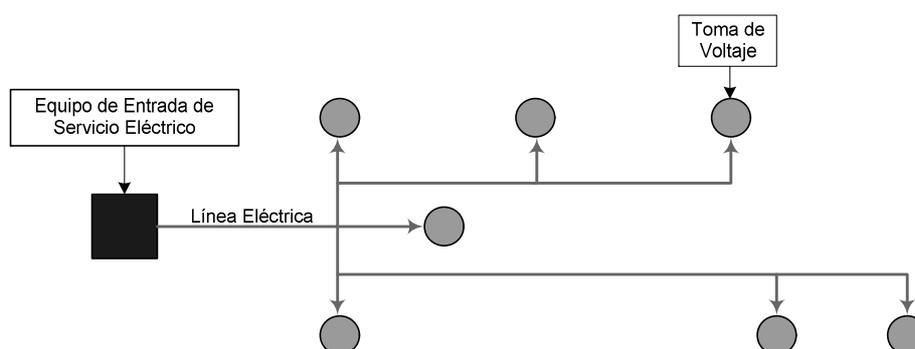


Figura. 2.2. Desglose de la Red Eléctrica.

### 2.2.2 Cableado de la Red IN-HOME

En una red eléctrica IN-HOME es común usar diferentes tipos de cables que soportan determinados rangos de corriente eléctrica, para permitir el funcionamiento de artefactos con diferentes especificaciones de potencia de consumo. Existe una extensa gama de cables con diferentes especificaciones técnicas y eléctricas como: diámetro, sección, número de hilos, espesor de aislantes, capacidad de corriente, rangos de temperatura, etc.

El cable utilizado en redes IN-HOME, se lo llama Termoplástico resistente a la humedad (TW). La temperatura máxima de operación está entre 60[°C] y 140[°C], y es usado en lugares secos y mojados. El aislamiento es un termoplástico resistente a la humedad y retardador de las llamas.

Existe un valor AWG (American Wire Gage) de cable para un determinado uso. El AWG es la nominación del Calibre Americano para cables, sus valores representan aproximadamente los pasos sucesivos en el proceso de estirado del cable; además, sus números son retrogresivos, o sea, un número grande denota un alambre pequeño en sección.

No. AWG	Propósito de Uso
14	Focos, Tomas.
12	Circuitos Conmutados, Tomas.
10	Acometida, Tierra.

**Tabla. 2.1. Rango AWG.**

Los números de calibre no son arbitrariamente escogidos como en otros calibres, sino que siguen la ley matemática en que se base el calibre. El calibre se designa por la especificación de dos diámetros y la ley de que un número dado de diámetros intermedios se forman por progresión geométrica. Así, el diámetro del No. 00 es 0.4600[in] y el del No. 36 es 0.0050[in], es decir, hay 38 tamaños entre estos dos.

Un incremento de tres números en el calibre (ej: del 10 al 7) duplica área y peso, reduciendo así a la mitad la resistencia a la corriente directa. Un incremento de seis números en el calibre (ej: del 10 al 4) duplica el diámetro. Un incremento de diez números en el calibre (ej: del 10 al 1/0) multiplica área y peso por 10 y divide la resistencia entre 10.

### 2.2.3 Artefactos

Los artefactos que se conectan en una red IN-HOME, producen carga eléctrica que puede ser inductiva o resistiva. Artefactos que producen carga inductiva, son: convertidores de AC a DC, computadoras, fuentes de alimentación, TV, licuadoras, extractoras, lavadoras, micro-ondas, etc. Artefactos que producen carga resistiva, son: bombillos, focos, calefactores, hornos eléctricos, etc.

## 2.3 PROPIEDADES DE LA LÍNEA ELÉCTRICA

Las propiedades de la línea eléctrica comprenden comportamientos en un modo general. Es lógico que alguna de estas propiedades tengan un porque, pero es interesante conocer el comportamiento en modo general, ya que así se pueden crear hipótesis de las principales fuentes de estos comportamientos. Estas propiedades son obtenidas de la tesis titulada “**Channel Properties and Communications Strategies**”, razón por la que se explicará de manera resumida la forma en que se detectaron estas propiedades y los resultados finales.

El sistema de comunicaciones del cual fueron obtenidas las propiedades, fue implementado en una red eléctrica de distribución de baja tensión como se muestra en la siguiente gráfica.

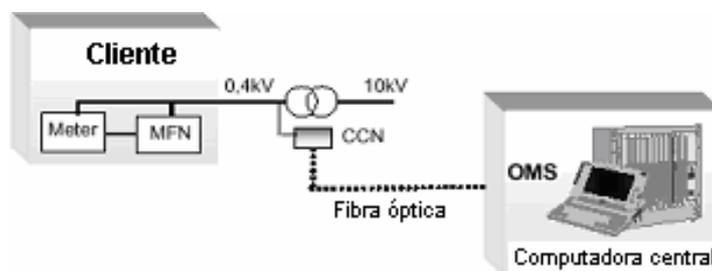


Figura. 2.3. Sistema PLC

El sistema está conformado por: **MFN** (Multi Function Node), **CCN** (Concentrator & Communication Node) y **OMS** (Operation and Management System). El MFN está instalado en cada hogar conjuntamente con el aparato medidor (Meter). El CCN administra todas las MFNs en el área y generalmente es instalado en la subestación. El OMS administra el conjunto de CCNs y además colecta todos los datos de los dispositivos de medición ubicados cerca de los MFNs.

Este sistema PLC esta localizado en Ronneby, Suiza, en un área llamada Patorp. Para tener una referencia se muestra a continuación la gráfica de la conformación de la red.

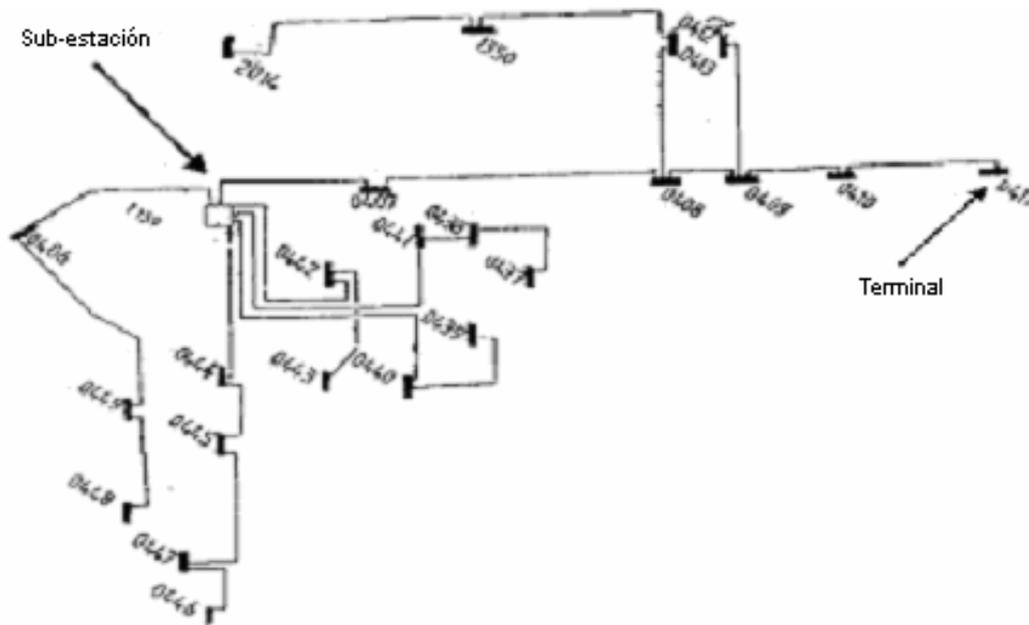


Figura. 2.4. Detalle de la Conformación de la Red en Patorp.

La banda de frecuencias en las cuales se realizaron las mediciones es 9-95 [KHz], ancho de banda ubicado dentro del Estándar de CENELEC “EN50065-1” denominado “A Band”, según se muestra en la Figura. 2.5. Las tasas de transferencia son bajas por los [Kbps] y la técnica de modulación se basa en Spread-Spectrum. En el Anexo #5 titulado “Estándares PLC” se citan los estándares creados para administrar el uso correcto de las líneas eléctricas.

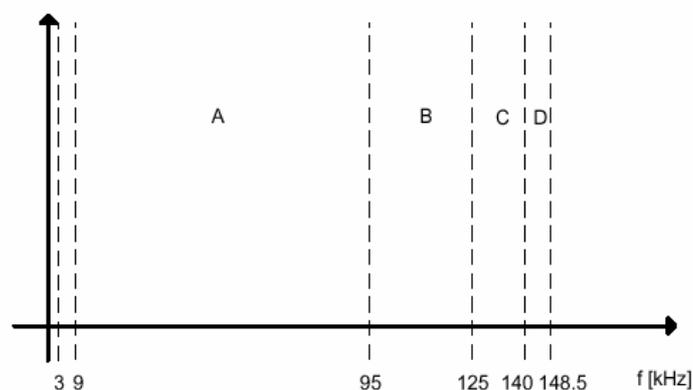


Figura. 2.5. Bandas de Frecuencia en el Estándar CENELEC.

### 2.3.1 Comportamiento Variante en el Tiempo del Canal

En la red eléctrica la impedancia del canal varía en el tiempo, yendo desde los miliohmios hasta cientos o miles de ohmios. Esto cambia la impedancia del canal en una forma indeterminada produciendo el desacoplamiento variante en el tiempo de la impedancia afectando a los niveles de ruido y atenuación.

Dos razones, por las cuales este comportamiento se produce, se debe a que se conectan o desconectan, en cualquier instante, artefactos eléctricos que naturalmente tienen diferente impedancia; y la presencia de empalmes mal realizados ya sea con cables de igual o diferente AWG.

### 2.3.2 Estimación del Desempeño General del Canal

Se utiliza la probabilidad de retransmisión de una transacción entre la CCN y vivienda  $i$  (MFN  $i$ ). Estos se toman cada hora y la probabilidad se expresa de la siguiente manera:

$$P_i = \frac{e_i}{N_i} \quad [2.1]$$

Donde:

$e_i$ , es el número de transacciones fallidas de la casa  $i$ .

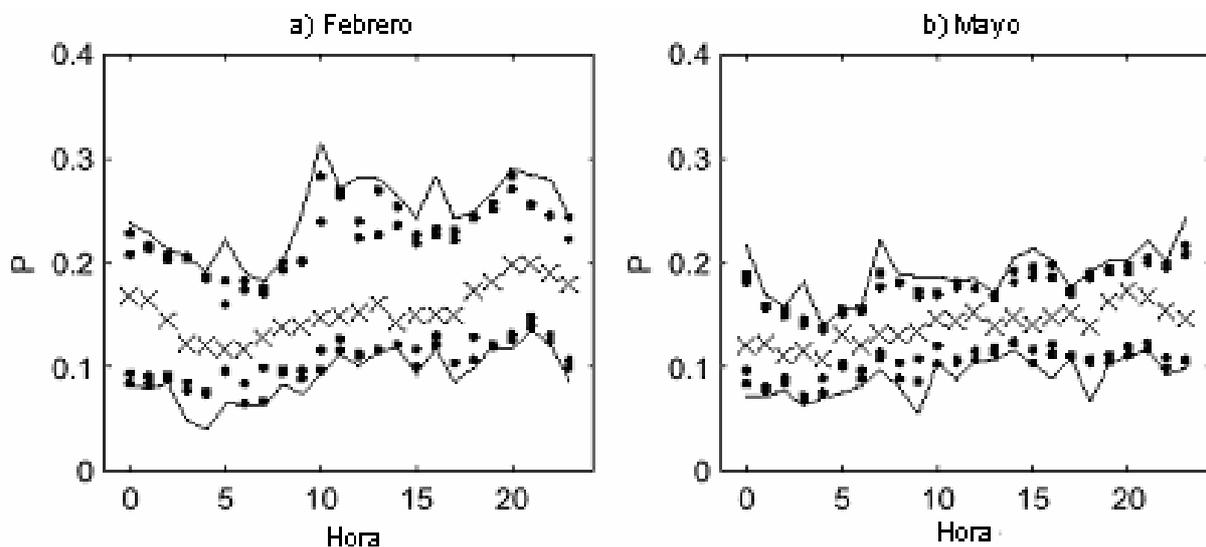
$N_i$ , es el número total de transacciones.

### 2.3.3 Promedio del Desempeño del Canal.

El promedio corresponde al  $P_i$  de todas las viviendas y es una medida general de la calidad promedio de los  $K(=59)$  canales de comunicación en el área durante una hora. Este promedio queda expresado:

$$P = \frac{1}{K} \sum_{i=1}^K P_i \quad [2.2]$$

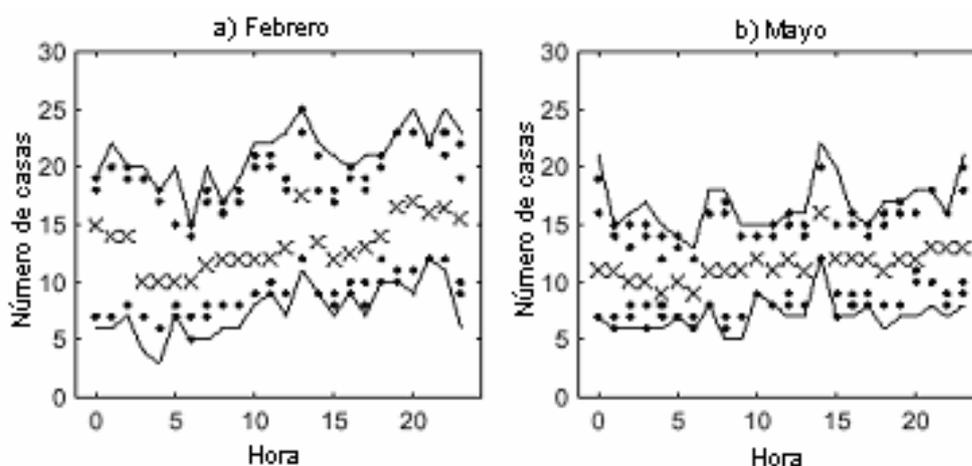
De los resultados obtenidos y que se muestran en la Figura. 2.6, se concluye que los valores mínimos ocurren en la noche y en la mañana mientras que los valores máximos ocurren durante el día y la tarde.



**Figura. 2.6.** Datos Adquiridos del Parámetro P in Febrero (a) y Mayo (b). Cada mes es mostrado en una resolución de 24 Horas (0-23), las cruces representan la media y la línea continua representa los valores mínimos y máximos. Los tres valores mínimos y máximos están representados por puntos.

### 2.3.4 Número de Viviendas que Experimentan al menos una Retransmisión.

Se analiza el número de viviendas que experimentan al menos una retransmisión por cada hora. La retransmisión implica el número de viviendas que no tienen un valor de cero en  $e_i$ . El número de retransmisiones depende principalmente de la calidad del canal.



**Figura. 2.7.** El número de viviendas que experimenta retransmisión, en el mes de febrero (a) y mayo (b). Cada mes es mostrado en una resolución de 24 Horas (0-23), las cruces representan la media y la línea continua representa los valores mínimos y máximos. Los tres valores mínimos y máximos están representados por puntos.

En la figura anterior se muestra que alrededor de 10 a 15 MFNs o viviendas realizan retransmisiones, esto es aproximadamente el 20% del total de las viviendas

### 2.3.5 Desempeño del Canal asociado a las terminales dentro de la Red

Se muestra el promedio del día, de la Probabilidad de retransmisión  $P$  durante una semana. Cada cable contiene un número determinado de terminales y en cada terminal están conectadas cuatro viviendas. La probabilidad de retransmisión en cada terminal se nota como  $P_{cb}$ ,  $P_{cb} = (P_a + P_b + P_c + P_d) / 4$  donde  $P_a$ ,  $P_b$ ,  $P_c$ ,  $P_d$  son las probabilidades de

retransmisión de cada vivienda. Como es el promedio del día, la probabilidad se denota como  $P_{cb,av}$ . Cada terminal tiene una distancia, que se muestra en la siguiente tabla y en la Figura. 2.4.

No. Terminal	Distancia [m]
408	165
413	230
437	231
438	158
439	183
440	118
441	93
442	57
443	96
444	119
445	152
446	271
447	220
448	198
449	162
1350	310

Tabla. 2.2. Distancia Asociada a la Terminal.

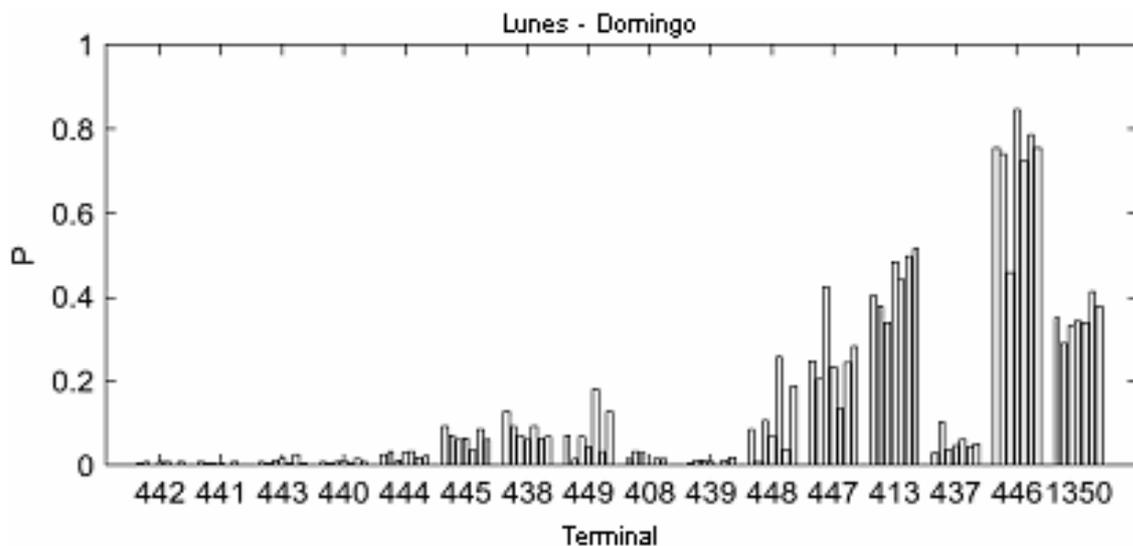
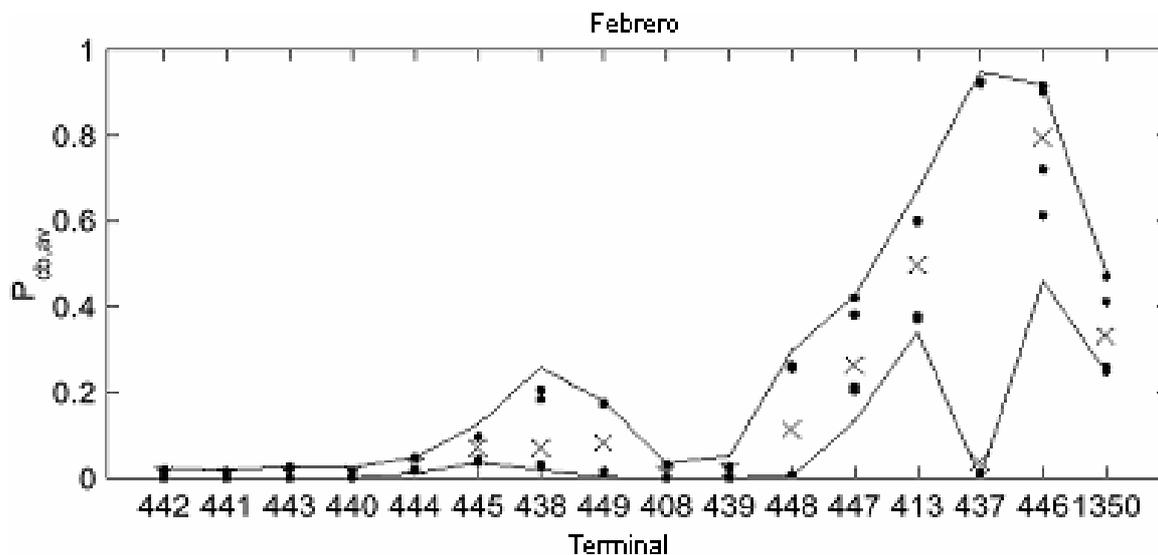


Figura. 2.8. Desempeño de los canales asociados a las terminales en la red (promedio 24h) en el mes de febrero. Las terminales están en orden ascendente de acuerdo a la distancia. Cada barra en cada terminal, representa un día de la semana.

Se concluye que la distancia es factor preponderante en la calidad del canal de comunicación, con excepciones, tal es el caso de las terminales 408, 439 y 437. Esto evidencia que existen otros factores, como el que los canales además de la atenuación posean menor interferencia que puede ser causada por artefactos, señales de radio frecuencia, etc.

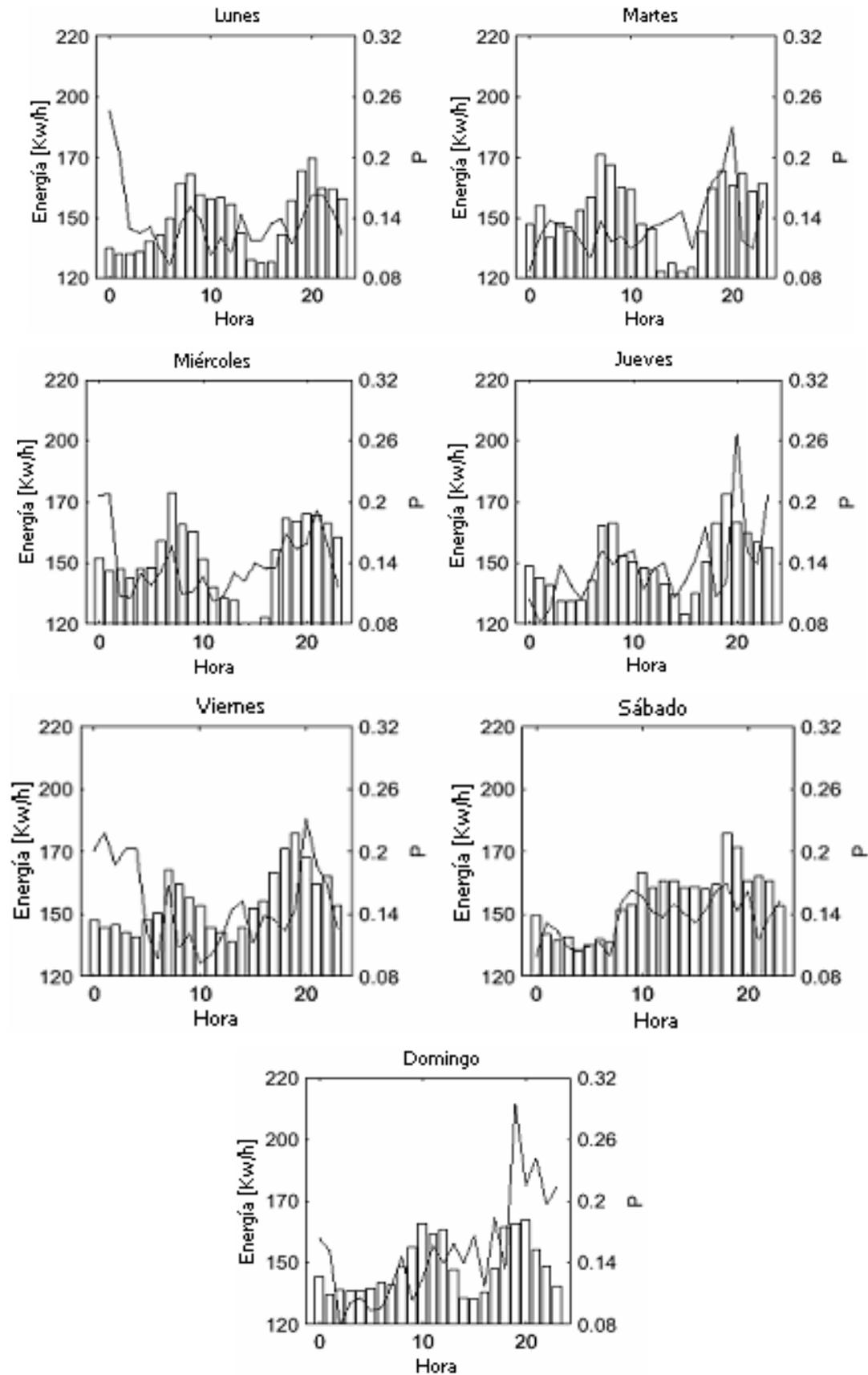


**Figura. 2.9. Promedio del Desempeño de los Canales asociados a las terminales en la red. Las cruces representan la media y la línea continua representa los valores mínimos y máximos. Los tres valores mínimos y máximos están representados por puntos.**

### 2.3.6 Comportamiento de Cargas y Desempeño del Canal

Se muestra el efecto que tiene en la red la conexión y desconexión de diversos artefactos, para esto se adquieren datos del consumo de potencia en [Kw/h].

En las siguientes figuras, se observa que los picos ocurren durante la mañana y la noche. En el fin de semana el pico de la mañana se desplaza. Se puede concluir que a mayor uso de energía, la calidad de los canales de comunicación disminuye.



**Figura. 2.10.** El Promedio de la Probabilidad de Retransmisión de todos los canales ( $P$ ), y el Comportamiento de Cargas durante una semana. El Comportamiento de Cargas es mostrado en Barras y la Probabilidad de Retransmisión en líneas.

## 2.4 CARACTERÍSTICAS DE LAS LÍNEAS ELÉCTRICAS

Estas características describen de forma específica su comportamiento en base a niveles de ruido, atenuación e interferencias, mostrados como respuesta del canal de comunicaciones debido al cambio de la frecuencia. Para esto se usaron algoritmos que corresponden a la teoría de la Estimación del Espectro de Potencia<sup>2</sup>.

Para medir atenuación se utiliza un generador de señales que produce una señal tipo chirp que iniciando a una frecuencia dada, se incrementa y decrementa (barrido de 2[Hz]); la amplitud de la señal fue calibrada en 2.4[V] en una impedancia de 50[Ohms].

Dentro de la red eléctrica de estudio, se monitorea las terminales 444, 447, conectados en la misma línea, y 443 (Figura. 2.4). Según los resultados de la Figura. 2.9, las terminales 444 y 443 se consideran como canales de alta calidad y la terminal 447 representa un canal de baja calidad.

### 2.4.1 Interferencias y Perturbaciones

En la red de alto voltaje las perturbaciones se deben a relámpagos, circuitos de interrupción y arcos voltaicos producidos al interior de una estación. En la red de medio voltaje, las perturbaciones se generan por el encendido o apagado de bancos de capacitores usados para la corrección del factor de potencia.

En la red de bajo voltaje, el ruido se debe a los dispositivos conectados a esta. A continuación se citan los tipos de ruido y sus fuentes generadoras.

---

<sup>2</sup> Revisar referencia bibliográfica [16].

### **2.4.2 Ruido que tienen los componentes síncronos en línea con la frecuencia del sistema eléctrico.**

La principal fuente de este ruido son los triacs o SCRs (Silicon Controlled Rectifiers), que se encuentran en los dimmers que controlan iluminación. El espectro de este ruido es una serie de armónicos cuya componente fundamental es 100 [Hz]. También las fotocopiadoras generan fuertes impulsos de ruido a dos veces la frecuencia del sistema eléctrico. El efecto de este ruido, puede ser reducido utilizando algún tipo de Sistema ARQ (Automatic Repeat Request) con control de codificación de error.

### **2.4.3 Ruido con un Espectro Alisado.**

La fuente más importante de este ruido son los motores universales que tienen un espectro alisado, pequeños motores con bobinados seriales que se encuentran en algunos electrodomésticos. El ruido que estos producen tienen un relativo espectro plano y puede ser modelado como ruido blanco limitado en banda. La red de baja tensión también exhibe Ruido Aditivo Blanco Gaussiano el cual se sitúa típicamente 22 [dB] por debajo del ruido descrito en la sección 2.4.2.

### **2.4.4 Ruido Impulsivo de Simple Evento.**

Es causado por el encendido o apagado de un termostato que puede ser modelado como un impulso. Este ruido puede ser sobrellevado aplicando una apropiada corrección del error que quizá puede ser combinado con interpolación.

### 2.4.5 Ruido No-Síncrono.

Es ruido periódico pulsante que ocurre a frecuencia diferente a la de la red eléctrica y lo produce principalmente el televisor, cuyo pulso de sincronización ocurre cada  $63.5[\mu s]$ , causando fuertes componentes de ruido a los  $15.734 [KHz]$ . Las nuevas variedades de monitores para computadoras, emplean frecuencias diferentes a la mencionada.

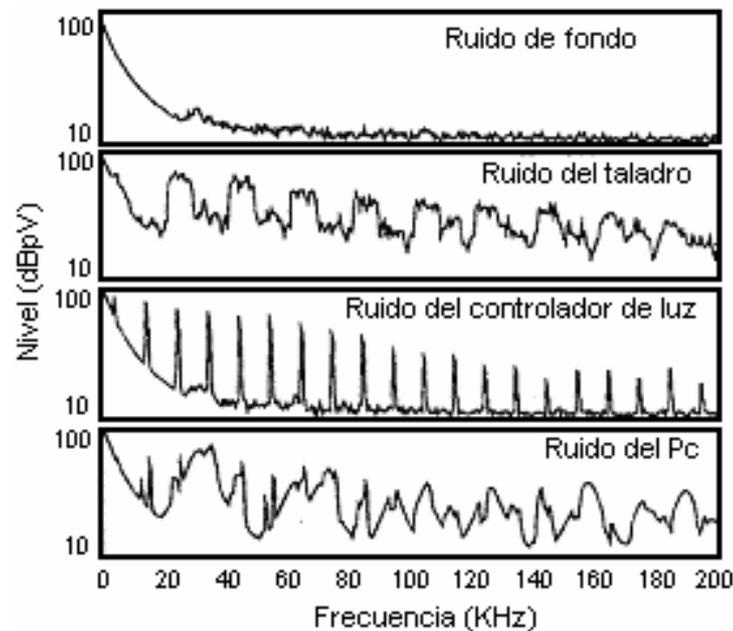


Figura. 2.11. Densidad Espectral de Potencia del ruido debido a diferentes fuentes.

Algunas sugerencias pueden tomarse en cuenta para combatir estos tipos de ruido:

- Para el ruido tipo A, utilizar filtros tipo  $\text{Sin}(x)/(x)$  a la entrada del receptor, con comportamiento espectral nulo en los múltiplos de la frecuencia de operación que tiene la línea eléctrica.
- Para los ruidos A, B, y C, implementar códigos para corregir el error combinado con interpolación (para proveer diversidad en tiempo).

- Las altas frecuencias de los armónicos que crean los monitores y los aparatos de televisión, se pueden evitar usando una modulación sobre el canal. Algún tipo de diversidad de frecuencia (Saltos de Frecuencia) combinado con correcciones de errores, deberían ser implementados para enfrentar las frecuencias desconocidas que crean los monitores de computadoras.

### 2.4.6 Efectos de la Propagación Multicamino.

Debido a que las señales dentro de la red eléctrica sufren numerosas reflexiones en puntos de discontinuidad, la red eléctrica posee interferencia bajo efectos de la propagación multicamino casi igual a como pasa en los sistemas de comunicaciones móviles. Estos afectan principalmente al receptor, donde llegan una multitud de señales atenuadas con retardo. Los puntos de discontinuidad pueden ser las tomas eléctricas (terminales de carga), una conexión serial con cables de diferentes características y sobre todo una bifurcación de muchos cables. Estas discontinuidades pueden observarse en la siguiente figura.

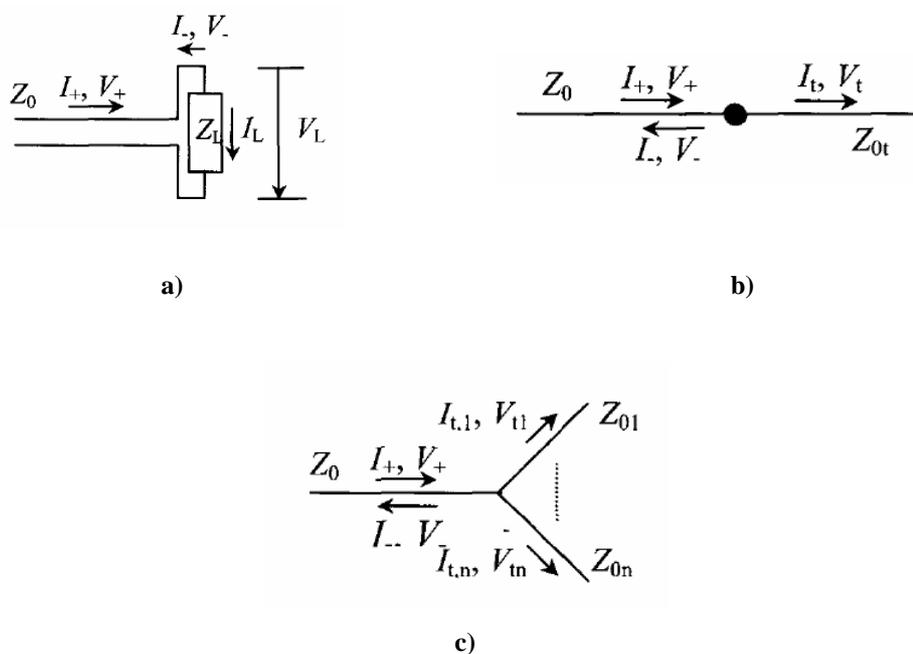


Figura. 2.12. Puntos de Discontinuidad: a) Terminal de Carga, b) Conexión Serial y c) Bifurcación.

Los puntos de discontinuidad, además de generar reflexión y refracción de las señales por muchos caminos, hacen que la impedancia del canal cambie en forma aleatoria.

Debido a características de multitrayecto o multicamino de la red eléctrica, se puede utilizar los mismos principios adoptados en la teoría de comunicaciones móviles, suponiendo que cada señal que llega al receptor es un camino o un trayecto. Por eso, se utiliza el parámetro  $t_{rms}$  (root mean square delay spread) que describe la máxima tasa de transferencia de datos que puede soportar antes de tener interferencia intersímbolo (ISI).

$$t_{rms} = \frac{\left( \sum_{i=1}^N \sum_{\substack{j=1 \\ j>1}}^N |b_i|^2 \cdot |b_j|^2 \cdot (t_i - t_j)^2 \right)^{1/2}}{\sum_{i=1}^N |b_i|^2} \quad [2.3]$$

donde:  $N$  es el número de trayectos o caminos,  $b_i$  y  $t_i$  son la amplitud y el tiempo de arribo del trayecto o camino  $i$ , respectivamente.

$$DR_{max} = k(t_{rms})^{-1} \quad [2.4]$$

Generalmente, es admitido que la máxima tasa de transferencia sin diversidad o ecualización, es mucho menor dado en un porcentaje de “rms delay spread”. Siendo  $0.1 < k < 0.5$ .

### 2.4.7 Niveles de Ruido

En las siguientes figuras, la medición del espectro de potencia del ruido fue realizado en las fases 1 y 3, pues en la red de distribución de baja tensión pueden existir terminales bifásicas o trifásicas.

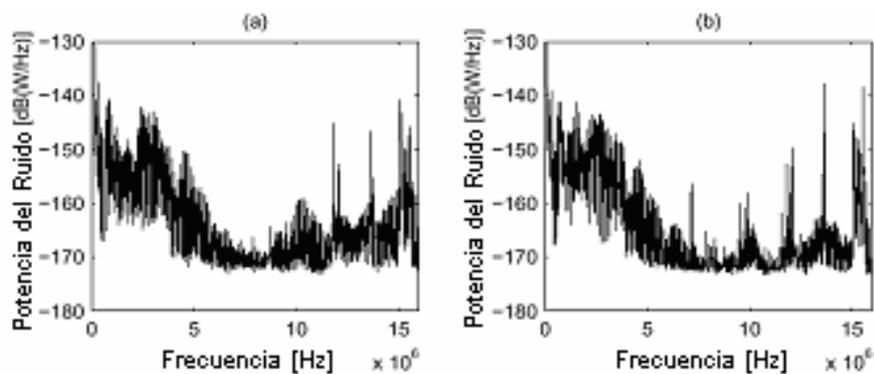


Figura. 2.13. Espectro de Potencia del Ruido en la terminal 443 en la fase 1 (a) y fase 3 (b).

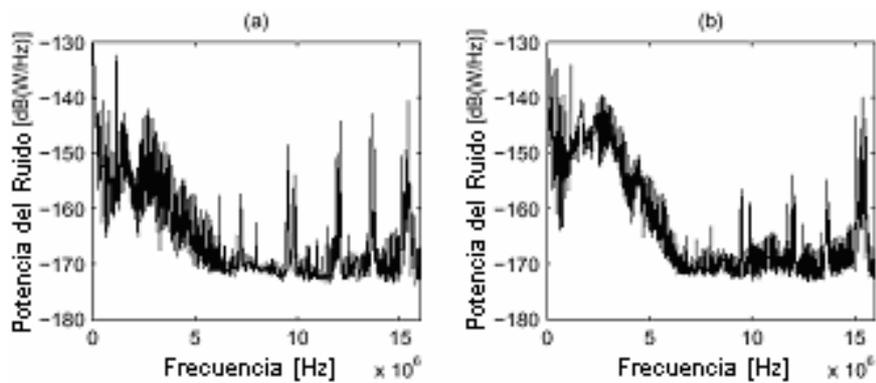


Figura. 2.14. Espectro de Potencia del Ruido en la terminal 444 en la fase 1 (a) y fase 3 (b).

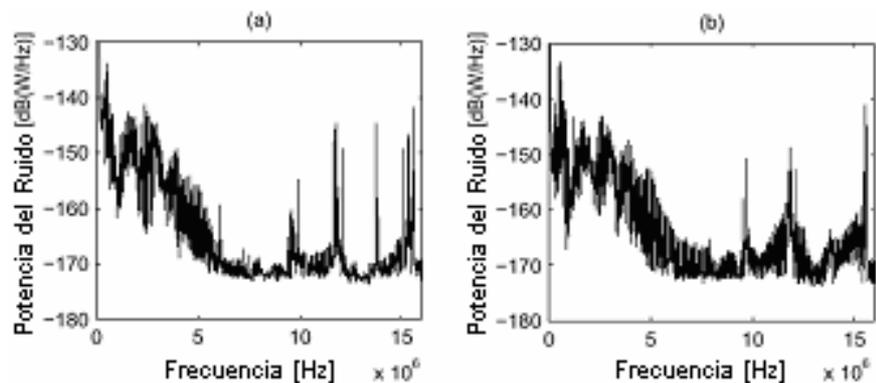


Figura. 2.15. Espectro de Potencia del Ruido en la terminal 447 en la fase 1 (a) y fase 3 (b).

En las tres gráficas anteriores, a la frecuencia de 1 [MHz] el ruido de fondo es aproximadamente  $-150\text{dB}(\text{W}/\text{Hz})$  y decae mientras aumenta la frecuencia hasta los 7[MHz] donde toma un valor muy bajo. Además, se observa que de 12 a 15[MHz] hay anchos de banda que probablemente son usados por las emisiones de radio.

#### 2.4.8 Atenuación

En las figuras 2.16, 2.17 y 2.18, la potencia de la señal transmitida tiene una potencia de  $-62\text{dB}(\text{W}/\text{Hz})$ ; en el rango de los 10 [MHz] la señal recibida es difícil de distinguir debido a que se confunde con el ruido. El SNR de los terminales 443 y 444 es muy bueno bajo los 10[MHz] y tiene un valor superior a  $20\text{dB}$  donde la distancia de los canales es aproximadamente 100[m] desde de la subestación.

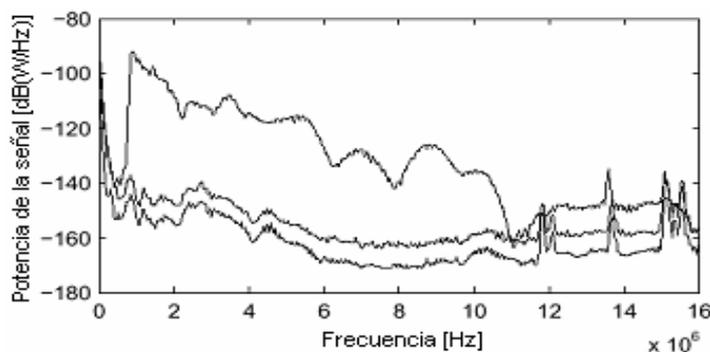


Figura. 2.16. Espectro Potencia de la Señal Recibida y el Ruido en la terminal 443. La línea superior es la señal Recibida, la del medio es el ruido máximo y la inferior es el promedio de los niveles del ruido.

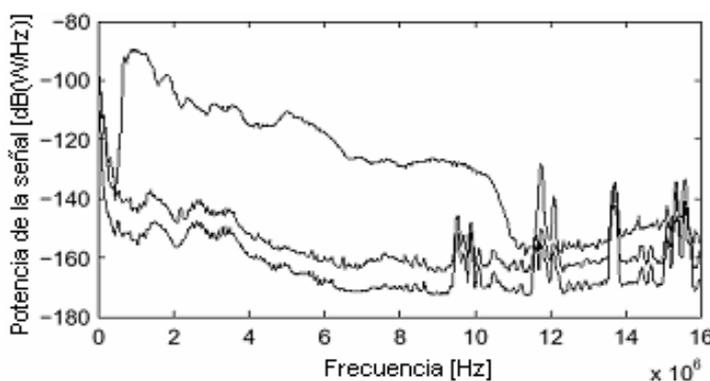
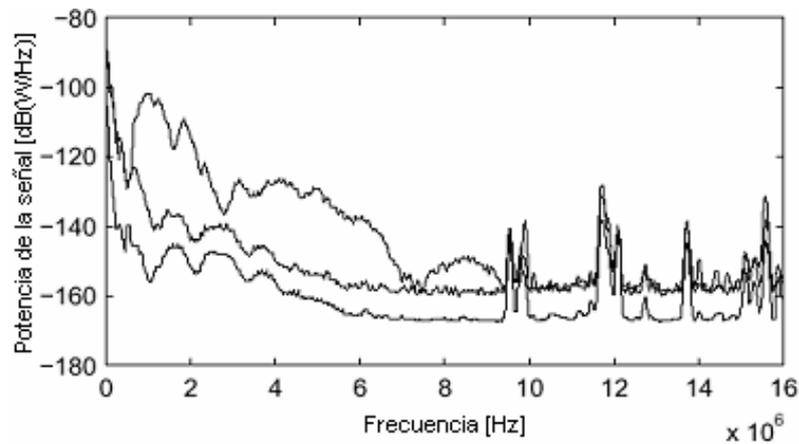


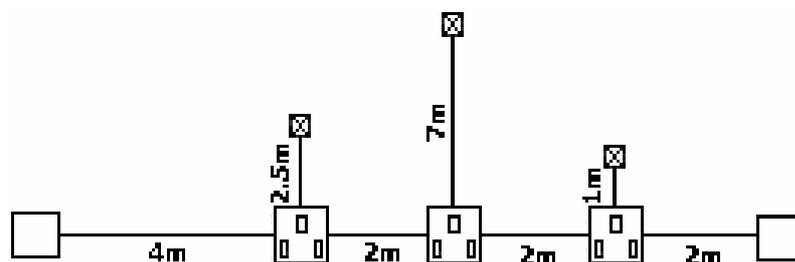
Figura. 2.17. Espectro Potencia de la Señal Recibida y el Ruido en la terminal 444. La línea superior es la señal Recibida, la del medio es el ruido máximo y la inferior es el promedio de los niveles del ruido.

El SNR del terminal 447 es 25[dB] menor que la medida tomada en la terminal 443, pues posee una distancia de 220[m] tomando en cuenta que las terminales 447 y 443 están en la misma línea o canal. Estos resultados son razonables dado que a mayor distancia mayor atenuación.



**Figura. 2.18.** Espectro de Potencia de la Señal Recibida y el Ruido en la terminal 444. La superior es la señal Recibida, la del medio es el ruido máximo y la inferior es el promedio de los niveles del ruido.

Si a 100[m] se existe un SNR muy bajo a la frecuencia de 10[MHz], a menores distancias como sucede en el interior de casas y edificios residenciales el SNR puede incrementarse.



**Figura. 2.19.** Configuración de la Red Medida.

A la frecuencia de 10[MHz], en la Figura. 2.20, la línea punteada describe la medición y la línea continua los resultados de una simulación, se observa que no está atenuada.

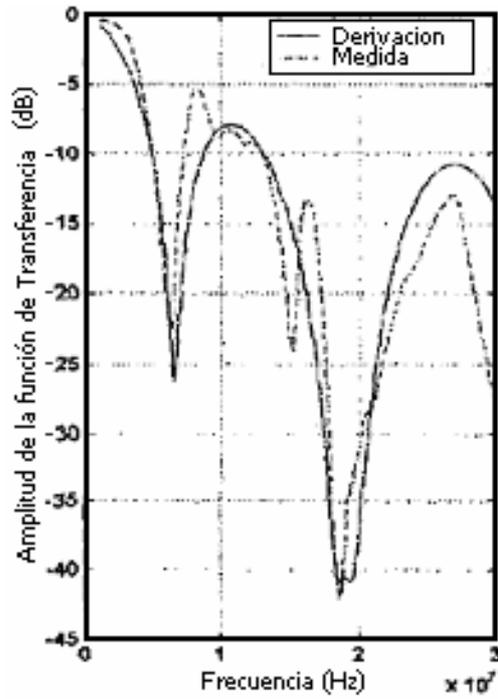


Figura. 2.20. Función de Transferencia de la Red Medida.

## CAPITULO 3

### TÉCNICAS DE MODULACIÓN PARA PLC

#### 3.1 OFDM

OFDM son las siglas de Orthogonal Frequency Division Multiplex, en la actualidad se lo considera el esquema de modulación más adecuado para la transmisión de datos a través de la línea eléctrica.

OFDM divide una cadena de alta tasa de datos en cadenas de datos menores que luego son transmitidas simultáneamente sobre varias subportadoras. Con OFDM la interferencia intersímbolo es eliminada casi completamente al introducir un tiempo de guarda en todos los símbolos OFDM.

El diseño de un sistema OFDM contempla parámetros como: número de subportadoras, tiempo de guarda, duración del símbolo, espaciamiento entre subportadoras, tipo de modulación por subportadora y tipo de código de corrección de error. La selección de parámetros es influenciada directamente por los requerimientos del sistema tal como ancho de banda disponible, tasa de bit requerida y retardo de dispersión tolerable.

### 3.1.1 Generación de Subportadoras

Una señal OFDM consiste de una suma de subportadoras que son moduladas usando PSK (Phase Shift Keying) o QAM (Quadrature Amplitude Modulation). La Figura. 3.1, muestra el diagrama de bloques de la operación de un modulador OFDM.

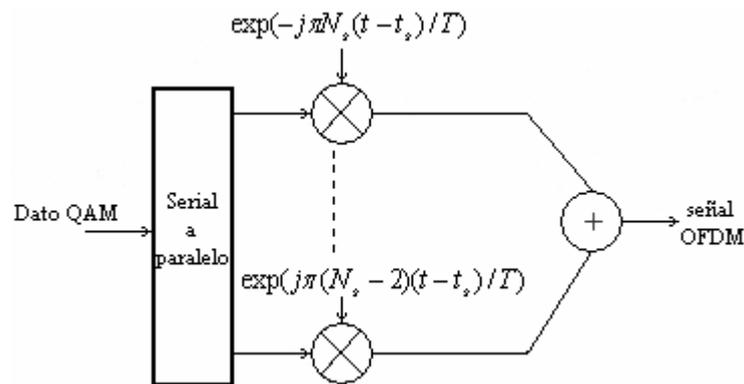


Figura. 3.1. Modulador OFDM.

En la Figura. 3.2., se muestran cuatro subportadoras de una señal OFDM, todas con la misma fase y amplitud. En la práctica las amplitudes y fases pueden ser moduladas en forma diferente para cada subportadora. Lo importante es que cada subportadora tiene exactamente un número entero de ciclos en el intervalo  $T$ , y el número de ciclos entre subportadoras adyacentes difiere exactamente en un ciclo, garantizando la ortogonalidad entre subportadoras.

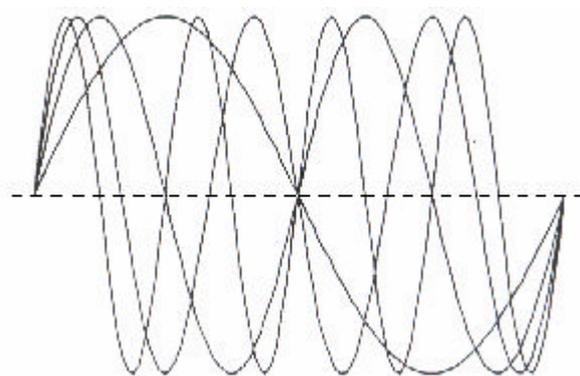
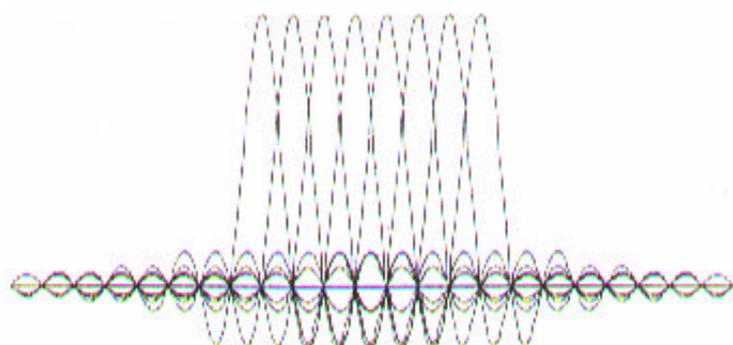


Figura. 3.2. Ejemplo de cuatro subportadoras dentro de un símbolo OFDM.

Ya que un receptor OFDM calcula los valores del espectro en los puntos que corresponden al máximo de las subportadoras individuales, puede demodularse cada subportadora libre de cualquier interferencia de las otras subportadoras.

En OFDM, la interferencia interportadora (ICI) mas no la interferencia intersímbolo (ISI) es evitada al tener el máximo del espectro de una subportadora en los puntos de valor cero de todas las otras subportadoras.

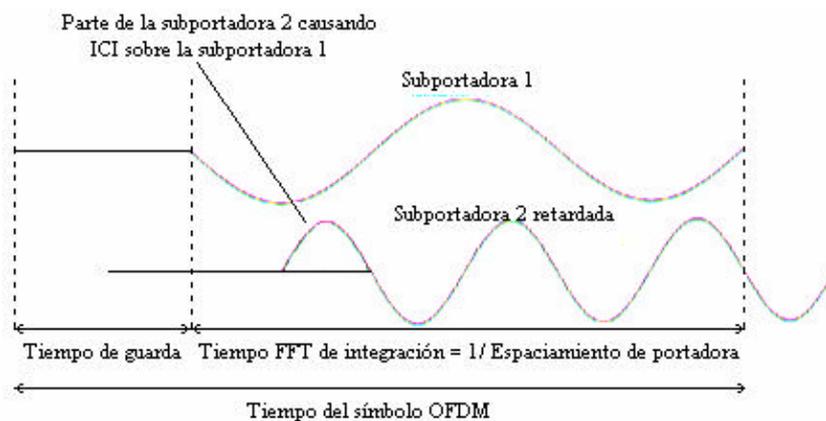


**Figura. 3.3. Espectro de subportadoras individuales.**

### 3.1.2 Tiempo de Guarda y Extensión Cíclica

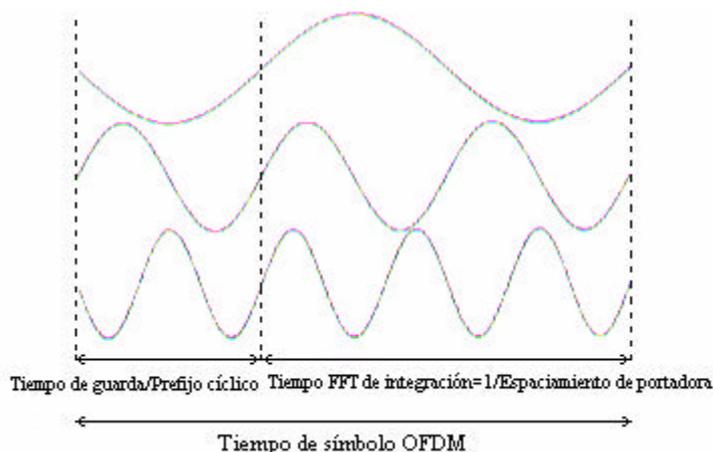
OFDM afronta y reduce eficientemente el “multipath delay spread”, ya que al dividir la cadena de datos de entrada en  $N_s$  subportadoras, la duración del símbolo se vuelve  $N_s$  veces menor. Para eliminar la interferencia intersímbolo, casi completamente, se introduce un tiempo de guarda para cada símbolo OFDM.

En la Figura. 3.4., se muestran dos subportadoras. Cuando el receptor OFDM trata de demodular subportadora 1 encuentra interferencia de la subportadora 2, debido a que en el intervalo FFT, no hay un número entero de diferencia de ciclos entre la subportadora 1 y 2.



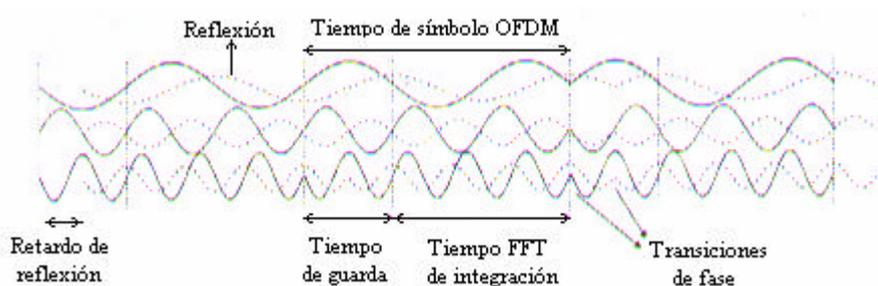
**Figura. 3.4. Efecto de multicamino con señal cero en el tiempo de guarda; la subportadora 2 retardada causa ICI sobre la subportadora 1 y viceversa.**

Para eliminar ICI, el símbolo OFDM es cíclicamente extendido en el tiempo de guarda (Figura. 3.5), asegurando así que las réplicas retardadas del símbolo OFDM tienen un número entero de ciclos dentro del intervalo FFT, mientras el retardo sea menor que el tiempo de guarda.



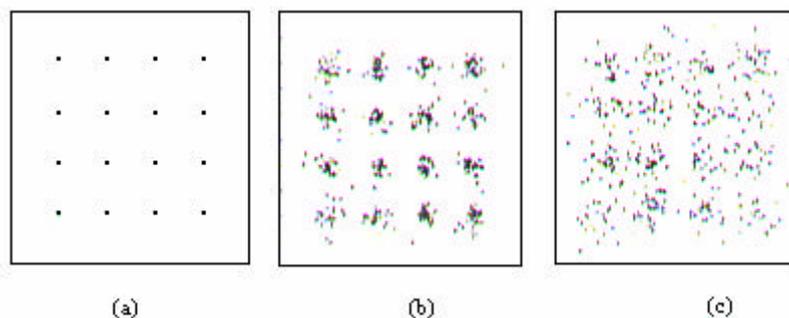
**Figura. 3.5. Símbolo OFDM con extensión cíclica.**

En la Figura. 3.6, la curva punteada es una réplica retardada de la curva sólida y tres subportadoras separadas son mostradas durante tres intervalos de símbolo. La sumatoria de las ondas senoidales del primer camino con las ondas moduladas en fase del camino retardado ya no brindan un set de ondas senoidales ortogonales puras, dando como resultando un nivel de interferencia.



**Figura. 3.6.** Ejemplo de una señal OFDM con tres subportadoras en un canal multicamino dos-rayos. La línea punteada representa un componente multicamino retardado.

La Figura. 3.7-(a), muestra la constelación 16-QAM sin distorsión, presenta siempre que el retardo multicamino esté bajo el tiempo de guarda. En la Figura. 3.7-(b), el retardo multicamino excede el tiempo de guarda un 3% del intervalo FFT, las subportadoras ya no son ortogonales, pero la interferencia es suficientemente pequeña para lograr una aceptable constelación recibida. En la Figura. 3.7-(c), el retardo multicamino excede el tiempo de guarda un 10% del intervalo FFT, la interferencia es muy grande por lo que la constelación es muy borrosa, causando una tasa de error inaceptable.



**Figura. 3.7.** Constelación 16-QAM para un enlace OFDM de 48 subportadoras con un canal multicamino dos-rayos, el segundo camino es 6dB menor que el primero. a) retardo < tiempo de guarda; b) el retardo excede el tiempo de guarda en 3% del intervalo FFT; c) el retardo excede el tiempo de guarda en 10% del intervalo FFT.

En la práctica, la señal OFDM es generada como sigue: primero,  $N_c$  valores de entrada son rellenos con ceros para lograr  $N$  muestras de entrada que son usadas para calcular una IFFT (Transformada Rápida de Fourier Inversa).

Luego, las últimas muestras  $T_{prefix}$  de la salida IFFT son insertadas al inicio del símbolo OFDM, y las primeras muestras  $T_{postfix}$  son añadidas al final. El símbolo OFDM es luego multiplicado por una ventana coseno levantado para reducir más rápidamente la potencia de las subportadoras fuera de banda. Ahora, el símbolo OFDM es agregado a la salida de los símbolos OFDM previos con un retardo de  $T_s$ , tal que hay una región de traslapamiento de  $bT_s$ , donde  $b$  es el factor de roll-off de la ventana coseno levantado.

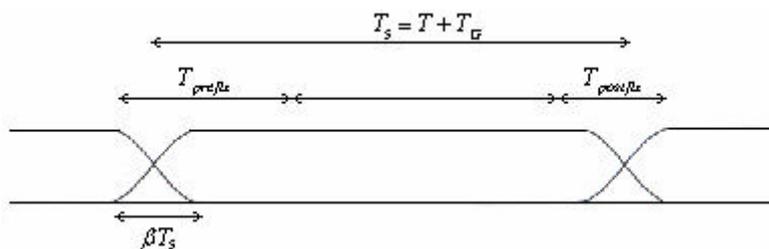


Figura. 3.8. Extensión cíclica OFDM y windowing.  $T_s$  es el tiempo de símbolo,  $T$  el intervalo FFT,  $T_G$  el tiempo de guarda,  $T_{prefix}$  el intervalo de preguarda,  $T_{postfix}$  el intervalo de postguarda, y  $b$  es el factor de roll-off.

Mayores valores  $b$  mejoran el espectro, sin embargo con una disminución de la tolerancia al desvanecimiento de retardo. El receptor demodula las subportadoras tomando una FFT sobre el intervalo  $T_{segundos}$  entre las líneas punteadas. La ortogonalidad entre subportadoras solo se mantiene cuando la amplitud y fase de las subportadoras son constantes durante el intervalo entero  $T_{segundos}$ . Por lo tanto, para un factor  $b$  se reduce el tiempo de guarda efectivo en  $bT_s$ .

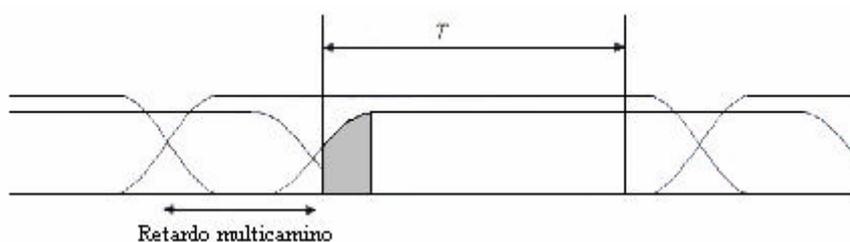


Figura. 3.9. Símbolo OFDM para un canal multicamino de dos rayos, mostrando ICI e ISI, debido a que en la parte gris, la amplitud de las subportadoras retardadas no es constante.

### 3.1.3 Selección de Parámetros OFDM

Existen tres requerimientos principales para la selección de los parámetros OFDM: ancho de banda, tasa de bits y “delay spread”.

El “delay spread” fija directamente el tiempo de guarda y como regla este tiempo debería estar alrededor de dos o cuatro veces el valor rms del “delay spread”. Para minimizar pérdidas en la relación señal a ruido (SNR), causadas por el tiempo de guarda, es práctico tener una duración de símbolo por lo menos cinco veces el tiempo de guarda.

El número de subportadoras requeridas se determina por el ancho de banda de  $-3[\text{dB}]$  dividido por el espaciamiento de subportadoras; este espaciamiento es el inverso de la duración del símbolo menos el tiempo de guarda. El número de subportadoras, también puede ser determinado por la tasa de bits requerida dividida para la tasa de bit por subportadora. La tasa de bit por subportadora es definida por el tipo de modulación, tasa de código y tasa de símbolo.

Para mejor entendimiento se presenta un ejemplo, en el que se requiere diseñar un sistema OFDM con las siguientes características:

- Tasa de bits: 20 [Mbps]
- Delay spread tolerable: 200 [ns]
- Ancho de banda:  $< 15$  [MHz]

El “delay spread” de 200 [ns] sugiere un tiempo de guarda de 800 [ns]. Con una duración de símbolo OFDM de 6 veces el tiempo de guarda (4.8 [ $\mu\text{s}$ ]), la pérdida por tiempo de guarda es menor a 1 [dB].

El espaciamiento entre subportadoras es la inversa de  $4 \mu\text{s}$  ( $4.8 - 0.8$ ) que equivale a  $250 \text{ [KHz]}$ . Para lograr  $20 \text{ [Mbps]}$ , cada símbolo OFDM tiene que llevar 96 bits de información ( $96/4.8 \mu\text{s} = 20 \text{ [Mbps]}$ ) pudiéndose usar un esquema 16-QAM junto con una tasa de código  $\frac{1}{2}$  para lograr 2 bits por símbolo por subportadora, llegando a necesitarse 48 subportadoras; otra opción es usar QPSK con tasa de código  $\frac{3}{4}$  para lograr 1.5 bits por símbolo por subportadora, en este caso, se necesitan 64 subportadoras lo que implica un ancho de banda de  $16 \text{ [MHz]}$  ( $64 * 250 \text{ [KHz]}$ ) que es mayor al ancho de banda designado.

De los datos obtenidos, se concluye que para alcanzar un ancho de banda menor a  $15 \text{ [MHz]}$ , el número de subportadoras debe ser menor a 60. En este caso, la primera opción con 48 subportadoras y 16-QAM cumple todos los requerimientos.

## 3.2 DSSSM

DSSSM son las siglas de Direct Sequence Spread Spectrum Modulation, y es uno de los esquemas de modulación empleados en CDMA (DS-CDMA) para comunicaciones móviles, sin embargo, dada la gran similitud en el comportamiento del canal de comunicaciones móviles con las del canal de comunicaciones PLC, DS-CDMA ha sido considerada un esquema de modulación útil para transmitir datos por la línea eléctrica.

### 3.2.1 Direct – Sequence

En DS-CDMA, la señal de datos, análoga o digital, es directamente modulada por una señal código digital discreta en el tiempo. Cuando se trata de una señal digital, la modulación generalmente se omite y la señal de datos es directamente multiplicada por la señal de código. La señal resultante modula el ancho de banda de la portadora.

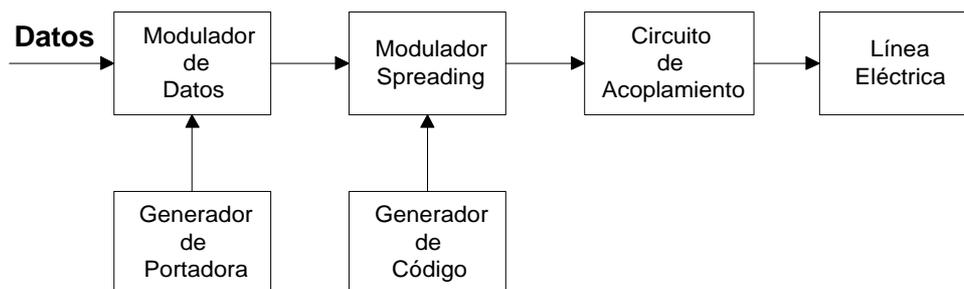


Figura. 3.10. Diagrama de bloques de un transmisor DS-SS para PLC.

En la Figura. 3.11, la señal de datos binarios modula una portadora de RF, la señal resultante es modulada por una señal de código que consiste en un número de bits de código llamados “chips”. Para obtener el ensanchamiento deseado de la señal, la tasa de chip de la señal de código debe ser mayor que la tasa de chip de la señal de información. La tasa de la señal de código se llama “*tasa de chip*”, un chip denota un símbolo cuando se refiere a señales de código ensanchado. En la citada figura, 10 chip códigos por símbolo de información son transmitidos, entonces la Ganancia del Proceso ( $G_p$ )<sup>\*</sup> es igual a 10.

Para la modulación de ensanchamiento (spreading modulation), se emplea: BPSK, DBPSK, QPSK o MSK. El siguiente diagrama, muestra el caso en que se omite la modulación del dato y se emplea BPSK para la modulación de código.

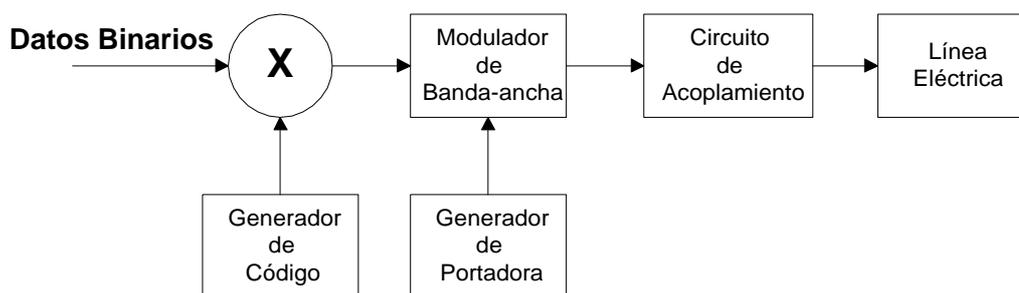
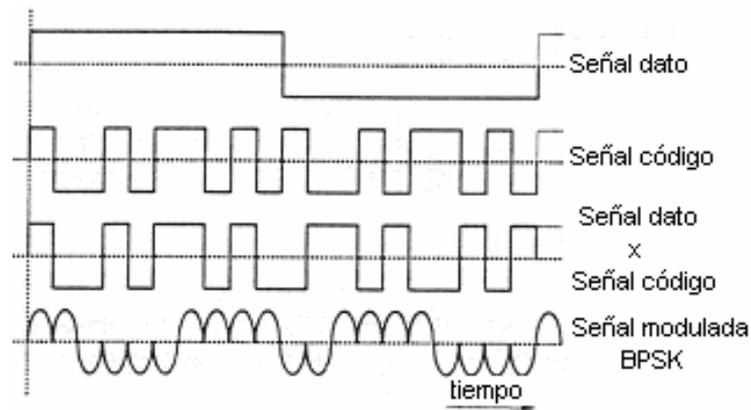


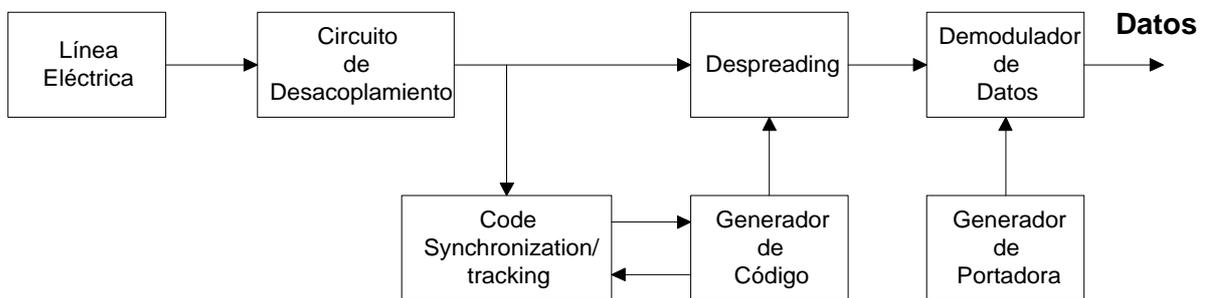
Figura. 3.91. Diagrama de bloques modificado de un transmisor DS-SS para PLC.

\* La relación del ancho de banda transmitido  $B_t$  al ancho de banda de información  $B_i$ , es llamada Ganancia del proceso  $G_p$ .



**Figura. 3.102. Generación de una señal spread-spectrum modulada con BPSK.**

En la recepción, el receptor (Figura. 3.13) desensancha la señal spread-spectrum usando una secuencia de código generada localmente. Para esto, el receptor, además de conocer la secuencia de código usado debe sincronizar los códigos de la señal recibida y el código generado localmente.



**Figura. 3.113. Receptor de una señal DS-SS para PLC.**

La sincronización debe lograrse al inicio de la recepción y mantenerse hasta que la señal completa ha sido recibida; el bloque “code synchronization/tracking” realiza esta operación.

Luego del des-ensanchamiento, se tiene una señal de datos modulada, y luego de la demodulación, el dato original puede ser recuperado.

## **3.2.2 Propiedades**

### **3.2.2.1 Acceso múltiple.**

Si varios usuarios usan el canal al mismo tiempo, varias señales DS se traslapan en tiempo y frecuencia. En el receptor, el des-ensanchamiento se usa para remover el código de ensanchamiento, aquí se concentra la potencia del usuario deseado en el ancho de banda de información.

### **3.2.2.2 Interferencia multicamino.**

Si la secuencia de código tiene una función de autocorrelación ideal, entonces esta función es cero fuera de  $[-T_c, T_c]$ ,  $T_c$  es la duración de chip. Esto significa que la señal deseada y una versión retardada por más de  $2T_c$  son recibidas, el des-ensanchamiento tratará la versión retardada como una señal interferente.

### **3.2.2.3 Interferencia de banda-estrecha.**

La detección coherente en el receptor involucra multiplicar la señal recibida por una secuencia de código generada localmente. Al multiplicar una señal de banda-estrecha con una secuencia de código de banda ancha ensancha el espectro de la señal de banda estrecha para que su potencia en el ancho de banda de información disminuya.

### **3.2.2.4 LPI.**

Ya que la señal DS usa el espectro completo de la señal todo el tiempo, habrá una potencia transmitida muy baja por hertz. Esto hace muy difícil el detectar una señal DS.

### 3.2.3 Ventajas y Desventajas

#### Ventajas:

- La generación de la señal codificada es fácil de implementar y puede ser alcanzada por una simple multiplicación.
- Dado que una sola frecuencia de portadora debe ser generada, el generador de portadora es simple.
- No se requiere de sincronización alguna entre los usuarios.

#### Desventajas:

- Es difícil lograr y mantener la sincronización de la señal de código generada localmente y la señal recibida. La sincronización debe ser mantenida dentro de una fracción de tiempo de chip.
- Para una recepción correcta, el error de sincronización de la secuencia de código generada localmente y la secuencia de código recibida debe ser muy pequeña, una fracción del tiempo de chip.

### 3.3 GMSK (GAUSSIAN MINIMUM SHIFT KEYING)

#### 3.3.1 Minimum Shift Keying (MSK)

OQPSK es obtenida a partir de QPSK retardando la cadena de datos Q por 1 bit o T segundos con respecto a la cadena de datos I. Este retardo no tiene efecto alguno sobre el error o ancho de banda.

Minimum Shift Keying (MSK) se deriva de OQPSK reemplazando el pulso rectangular en amplitud con un pulso sinusoidal de medio ciclo. MSK hace el cambio de fase lineal y limitado a  $\pm \pi/2$  sobre un intervalo de bit T, con esto MSK provee una mejora significativa sobre QPSK. Debido al efecto del cambio de fase lineal, la densidad espectral de potencia tiene lóbulos laterales bajos lo que ayuda al control de la interferencia.

La relación entre el ancho de banda del filtro de premodulación, B y el periodo T define el ancho de banda del sistema. El compromiso entre la tasa de error de bit y la interferencia fuera de banda, ya que el filtro es estrecho, incrementa la interferencia ISI y reduce la potencia de la señal.

#### 3.3.2 Modulación GMSK

Generalmente, en MSK se reemplaza el pulso rectangular con un pulso sinusoidal; un filtro con respuesta al impulso de forma Gaussiana genera una señal con pocos lóbulos laterales y lóbulo principal más estrecho que el del pulso rectangular. Este tipo de modulación es llamado Gaussian Minimum Shift Keying (GMSK). Hay dos métodos para generar GMSK: uno es usar modulación FSK y el otro es usar modulación QPSK.

En el primer caso, la arquitectura del modulador VCO es simple pero no es apropiado para demodulación coherente. Este método requiere que el factor de desviación de frecuencia del VCO sea exactamente igual a 0.5, pero el índice de modulación de transmisores convencionales basados en VCO fluctúa en el tiempo y temperatura.

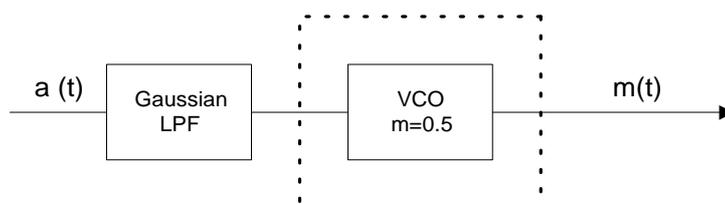


Figura. 3.124. GMSK implementada por modulación FSK con FM-VCO.

En el segundo caso, se emplea un proceso de cuadratura en banda-base seguido por un modulador de cuadratura. Aquí, el índice de modulación puede ser mantenido exactamente en 0.5. Este método es también más barato de implementar. Ambos métodos llevan a la misma señal GMSK modulada. A continuación se analiza el segundo de estos dos métodos.

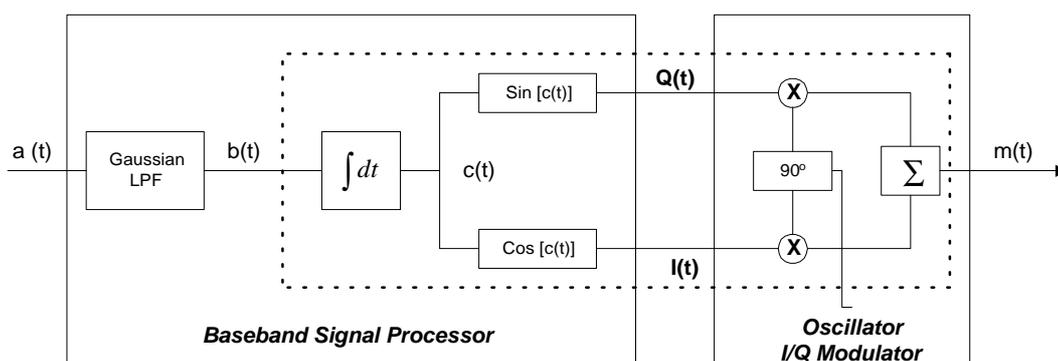
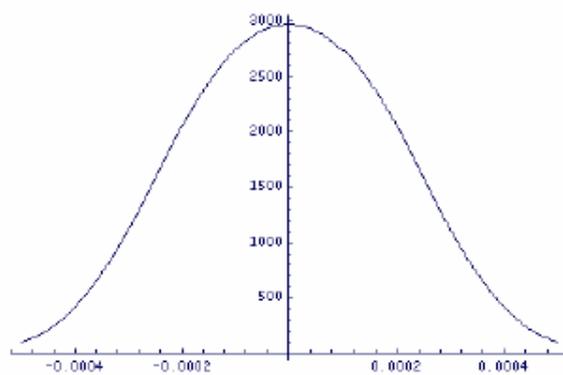


Figura. 3.135. GMSK implementada por un método de cuadratura en banda-base.

Si  $B_b$  es el ancho de banda del filtro pasa-bajos con espectro de forma gaussiana,  $T$  es el periodo de bit y  $B_N=B_b \cdot T$  es el ancho de banda normalizado, para un filtro con ancho de banda de  $B_b=1000$  y una tasa de bit de  $T=1/2000$ , se tiene un ancho de banda normalizado

$B_N=B_b.T =0.5$ . La respuesta al impulso del filtro pasa-bajo gaussiano tiene que ser truncado y escalado, de acuerdo con el valor  $B_N$ .



**Figura. 3.146.** Respuesta truncada y escalada del filtro gaussiano pasa-bajos

### 3.3.3 Propiedades

- Es una modulación con envolvente constante, lo que facilita el diseño de los amplificadores de potencia.
- Es altamente eficiente en ocupación de espectro debido a que es una modulación con una fase de evolución continua.
- Permite ser utilizada en términos de bajo coste; ya que requiere esquemas de detección muy simples.

### 3.4 DETERMINACIÓN DEL ESQUEMA DE MODULACIÓN

Las tres técnicas de modulación mencionadas en este capítulo no son las únicas que pueden ser empleadas en comunicaciones PowerLine, sin embargo, presentan características que las hacen aptas al momento de enfrentarse a un medio de transmisión tan hostil y cambiante en el tiempo como son las redes de tendido eléctrico. En la Tabla. 3.1, se presenta un resumen con las principales características de cada esquema de modulación, así como se hace referencia a los parámetros y requerimientos del sistema al momento de emplear uno de dichos esquemas.

GMSK es altamente eficiente en ocupación de espectro, característica fundamental que OFDM alcanza mediante el envío de una señal de alta velocidad concurrentemente sobre frecuencias diferentes. En el caso de DSSSM el uso del ancho de banda está comprometido por el hecho de que se requiere una señal código que es de mayor ancho de banda que la de información.

En GMSK la interferencia intersímbolo (ISI) incrementa debido a que el filtro de premodulación es estrecho, contrario a OFDM en la que ISI es eliminada casi completamente a causa de introducir un tiempo de guarda en todos los símbolos OFDM. El hecho de que ISI pueda ser casi totalmente facilita para que el sistema pueda tener una alta efectividad y eficiencia más aún al trabajar con tasas altas de transferencia de datos.

Otro aspecto importante yace en la capacidad de afrontar los retardos de señal producidos por múltiples trayectorias que recorre la señal de información previo a llegar a su destino. DSSSM, rechaza la interferencia multicamino y lo realiza a través del uso de la función de autocorrelación entre la señal original y las réplicas retardadas de la misma. En OFDM se presenta una disminución de la cantidad de dispersión relativa en el tiempo provocada por “multipath delay spread”.

Dadas las características del medio de transmisión a ser empleado, y con el objetivo planteado en la tesis de lograr tasas de transferencia de datos de aproximadamente 10[Mbps] se considera que el esquema de modulación OFDM es el más adecuado, las razones principales radican en el hecho de que:

- Combate eficientemente el ruido impulsivo, el mismo que se produce por el encendido y apagado de dispositivos eléctricos conectados a la red de distribución eléctrica, y ocurre a la frecuencia de la red (50-60 [Hz]) o armónicos superiores, causando pérdidas de información.
- Al enviar una señal de alta velocidad concurrentemente sobre frecuencias diferentes, permite hacer un uso muy eficiente del ancho de banda (alta eficiencia espectral) y tener una comunicación robusta al enfrentar reflejos de señales (multipath delay spread).
- Por emplearse varias subportadoras, una pequeña cantidad del dato es llevada en cada subportadora, y por esta disminución de la tasa de bit por subportadora, la influencia de ISI es reducida significativamente.
- En las comunicaciones PowerLine, tan importante como conseguir una alta eficiencia espectral de transmisión es el hecho de obtener una tasa de error de bit (BER) pequeña; requerimiento que OFDM lo cumple.
- Estudios y pruebas de esta técnica de modulación, muestran que OFDM es una técnica viable para la transferencia de datos a través de la red eléctrica, y permite obtener tasas de transmisión altas (200 [Mbps] en el caso de DS2).

<u>ESQUEMA DE MODULACIÓN</u>	<u>CARACTERÍSTICAS</u>	<u>PARÁMETROS</u>	<u>CONDICIONES DEL SISTEMA</u>
<b>OFDM</b>	<p>Disminución de la cantidad relativa de dispersión en el tiempo provocada por " multipath delay spread".</p> <p>ISI es eliminada casi completamente al introducir un tiempo de guarda en todos los símbolos OFDM.</p> <p>Combate eficientemente tanto el ruido impulsivo como el "multipath delay spread".</p> <p>Elimina la necesidad de equalizadores complejos.</p>	<p>Número de subportadoras.</p> <p>Tiempo de guarda.</p> <p>Duración de símbolo.</p> <p>Espaciamento entre subportadoras.</p> <p>Esquema de modulación por subportadoras.</p>	<p>Ancho de banda disponible</p> <p>Tasa de bit requerida</p> <p>Delay Spread tolerable</p>
<b>DSSSM</b>	<p>Rechazo de interferencia multicamino.</p> <p>Rechazo de interferencia de banda-estrecha.</p> <p>Mejora significativa en cuanto a la selectividad en frecuencia del canal por utilizar todo el ancho de banda.</p> <p>La generación de la señal codificada es fácil de implementar, puede ser alcanzado por una simple multiplicación.</p> <p>Ya que solamente una frecuencia de portadora debe ser generada, el generador de portadora es simple.</p> <p>Ninguna sincronización entre los usuarios es necesaria.</p> <p>Es difícil lograr y mantener la sincronización de la señal de código generada localmente y la señal recibida. La sincronización debe ser mantenida dentro de una fracción de tiempo de chip.</p> <p>Para una recepción correcta, el error de sincronización de la secuencia de código generada localmente y la secuencia de código recibida debe ser muy pequeña, una fracción del tiempo de chip.</p>	<p>Tasa de chip de la señal código</p> <p>Ganancia del proceso (Gp)</p> <p>Esquema de modulación para la señal código.</p>	<p>Ancho de banda disponible</p>
<b>GMSK</b>	<p>Es una modulación con envolvente constante, lo que facilita el diseño de los amplificadores de potencia.</p> <p>Es una modulación con una fase de evolución continua, lo que la convierte en altamente eficiente en ocupación de espectro.</p> <p>Permite ser utilizada en términos de bajo coste; ya que requiere esquemas de detección muy simples.</p> <p>El ancho de banda del sistema está definido por el ancho de banda del filtro de premodulación B y el periodo de bit de la señal moduladora T.</p> <p>ISI es introducido por el paso de los datos por el filtro con respuesta al impulso de forma Gaussiana.</p> <p>ISI incrementa por el compromiso entre BER e interferencia fuera de banda ya que el filtro es estrecho.</p> <p>Hay dos métodos para generar GMSK, una es modulación FSK, la otra es modulación QPSK.</p>	<p>Índice de modulación.</p> <p>Ancho de banda del filtro pasa bajos gaussiano (Bb).</p> <p>Tasa de bit.</p> <p>Frecuencia de portadora usada como modulador.</p>	<p>Ancho de banda disponible</p>

**Tabla. 3.1. Descripción de los esquemas de modulación**

## CAPITULO 4

### EL PUERTO PCI Y USB

#### 4.1 PUERTO PCI.

##### 4.1.1 Generalidades.

La principal propiedad del bus <sup>3</sup>PCI es la independencia de procesador, ya que entre la CPU y el PCI siempre se instala un controlador de este tipo de bus. El PCI contiene: un bus de alimentación, con las líneas +5, +3.3, +12 y -12 [V]; un bus multiplexado de direcciones; un bus de datos y un bus de control que incluye cuatro líneas de interrupciones, una de presencia de tarjeta, y líneas de control y test.

Las principales características de la especificación PCI, son :

- Proporciona al software la transparencia de comunicación con la placa, esto implica que, el software escrito solo depende del direccionamiento utilizado y no del tipo de bus. Acepta hasta 256 dispositivos funcionales por bus.

---

<sup>3</sup> PCI - "Peripheral Component Interconnect" significa: Interconexión de Componentes Periféricos

- Prevé la interconexión de hasta 256 buses jerarquizados, aislados eléctricamente unos de otros, a través de circuitos especiales, denominados "Puente PCI-PCI".
- Todas las lecturas y escrituras son realizadas en modo ráfaga, lo que implica una tasa de comunicación próxima a 132 [MB/s] (33 [MHz] y 32 bits), 264 [MB/s] (33 [MHz] y 64 bits) o 528 [MB/s] (66 [MHz] y 64 bits).

#### 4.1.1.1 Transacciones

Los mecanismos de transferencias adoptados por el PCI son denominados de transacciones. Conceptos asociados a las mismas son:

- **Iniciador:** dispositivo que inicia una transacción, genera las señales de direcciones, comando y control para que sea solicitada al alvo la realización de una transacción.

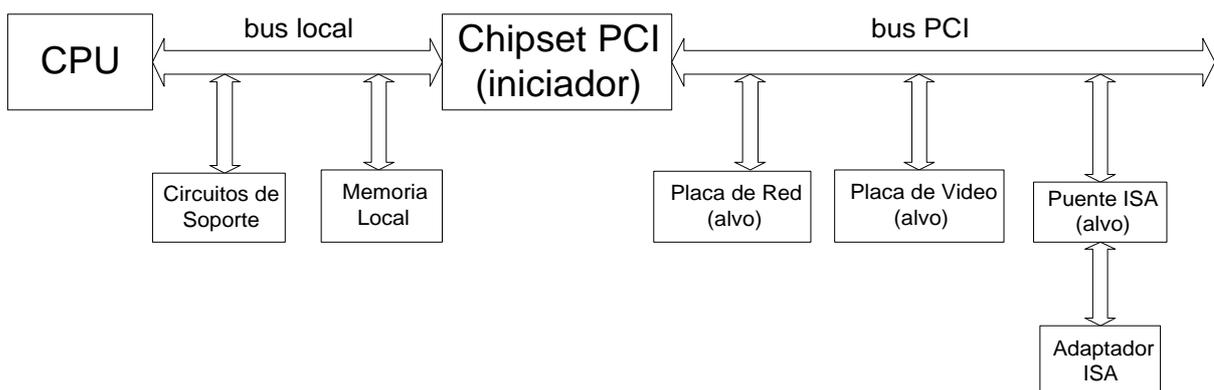


Figura. 4.1. Esquema con iniciador y alvos en un computador PCI compatible.

- **Alvo:** dispositivo que recibe las direcciones y el comando generados por el iniciador, decodifica el comando y participa de la transacción, enviando ó recibiendo datos.

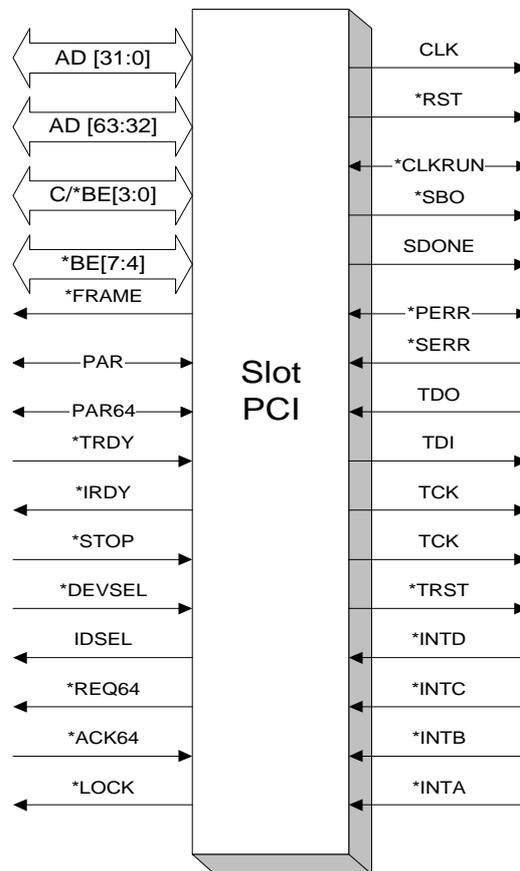
- **Puente PCI-PCI:** circuito capaz de intercambiar información entre dos buses PCI independientes (aislados eléctricamente).
- **Ráfaga:** una transferencia por ráfaga consiste en una única fase de direcciones, donde es definida la dirección inicial del área de datos a ser accesada, y en sucesivas fases de datos, cuando son transferidos los datos propiamente dichos.
- **Fase de Direcciones:** toda transacción vía PCI es iniciada con la fase de direcciones, en la que el iniciador transmite una dirección para que se identifique que dispositivo alvo participará de la transacción, y así definir el tipo de operación a realizarse.
- **Fases de datos:** luego de definir la dirección inicial y el tipo de transacción, los datos son transmitidos del iniciador para el alvo (transacción de escritura), ó del alvo para el iniciador (transacción de lectura). Pueden haber varias fases de datos.
- **Fin de la transacción y estado ocioso (Idle):** la última transferencia de una transacción es indicada por parte del iniciador; luego, el bus entra en un estado ocioso, denominado "idle".

#### 4.1.2 Descripción de pines del Slot PCI.

Los slots PCI estándar (5 [V], 33 [MHz] y 32 [bits]), se encuentran presentes en la mayoría de los PCs. Los de 3.3 [V] tienen la ranura de polarización en la mitad inicial (donde está la línea 1) en vez de al final.

Los conectores PCI de 64[bits] son construidos añadiendo un segundo zócalo a continuación del estándar (de 32[bits]). La separación entre ambos funciona como una segunda llave de polarización; el conjunto presenta un 50% más de longitud que el de 32[bits]; esta extensión funciona siempre a 3.3[V]. Cabe indicar que algunas placas-base etiquetan el conector PCI de 64[bits] como "Media connector".

La siguiente figura es un esquema simplificado de las señales de interfaz del slot PCI. Para información detallada de las señales del slot PCI, se sugiere revisar el contenido de la referencia bibliográfica [38].



**Figura. 4.2.** Esquema que indica la dirección de todas las señales de interfaz del slot PCI.

El PCI utiliza un conector tipo "Micro Channel" de 124 pines o, de 188 pines para una implementación de 64 bits; sin embargo, solo 47 de estas conexiones son utilizadas en una tarjeta de expansión y 49 si se trata de un adaptador "bus-master".

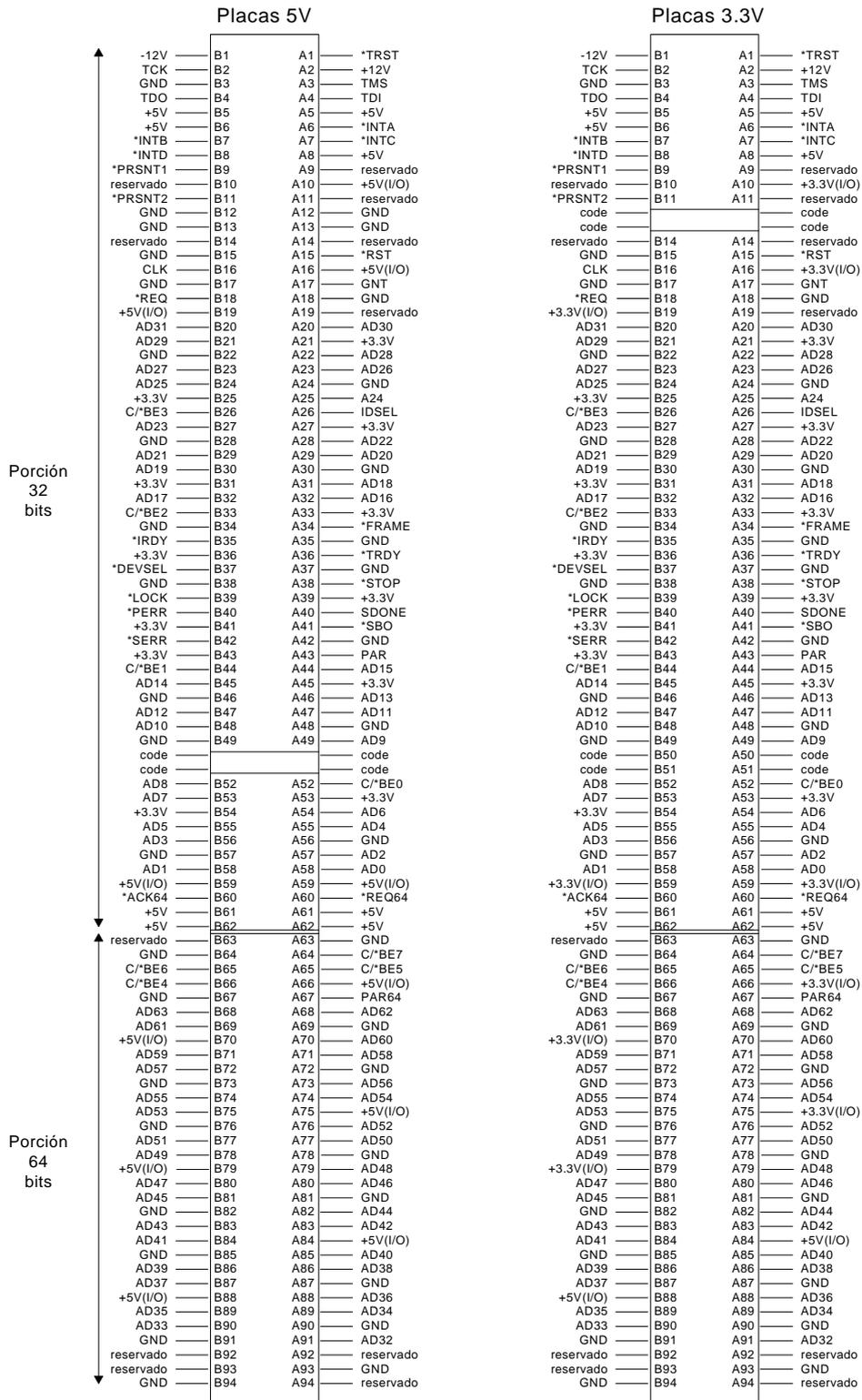


Figura. 4.3. Distribución de pines de los slots PCI.

Cada una de las señales activas del bus PCI están junto o frente a una señal de alimentación o de tierra, ya que se considera que es una técnica que minimiza la radiación.

#### 4.1.2.1 Señales para la extensión a 64 Bits

Las señales son: AD[63:32] “bus/puerto multiplexado de datos y direcciones”, bidireccionales; C/\*BE [7:4] "Byte Enable", salidas; PAR64 "Parity", bidireccional; \*REQ64 "Request 64 bits transaction", salida; \*ACK64 "Acknowledge 64[bits] transaction", entrada. En el diseño de un adaptador PCI, se deben utilizar resistores de "pull-up" para las señales \*TRDY, \*STOP, \*DEVSEL, \*PERR y \*ACK64, esto evita fluctuaciones en el bus.

#### 4.1.2.2 Implementación de un Prototipo PCI

Para lograr el sincronismo de las operaciones a ser efectuadas a causa de una transacción, las siguientes acciones son absolutamente necesarias en cualquier prototipo:

- Monitorear la señal \*FRAME. Capturar la dirección generada por el iniciador.
- Decodificar la parte más significativa de la dirección capturada.
- Al tratarse de un comando apropiado, el adaptador debe activar la señal \*DEVSEL, para informar al iniciador que el dispositivo será el alvo de la transacción.
- Decodificar la parte menos significativa de la dirección para seleccionar que registro será operado por la transacción.
- Capturar el comando generado por el iniciador.
- Decodificar el comando capturado para verificar el tipo de operación a ser efectuada.
- Controlar la generación de las señales de lectura y escritura de los registros.

### 4.1.3 Comandos.

En las transacciones es necesario distinguir si se trata de escritura o lectura, si es ciclo de I/O o memoria. Las líneas C/\*BE[3:0] transmiten un código de comando durante la fase de direcciones, este es capturado vía la señal LOAD y lo deja disponible para un decodificador, que indicará el tipo de transacción (lectura, escritura, etc.).

C[3:0]	Tipo de Comando
0 0 0 0	Reconocimiento de interrupción
0 0 0 1	Ciclo especial
0 0 1 0	Lectura en I/O
0 0 1 1	Escritura en I/O
0 1 1 0	Lectura en memoria
0 1 1 1	Escritura en memoria
1 0 1 0	Lectura en el espacio de configuración
1 0 1 1	Escritura en el espacio de configuración
1 1 0 0	Lecturas múltiples en la memoria
1 1 0 1	Doble ciclo de direccionamiento
1 1 1 0	Lectura en línea en la memoria
1 1 1 1	Escritura en la memoria e invalidación
0 1 0 0, 0 1 0 1, 1 0 0 0, 1 0 0 1	Reservados

Tabla. 4.1. Tipos de comandos.

#### 4.1.3.1 Reconocimiento de Interrupción.

Cuando un dispositivo PCI genera un pedido de interrupción, es necesario indicar que IRQ debe ser activada en el controlador de interrupciones del PC.

IRQ	Número de interrupción
IRQ3	0Bh
IRQ4	0Ch
IRQ5	0Dh
IRQ6	0Eh
IRQ7	0Fh
IRQ9	71h
IRQ10	72h
IRQ11	73h
IRQ12	74h
IRQ14	76h
IRQ15	77h

Tabla. 4.2. Número de interrupción asignado para cada IRQ.

### 4.1.3.2 Consideraciones sobre Implementaciones

La complejidad para implementar las funciones básicas de un adaptador es extrema, por lo menos se debe diseñar:

- El espacio de configuración, compuesto por 64 registros de 1 [Byte].
- La lógica de decodificación de direcciones.
- La lógica de sincronismo.
- La lógica de control de paridad.
- La lógica de manipulación de interrupciones.

Para este fin se presentan tres alternativas:

- Escribir en VHDL (lenguaje para descripción de hardware) un circuito que realice las cinco funciones básicas, más la lógica principal del adaptador y construir un chip VLSI con esta descripción.
- Utilizar un chip que contenga las funciones básicas y que proporcione una interfaz amigable y simplificada; en este caso, resta implementar por separado la lógica principal. A este tipo de chip se lo llama puente ó “bridge”.
- Integrar el “bridge” y los circuitos principales en un controlador programable, como un FPGA ("Field Programmable Gate Array"). En tal caso, se debe adquirir uno núcleo ("core") que es compuesto por un archivo y un soporte extra de software para configurar un FPGA.

#### 4.1.4 Puente Maestro y Esclavo

Básicamente, existen dos tipos de puentes:

- **Maestro.** Actúa como iniciador de transacciones, por ende, controla las señales PCI y permite la comunicación con otros dispositivos de interfaz PCI.
  
- **Esclavo.** Actúa como alvo de transacciones, por ende, se conecta a un bus PCI existente y ofrece un conjunto simplificado de señales de interfaz para la lógica principal del circuito que en ese caso, es un adaptador de expansión.

## 4.2 PUERTO USB.

### 4.2.1 Generalidades.

El Puerto Serial Universal, permite una expansión externa del PC de hasta 127 dispositivos y aprovechar los beneficios de la arquitectura “plug and play”. Utiliza un conector universal que permite instalar y remover periféricos sin tener que abrir el computador.

Las características mas importantes son la compatibilidad universal y simplicidad en el proyecto de periféricos; proporciona la alternativa de utilizar módems externos de gran velocidad sin el empleo de placas de red. Puede ser usado con la mayoría de los periféricos de PCs, tales como: controladores de vídeo, joysticks, unidades de disco flexible externos, scanners o impresoras.

#### 4.2.1.1 Drivers para la instalación del USB.

La arquitectura USB se forma por un Host y dispositivos USB a el conectados. El sistema USB se compone de varios niveles de hardware y software (Figura 4.4). Primero, una aplicación requiere el acceso a un periférico USB igual que los periféricos comunes: llamada a funciones de la API<sup>4</sup>.

En un segundo paso, la API llama a rutinas del driver Cliente del periférico USB instalado; este driver traduce los comandos de la API a comandos USB. El driver Cliente es generalmente parte del sistema operativo o viene para ser instalado junto con el dispositivo USB.

El driver USB (USBD), la tercera capa de software, proporciona al sistema operativo el soporte al USB. La cuarta capa es el driver del controlador HOST (HCD), que forma parte del Kernel del sistema operativo, provee el nivel de software entre el hardware del controlador HOST y el USB; esta capa realiza los accesos de I/O necesarios para la operación del dispositivo USB. El HCD interpreta las llamadas del USB y construye una lista de estructuras, un descriptor de transferencias, una fila principal y un buffer de datos para el controlador HOST.

Respecto a las dos capas de hardware, la primera es el Controlador HOST (HC), que es el circuito donde se hacen las conexiones de todos los dispositivos USB. Este circuito ejecuta electrónicamente los comandos programados por el HCD, además de registrar el estado de las transacciones del USB. Su operación es administrada por el HCD. La segunda capa de hardware está constituida por el conjunto de Dispositivos USB conectados, que son los periféricos que usan ese tipo de puerto.

---

<sup>4</sup> API: Application Programming Inter face.

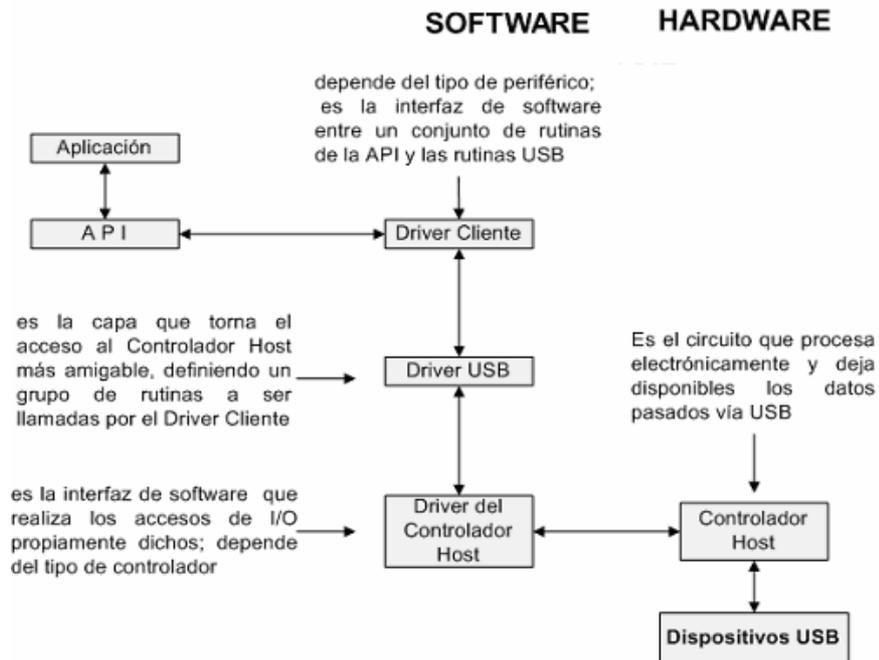


Figura. 4.4. Capas de software necesarias para la comunicación vía USB.

Al conectar un dispositivo durante la ejecución de la aplicación, el controlador HOST detecta la conexión y envía un mensaje al HCD, el cual hace la misma notificación al driver USB (USBD), este inicializa el driver cliente del periférico conectado tornándolo operacional, de forma que el aplicativo ya pueda disponer de sus recursos.

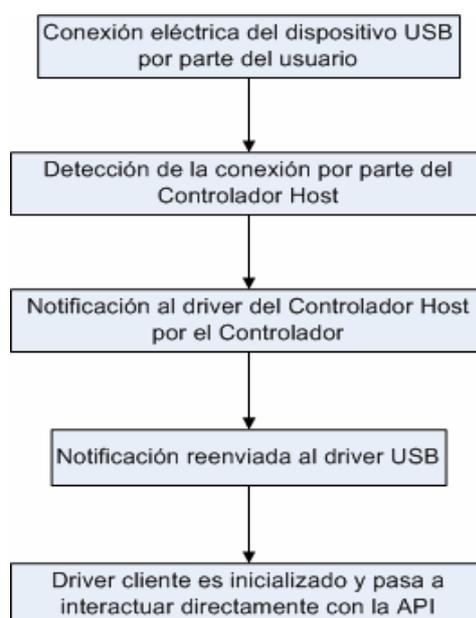


Figura. 4.5. Secuencia de eventos desde la conexión de la placa hasta la inicialización de los drivers.

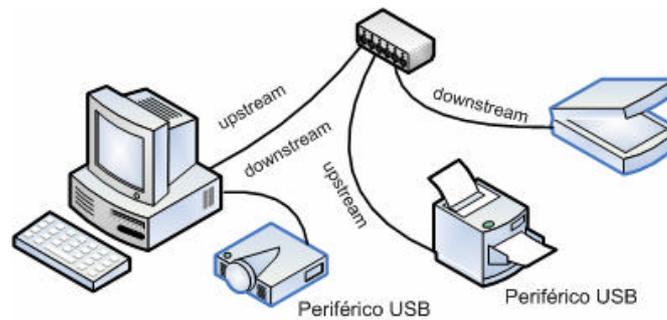
### **4.2.1.2 Características de operación.**

El USB es un patrón de interfaz con características no presentes en ISA/PCI/AGP, como:

- Conexión de periféricos sin tener que abrir el gabinete del computador. Adición de dispositivos "on the fly" (con el sistema corriendo aplicaciones).
- Ofrece un tipo único de conector, simple y barato. Acepta hasta 127 interfaces, contra un máximo de 10 de los patrones anteriores.
- Implementa control interno de consumo de energía, donde el periférico USB automáticamente se desconecta, cuando estuviere ocioso.
- Especifica un protocolo de comunicación con detección y supresión automática de errores de transmisión.

### **4.2.1.3 Topología de conexión.**

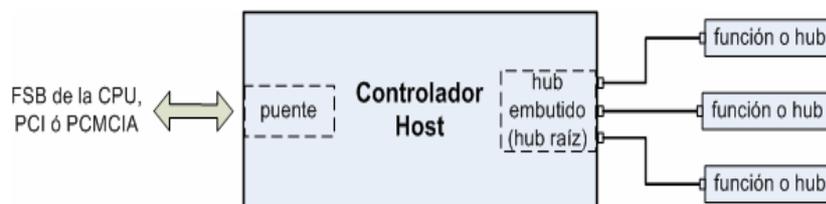
Un ejemplo básico de la topología de una red de dispositivos conectados vía USB se ilustra en la siguiente figura. Un PC con recurso para USB contiene un circuito llamado Controlador Host, que debe recibir la conexión de uno o mas periféricos USB, en un hub embutido o hub raíz, e implementar un puente entre estos periféricos y uno de los puertos implementados por el chipset del computador, que puede ser el puerto frontal (FSB-Frontal Side Bus) del procesador, el PCI o el PCMCIA.



**Figura. 4.6.** Ejemplo de topología, resaltando las conexiones de dispositivos USB.

El flujo de datos que llega al Controlador Host es llamado de “upstream”, mientras que el flujo de datos que sale es llamado de “downstream”.

El hub debe aceptar la conexión de periféricos USB, llamados *funciones*, tal que todos ellos puedan intercambiar información con el Controlador Host. Para expandir la red USB se deben conectar sucesivamente hubs, hasta un máximo de 127 dispositivos, donde cada dispositivo puede contener hasta 16 dispositivos de jerarquía menor, llamados *endpoints*.



**Figura. 4.7.** Esquema envolviendo el Controlador Host.

#### 4.2.2 Descripción de Pines.

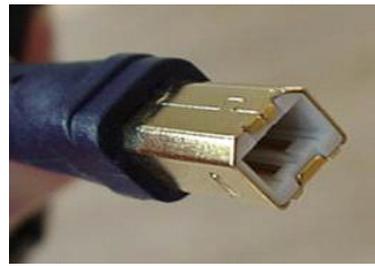
En la comunicación USB, se usa un cable blindado, para evitar irradiaciones electromagnéticas, con cuatro conductores: Vbus, D+, D- y GND. La señal Vbus provee la alimentación para los dispositivos USB, así que estos no necesitan de fuentes propias. El intercambio de información se produce vía diferencia de tensiones de las señales D+ y D-.

Los dos terminales del cable poseen conectores diferentes para upstream y downstream; los conectores son del tipo ficha y receptáculo, pudiendo ser del tipo “A-Macho” o “B-Macho”. Los receptáculos, se presentan en cuatro variantes: vertical, en ángulo recto, panel y apilado en ángulo recto así como para montaje pasamuros.

Los conectores de la serie A, tienen los cuatro contactos físicamente alineados en un mismo plano; son empleados en dispositivos en los que el cable externo, está permanentemente unido a los mismos (hubs, teclados, mouse, etc.). Los conectores de la serie B, tienen los contactos ubicados en dos planos paralelos, dos en cada plano; se emplean en dispositivos que requieren tener un receptáculo al cual poder conectar un cable USB (módems, impresoras, scanner, etc.).

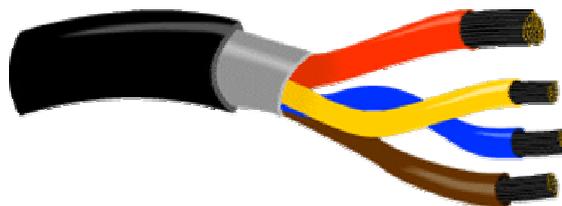


**Figura. 4.8. Conector A-Macho**



**Figura. 4.9. Conector B-Macho**

El cable blindado, con una impedancia diferencial de 90[? ], es apantallado para transmisiones de 12[Mbps] y no apantallado para transmisiones de 1.5[Mbps]. El calibre de los conductores usados para la alimentación está en el rango de 20 a 26[AWG], mientras que el de los conductores de señal es de 28[AWG], debiendo estos últimos ser trenzados o no según la velocidad de transmisión.



**Figura. 4.10. Distribución de hilos dentro de un cable USB**

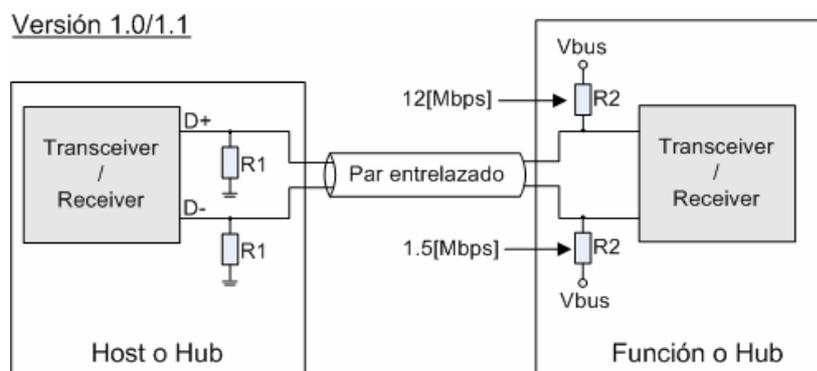
La distribución de hilos dentro del cable USB está dada de la siguiente forma:

- 2 hilos para alimentación: +5[V] (rojo) y tierra (café)
- 2 hilos para datos: amarillo y azul

En la siguiente figura, se nota la presencia de resistores de pull-up cuya configuración cambia dependiendo de si se trata de alta o baja velocidad. En la especificación 1.0/1.1, un pull-up en D+ indica operación a 12[Mbps], mientras que un pull-up en D- indica operación a 1.5[Mbps].

Cuando no existe función conectada al hub, los resistores de pull-down llevan a D+ y D- a un valor menor que el de una tensión de umbral para la detección de la presencia del dispositivo. Si esa condición persistiere por mas de 2.5[ $\mu$ s], es caracterizada la desconexión del dispositivo.

De acuerdo con la especificación 1.0/1.1, una función puede drenar hasta 100[mA] por el cable USB. Para permitir la tasa de 12[Mbps], la especificación prevé también un tamaño máximo de cable igual a 5[m].



**Figura. 4.11.**Esquema físico de las señales USB, especificación 1.0/1.1. Valores típicos de resistores:  
R1=15K $\Omega$  y R2=1,5K $\Omega$  .

La especificación 2.0 del puerto USB contempla una posible comunicación a una tasa de 480[Mbps]. Cuando se desea pasar de 12[Mbps] a 480[Mbps], el periférico debe desconectar su resistor de pull-up, de forma que permanezca en estado SE0 cuando estuviere “idle” de acuerdo con lo mostrado en la siguiente figura.

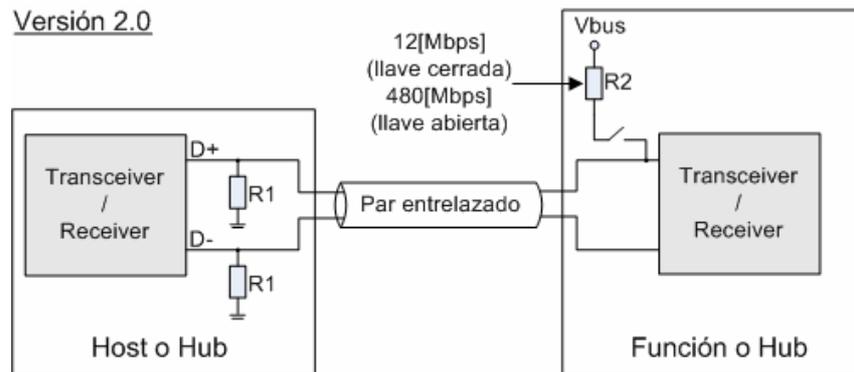


Figura. 4.12. Esquema físico para un enlace a 12[Mbps] o 480[Mbps], especificación 2.0

### 4.2.3 Comunicación Serial.

Las señales D+ y D- son responsables de la comunicación serial entre el periférico y el hub, la especificación USB define 3 estados lógicos:

ESTADO	D+	D-
J	alto	bajo
K	bajo	bajo
SE0	bajo	bajo

Tabla. 4.3. Estados lógicos de las señales USB

Cuando no existe actividad en el puerto ("idle") estará en estado J, ya que, por R1 ser mucho mayor que R2, el divisor resistivo  $\{V_{bus} \times R_2 / (R_1 + R_2)\}$  hace que D+ se

mantenga con un valor muy próximo a  $V_{bus}$ . Además, el resistor de "pull-down" en D- garantiza que esta señal permanezca en tensión cero. En el caso de no haber dispositivo conectado, los dos resistores de pull-down garantizan un estado SE0 en el puerto.

La comunicación entre dos terminales USB se realiza mediante transacciones, que son constituidas por la transmisión de conjuntos de paquetes. El primer paquete es siempre iniciado por un hub (el raíz o un externo) y dependiendo del tipo de transacción, los paquetes siguientes pueden ser iniciados tanto por un hub o por una función.

Un paquete tiene mínimo tres campos: sincronismo (SYNC), identificación del tipo de paquete (PID) y fin de paquete. Dependiendo del tipo de paquete, otros campos de datos (hasta 1.024[Bytes]) pueden ser transmitidos.

#### **4.2.3.1 Tipos de Paquetes**

La especificación 2.0 del USB contempla 9 identificadores de paquetes, los mismos que a su vez pueden ser de tres tipos: token, data y handshake. Los identificadores de paquete son: SOF (Start of Frame), Setup, IN, OUT, DATA1, DATA0, ACK, NAK y STALL.

#### **4.2.3.2 Tipos de Transacciones**

El tipo de transacción es escogido en la inicialización de la función y debe siempre ocurrir dentro de un cuadro de tiempo de 1[ms] marcado por dos paquetes SOF. Existen 4 tipos de transacciones: Interrupt (interrupción), Bulk (tamaño), Isochronous (isócrono) y Control.

### 4.2.3.3 Proceso de numeración

Es la designación dada al mecanismo de configuración de las funciones y hubs conectados al hub raíz, está compuesto por transacciones del tipo control. El proceso de enumeración se realiza de la siguiente forma:

- La función, inicialmente en un estado de desconexión, es insertada en un conector downstream, pasando a fijar un estado llamado de "alimentación".
- El hub raíz detecta eléctricamente y actualiza su registro STATUS\_CHANGE, caracterizando el inicio del proceso de enumeración.
- El Controlador Host inicia una serie de mensajes del tipo PC Host Request, direccionadas una para el hub y otra para la función.
- Finalmente se debe mencionar que la función transmite informaciones de sus características a través de descriptores. Los descriptores son: descriptor de dispositivo, descriptor de configuración, descriptor de interfaz, descriptor HID y descriptor de Endpoint,

## **CAPITULO 5**

### **ADMINISTRACIÓN DE HARDWARE BAJO EL SISTEMA OPERATIVO WINDOWS.**

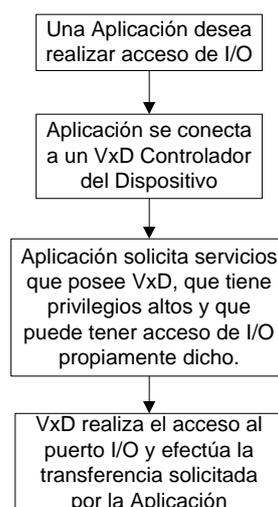
En este capítulo se va a explicar, de modo general, la forma especial que tiene el Sistema Operativo Windows para administrar dispositivos periféricos que se conectan en los distintos puertos de un computador personal, ya sea: PCI, USB, Serial, Paralelo, infrarrojo, etc. Este capítulo además permitirá comprobar la hipótesis de que Windows, en una manera estándar, implementa algunas de las capas del Modelo OSI, en sus funciones de comunicación; posibilitando así el establecer las capas que se incluirán para el diseño de los dispositivos propuestos en esta tesis. Por otro lado se mostrará en que parte intervienen los drivers o controladores, que vienen con los dispositivos como: tarjetas de red ethernet, impresoras, scanner, mouse, etc.

#### **5.1 GENERALIDADES.**

Windows en los últimos años ha logrado ser el sistema operativo más versátil y sobre todo fácil de usar. Saber como funciona un Sistema Operativo, es una tarea muy interesante pero a la vez difícil y compleja, solo requiere tiempo para estudiarlo y además tener una mente muy analítica para entender y asimilar la lógica con la cual se arman estos complejos esquemas.

Windows en sus inicios, con Windows 3.11, funcionaba heredando las funciones de DOS, así que se concluye que trabajaba en modo real. Los drivers o controladores para hardware en ese tiempo, tenían las extensiones “\*.sys” y las interrupciones eran mapeadas por la BIOS (Basic Input Output). Cuando se desarrolló Windows 95, ya estaban en boga los procesadores 80386 con bus de 32[bits], los cuales soportaban modo protegido. El modo protegido distingue niveles de privilegios, así que se crearon nuevos drivers o controladores para hardware que soporten este modo, tomando la extensión “\*.vxd”. VxD en español se traduce como “Controlador Virtual de Hardware”. Con esta idea aparece el término Máquina Virtual definida como: “Una ilusión para una aplicación, de estar manejando u operando un computador completo, con su propio video, mouse, teclado, etc”, por lo que en ese tiempo ya aparece el principio de operar varias máquinas virtuales compartiendo una misma máquina física, que es el principio de los sistemas operativos multitarea. Un VxD goza de niveles de privilegios altos debido a que se carga al mismo tiempo que el kernel del sistema operativo (Modo Estático), el cual se hace en modo real.

Así, en un computador que tenga el sistema operativo Windows, existe un archivo VxD que controla cada dispositivo de hardware de una computadora. Con estos principios se tuvo que crear una nueva administración del acceso a la memoria, a los puertos y una nueva forma de tratar las interrupciones (Tabla de Descriptores de Interrupciones - IDT).



**Figura. 5.1. Eventos que ocurren cuando una aplicación usa un VxD para acceder al hardware.**

Cuando una aplicación ejecutada en Windows, desea acceder al hardware, esta lo hace mediante un VxD el cual tiene los privilegios necesarios para controlar el Hardware físicamente, como se muestra en la Figura 5.1.

Varios VxDs existen para ofrecer servicios dentro del sistema operativo como: VMM (Virtual Machine Management), VM86MGR Administrador de Memoria y VPICD Administrador de Interrupciones, como lo muestra la Figura 5.2. Los actuales Sistemas Operativos como Windows Me, 2000, Xp, son diseñados para que los VxD de cada dispositivo de hardware del computador ya no solo se carguen con el kernel del sistema operativo, en modo real, sino cuando esté operando en modo protegido y ya se haya cargado todo el sistema operativo en el computador (Modo Dinámico). Este permite una conexión instantánea de los dispositivos periféricos.

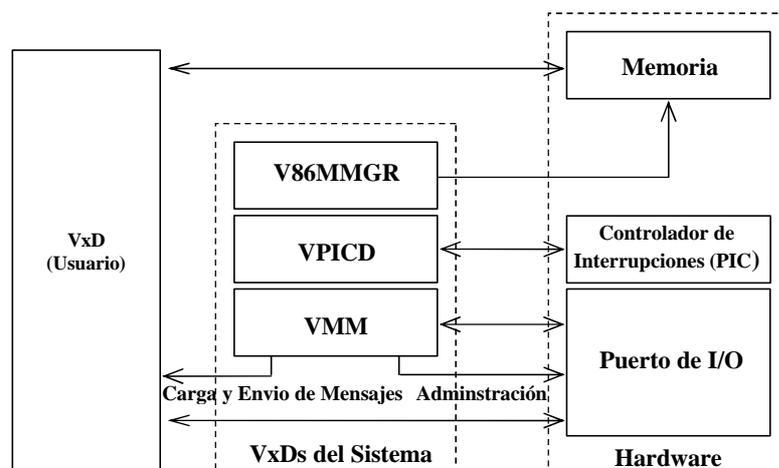


Figura. 5.2. Relación entre VxD de Usuario y VxD del Sistema.

Windows con esta lógica de acceso a los dispositivos, ha logrado determinar partes comunes, en el código de programación de un VxD, que tienen los dispositivos periféricos. Esto ha logrado forzar una estandarización en el diseño de los mismos, surgiendo así interfaces para el acoplamiento VxD y Dispositivo Físico; que conlleva un orden estricto de una serie de procedimientos de inicialización, operación y desactivación en algunos dispositivos (Stand by).

Un ejemplo común es el mouse, existen muchas marcas de este dispositivo pero por esta estandarización Windows lo reconoce y lo instala sin importar el fabricante. La proyección de esto al futuro, es que todos los dispositivos periféricos, tengan esta misma tendencia, como la tienen ciertas tarjetas de red, cd-roms, tarjetas de video, módems.

Con este preámbulo, se observará como es la lógica de funcionamiento que tiene el conjunto de VxDs involucrados en los dispositivos de comunicaciones. Así se aprenderá a reconocer al sistema operativo Windows como un sistema de comunicaciones. Todo esto es necesario conocerlo, por el propósito de diseñar un dispositivo de comunicaciones para Windows, así que el VxD del dispositivo de comunicaciones, en un modo general, permitirá al hardware del dispositivo comunicarse con otros VxDs. Ahora, es necesario conocer las definiciones que tiene Windows con respecto a las capas del Modelo OSI, con el objetivo de ubicar las capas que intervienen el diseño de los dispositivos propuestos.

La Capa Física (modelo OSI) comprende el dispositivo físico en sí, en nuestro caso es la parte que funcionará como transceiver. Posee un nivel bajo de inteligencia, en ciertos casos, por ejemplo en una tarjeta ethernet, el software de bajo nivel comprendería el como se divide los datos seriales en paquetes, esto por que no posee ningún tipo de modulación, ya que se envía y recibe datos en banda base. Cuando existe modulación, el software que opera debe ser más robusto. Por ejemplo para la modulación OFDM, se necesita un software que valide operaciones como la transformada rápida de Fourier (FFT), para modular y demodular los bits que llegan a esta capa, para poderlos enviar por el medio físico, en nuestro caso corresponde a la línea eléctrica.

La capa de enlace se constituye por dos subcapas: LLC (Logical Link Control) y MAC (Media Access Control). La LLC, es la responsable de establecer y terminar los enlaces lógicos, controlar el flujo de los frames, frames de secuencia, frames acknowledge y retransmisión de frames unacknowledge. La LLC usa la transmisión y retransmisión de frames acknowledge, para soportar un enlace libre de error a las capas superiores. La MAC, administra el acceso al medio de red, además, verifica los errores en los frames y reconoce las direcciones de los frames recibidos.

En Windows 98/Me/NT2000/XP, la LLC está incluida en el driver del dispositivo, el cual se lo conoce comúnmente como NIC Driver, pero según la terminología de Windows, se lo denomina Transport Driver. La MAC se encuentra implementada en la tarjeta de red, o sea, existe algún sistema microprocesado que controle las funciones de la MAC.

La capa de red y la capa de transporte como la LLC están implementadas en el Transport Driver, que a veces se los refiere como protocolos, Drivers de protocolo y Módulos de protocolo. Por ejemplo Windows incluye Transport Drivers como TCP/IP, IPX/SPX, NETBEUI y Apple Talk.

Las capas superiores: Sesión, Presentación y Aplicación, están implementadas por las aplicaciones que se encuentra instaladas junto al sistema operativo; las cuales pasan la información a los transport drivers, luego estos la procesan para poder ser enviadas a otro equipo que se encuentre en la red.

En modo muy general existen dos tipos de NIC Drivers: los Miniport Drivers y los Full NIC Legacy Drivers. Los Miniport Drivers, poseen una estructura sencilla en su software; se valen de otros drivers para cumplir sus procesos comunicativos. El Full NIC Legacy Driver, es un poco más complejo en su estructura, este driver es implementado para hardware que requiere atención específica en sus operaciones. A este tipo de driver pertenece el transport driver, y su función es más autónoma con respecto a los Miniport Drivers.

Con toda la información anterior se concluye que, Windows implementa desde la capa 8 hasta la subcapa LLC de la capa 2 del modelo OSI, así que el diseño de nuestro dispositivo comprenderá la subcapa MAC de la capa 2 y la capa 1 del modelo OSI. Además, se requerirá obtener el driver para los dispositivos, que van hacer diseñado en esta tesis.

---

## CAPITULO 6

### DISEÑO

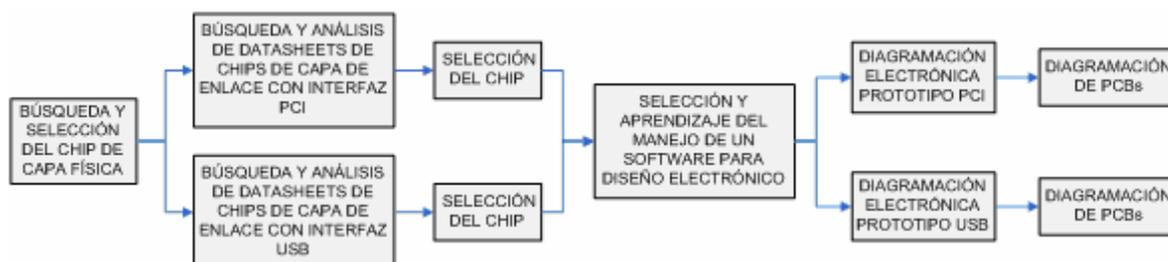
Del estudio del medio de transmisión (Capítulo 2), se determinó que la línea eléctrica es un medio hostil para transmitir/recibir datos, sin embargo, se estableció que existen técnicas de modulación (Capítulo 3) robustas que permiten que los datos viajen seguros a través de este tipo de medios de transmisión.

Con estas premisas, la etapa de diseño inicia con la búsqueda de chips electrónicos desarrollados para transmitir/recibir datos a través de la línea eléctrica, con la característica adicional de que deben ofrecer velocidades no menores a 14[Mbps]. También, deben permitir la conexión con chips electrónicos que cumplirán funciones de capa de enlace MAC y proveerán la conexión con el puerto PCI y/o USB.

Una vez revisada y analizada la información técnica de los dispositivos seleccionados, se procede a realizar los diagramas electrónicos de conexión entre chips basados en los diseños de referencia de los fabricantes. De requerirse se procederá a la búsqueda de elementos adicionales como: memorias, circuitos osciladores, filtros, circuitos acopladores.

Finalmente se realiza la diagramación de PCBs tanto para la aplicación PCI como para la aplicación USB.

El diagrama esquemático de la etapa de diseño que contiene todo lo descrito anteriormente, se muestra en la siguiente figura.



**Figura. 6.1. Diagrama esquemático de la etapa de diseño.**

## 6.1 DISEÑO DE LAS INTERFACES DE RED DE DATOS.

### 6.1.1 Capa Física.

La misión principal de esta capa será la de transmitir bits por la línea eléctrica, de manera que cuanta información se envíe pueda ser obtenida sin alteración. Aquí se definen, en base a especificaciones del chip de capa física empleado, parámetros como: niveles de voltaje, velocidad de transmisión, distancias máximas. Las principales funciones de esta capa serán:

- Definir características funcionales de la interfaz a fin de permitir la transmisión/recepción de datos a través de la línea eléctrica, trabajo ha ser realizado por el chipset seleccionado.
- Definir niveles de voltaje y pulsos eléctricos, pues dependiendo del chip se deberán hacer las adaptaciones correspondientes de voltajes de alimentación de las fuentes (digital o analógica), así como el acople de la señal AC de 110-120[V] presente en la red eléctrica.

### 6.1.1.1 Dispositivos de Capa Física en el Mercado

La siguiente información hace referencia a fabricantes y sus respectivos productos, de capa física, empleados en comunicaciones PowerLine. Es necesario recalcar que la información presentada, es de acceso público en la que se dan a conocer características básicas de los dispositivos. En algunos casos la información técnica detallada (datasheet) de los dispositivos, es de carácter confidencial que puede ser obtenida únicamente al establecer una relación comercial entre el fabricante y el usuario final.

Existen fabricantes de dispositivos de capa física, para comunicaciones PowerLine, a nivel mundial. Aquí se citan empresas y sus productos, de gran importancia a nivel mundial dada la calidad y capacidad tecnológica de sus dispositivos con participación en proyectos gigantes de desarrollo de soluciones y aplicaciones PowerLine principalmente en Europa.

**DS2.** Compañía española dedicada al desarrollo de chips PLC. Su lista de productos proporciona una gama extensa de chipsets, software, diseños de referencia, equipos de evaluación y entrenamiento.



Principales características del Chip:

- Tasa de datos de 45 [Mbps]; 27 [Mbps] downstream y 18 [Mbps] upstream.
- Full duplex, punto a punto.
- Dos rangos de espectro de operación: Link1 (acceso) y Link2 (LAN).
- Modulación OFDM adaptativa de 1280 portadoras.
- Monitorización continua de SNR del canal.
- Tasa de bit adaptativa por portadora dependiendo de las condiciones SNR del canal.
- MAC Master/Slave para óptimo uso del ancho de banda disponible.
- Corrección de error hacia adelante Reed Solomon adaptativo.
- Opera por debajo de -1 [dB] de SNR.

**ECHELON.** Logró gran progreso con la introducción del PL 3120 y PL 3150 PowerLine



Principales características del PL 3120 y PL 3150 PowerLine Smart Transceiver:

- Fiabilidad de comunicación.
- EEPROM de 4 [KB] incorporada en el PL3120 PowerLine Transceiver y EEPROM de 0.5 [KB] incorporada en el PL3150 PowerLine Transceiver.
- Interfaz para memoria externa.
- Hardware full-duplex UART e interfaces seriales SPI.
- 12 pines I/O con 38 modos I/O estándar.
- Bajo costo, diseño físico pequeño.

**INTELLON.** Empresa que desarrolla tecnología PowerLine, proporciona referencias de



diseño, soporte técnico y una serie de productos PLC.

Principales características del INT5130 MAC/PHY Transceiver:

- Chip controlador de red PowerLine con interfase MII IEEE 802.3u.
- Interfaz de datos serial "8 wire" de propósito general.
- Interfaz de administración MDI/SPI PHY seleccionable.
- OFDM con técnicas de procesamiento de señales para alta confiabilidad de datos.
- Encriptación de enlace DES de 56-bit.
- Puerto de acceso para pruebas IEEE 1149.1 JTAG.?
- 3.3 [V] para señalización, I/O tolerable de 5 [V].
- Empaquetado LQFP-144 pines.

Características del INT1000 Analog Conversion IC:

- Conexión directa con INT5130 Integrated PowerLine MAC/PHY Transceiver.
- Conversor A/D de 10-bits integrado completamente.
- Tasa de muestreo de 50 MSPS.

- SNR dinámico de 54 [dB]
- Conversor D/A de 10-bits integrado completamente.
- SNR dinámico de 45 [dB]
- Empaquetado LQFP-64 pines.

**ITRAN.** Compañía israelí que ofrece circuitos integrados PLC de alto rendimiento para



usos como: establecimiento de una red de Internet (acceso y mini-acceso), Amr (lectura de mediciones automática), automatización, comando y control, etc.

Principales características del 2.5 [Mbps] PLC PHY and MAC Chipset:

- Capa física ITM1.
- Capa MAC PowerLine optimizada.
- MAC implementada por ITC1 (hardware MAC) IC y software MAC.
- Interfaces: USB 1.1, MII e interfase paralela ITRAN'S P8 incluida.
- Ideal para "No New Wires" networking, xDSL/cable módem, VoIP y comunicaciones PLC.

#### 6.1.1.2 Análisis de Factibilidad y Selección del Dispositivo.

Echellon únicamente permite adquirir ya sea el PL3120 o el PL3150 Smart Transceiver Development Support Kit; toda vez que cada uno de estos DSK, que tienen un precio de USD 2145, incluía entre sus accesorios 10 muestras del PL3120 o del PL3150 respectivamente. Debido al elevado costo involucrado para la adquisición se optó por desechar esta opción.

DS2 no realiza ventas directas de sus dispositivos a personas particulares, sino que, es necesario solicitarlos a sus compradores mayoristas que se dedican a la elaboración de

productos para aplicaciones PowerLine. Se puso en conocimiento la lista de sus distribuidores, indicando nombre y dirección de correo electrónico de la persona representante de dichos compradores, a la vez que nos dieron a conocer la nueva gama de productos que constituyen la evolución de sus chipsets sobresaliendo las nuevas y altas velocidades de transmisión que ofrecen. Se envió la solicitud respectiva de información para la obtención del chipset DS2, a lo que respondieron que no se podía realizar negociación alguna, razón por la que también se descarto la adquisición de un chip de DS2.

Intellon en su página web brinda una amplia lista de contactos de los diferentes departamentos que conforma la empresa. Se solicitó información específica de precio, forma de pago y documentación técnica disponible acerca del INT5130 IC y el INT1000 Analog Conversion IC, que son productos que se ajustan a los requerimientos de diseño. Se nos hizo conocer la existencia de un nuevo producto, el INT5200 que integraba los dos dispositivos citados anteriormente en un solo chipset. Es necesario aclarar que toda la información técnica relacionada al INT5200 se obtiene previa la firma de un convenio de absoluta confidencialidad. La información del INT5200 que se revisó y analizó, nos llevó a la conclusión de que el INT5200 se ajusta a los requerimientos de diseño, implementación y costo. El factor básico para la adquisición de este chipset fue el hecho de que se comercializa por unidades y tiene un precio cómodo lo que conlleva lógicamente a la reducción en el costo final que tendrá la NIC luego de implementada, al menos en lo referente al módulo de capa física.

### **6.1.2 Capa de Enlace.**

La Capa de enlace debe transferir “frames” sin errores de un nodo a otro, establecer y terminar un enlace lógico, controlar el flujo y retransmisión de “frames”, “frames” de acknowledge y retransmisión de los mismos. Esta capa está formada por la LLC (Logical Link Control) y por la MAC (Media Access Control).

A nivel mundial existen dispositivos que implementan las funciones de capa de enlace, denominados “MAC Controllers”. Se los llama MAC y no “Data Link Layer Controllers” debido a que la LLC se encuentra implementada en el driver o controlador, esto solo en el diseño de tarjetas red PCI.

### 6.1.2.1 Dispositivos de Capa de Enlace en el Mercado para Puerto PCI.

Para la búsqueda del dispositivo de capa de enlace, se tomaron los siguientes criterios:

- Que tenga compatibilidad para el puerto PCI.
- Que opere a velocidades de una Fast Ethernet (10–100[Mbps]), debido a que la velocidad de transmisión que asegura el INT5200 es de 14 [Mbps].
- Que tenga compatibilidad con la interfaz MII (Media Independent Interface), que es la interfaz con la cual el integrado INT5200 se comunica con dispositivos externos.
- Que tenga Drivers o Controladores compatibles para Windows 98/Me.

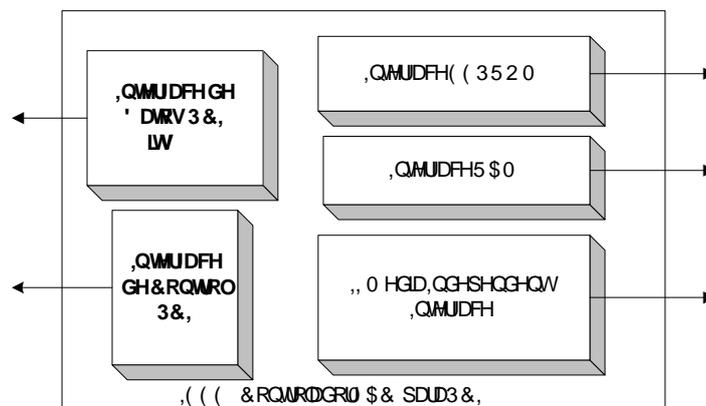


Figura. 6.2. Diagrama Estándar de un Controlador MAC.

La Figura. 6.2, muestra las interfaces que por lo general posee un Controlador MAC Estándar para PCI en el mercado. En este se indica que el componente debe poseer la interfaz para el puerto PCI, el cual debe poseer un bus mínimo de 32 bits y las respectivas señales de control y estatus. Además, debe poseer la interfaz para la conexión de las memorias RAM y ROM que usa el Controlador para manejar los datos que le llegan. Por último debe tener la Interface MII (Media Independent Interface) para poder conectarlo al dispositivo de Capa Física.

Existen empresas, cuyos dispositivos, reúnen las características citadas; estas se citan en las siguientes líneas.

**Broadcom.** Ofrece el BCM5700 que cumple con los requerimientos detallados anteriormente, adicionalmente opera a velocidades de 1000[Mbps]. Soporta interfaces GMII en el modo 1000BASE-T y TBI interfaz Serial en los modos 1000BASE-SX/1000BASE-FX. El BCM5700 soporta puertos PCI v2.2 de 32/64[bits] con reloj de 33/66[MHz] y PCI-X v1.0 de 32/64[bits] con reloj de 66/133[MHz]. Dispone de drivers para WindowsME/98SE/NT4/2000/XP/Server2003, Linux, OS2 NDIS2, Netware(ODI16), Netware(ODI32), Solaris x86, SCO OpenServer y SCO UnixWare.



**Cast-Inc.** Ofrece el “MAC 10/100 Ethernet Media Access Controller Core”, que contiene las características mínimas anteriormente mencionadas. En su página web ofrece drivers para Windows y brinda información general de su producto como también de las aplicaciones en las que se puede utilizar este.



**Infineon Technologies.** Ofrece el ADM9511 que funciona en tres modos: primero, como Controlador Ethernet; segundo, como Controlador de MODEM y tercero como Controlador Home PNA. Este producto cumple los



requerimientos mínimos citados, además, posee: soporte para Auto-Negociación (NWAY), modo PC99 wake on LAN y estándares de administración de potencia en ACPI y PCI.

**Intel.** Ofrece el Controlador Giga Ethernet 82543GC, que satisface los requerimientos de diseño citados. Como características adicionales posee velocidades de hasta 1000[Mbps] y soporta velocidades de bus para PCI v2.2 de hasta 64[bits] con reloj de 33/66[MHz]. Adicional a la Interfaz MII, posee una Interfaz GMII. Cuenta también con documentación técnica, actualizaciones y drivers para Windows XP/Server2003/NT, Unix, Solaris, OS/2, OpenUnix, Novell, Netware, Linux, FreeBSD y DOS.



**National Semiconductors.** ofrece el DP83816, que posee un Controlador MAC y Capa Física incluida para Fast Ethernet (10/100[Mbps]). Lo especial de este producto radica en que tiene la Interface MII que permite conectar otro dispositivo de capa física, cumpliendo así los requerimientos anteriormente mencionados.



**NEC Electronics.** Ofrece al parecer su único producto “10/100 Mbps Ethernet Media Access Controller (MAC) Core”. Debido a que los datos técnicos muestran una fecha en el año 1998, parece estar discontinuado, pero según las características que este posee, este logra satisfacer los requerimientos básicos para nuestro diseño, al poseer la interfaz MII y trabajar con el puerto PCI.



#### 6.1.2.2 Análisis de Factibilidad y Selección del Dispositivo.

Se tomaron en cuenta varios factores en este análisis. El primer factor es el cumplimiento de los requerimientos básicos citados en la introducción de la sección 6.1.2.1 ya que permitirá el acople y operabilidad con el dispositivo de capa física y con el puerto

PCI, enfatizando para este propósito la importancia de que la empresa que manufactura este tipo de dispositivos, ofrezca drivers o controladores compatibles, mínimo con el sistema operativo Windows 95/98, por lo que cualquier otro driver para cualquier otro sistema operativo aumentaría la operabilidad de la NIC. El segundo factor es determinar si el dispositivo semiconductor se encuentra vigente. El tercer factor es determinar si la empresa ofrece la facilidad de compra para el Ecuador, esto minimizará el tiempo en la obtención del dispositivo y sobre todo permitirá reducir el costo en la implementación del prototipo, que es uno de los objetivos de esta tesis. El cuarto y último factor es determinar que la empresa tenga soporte técnico en línea, para despejar dudas cuando se empiece a diseñar nuestro prototipo, puesto que siempre existen ambigüedades en los datasheets o no se provee la suficiente información en los mismos para el diseño de aplicaciones.

La siguiente tabla resume los factores considerados en la selección del dispositivo.

Producto	Compatibilidad			Velocidad 10-100	Drivers Windows	Discontinuo	Factibilidad de Obtención.	Soporte Técnico
	PCI	MII	IEEE 802,3					
BCM5700	Si	Si	Si	Si	Si	No	Mala	No
MAC Cast-Inc	Si	Si	Si	Si	No	No	Mala	Si
ADM9511	Si	Si	Si	Si	Si	No	Mala	Si
82543GC	Si	Si	Si	Si	Si	No	Mala	Si
DP83816	Si	Si	Si	Si	Si	No	Buena	Si
MAC NEC	Si	Si	Si	Si	No	Si	Mala	Si

**Tabla. 6.1. Tabla Comparativa entre Dispositivos de Capa de Enlace.**

Broadcom no toma en cuenta pedidos minoritarios y en su página web no hace un trato especial para las personas o empresas que se dedican al desarrollo de nuevos equipos de comunicación. Por esto Broadcom no es una opción viable con la cual negociar.

Cast-Inc parece seguir la misma tendencia que Broadcom, no ha contestado a ninguno de los correos enviados para la notificación de precios, formas de pago y formas de envío, lo que hace suponer que tampoco toma en cuenta pedidos minoritarios. No ofrece drivers para su dispositivo, por lo que se esperaría que al comprar los productos, Cast incluirá estos.

Infineon con su producto ADM9511, cumple satisfactoriamente todos los requerimientos, pero no ha respondido a ningún correo enviado para notificar las condiciones de negociación. El ADM9511 al ser multifuncional (Ethernet, MODEM, PNA), es de suponer que su precio va hacer excesivo en relación con los Controladores que solo incluyen MAC IEEE 802.3.

Intel con su producto 82543GC, no ofrece oportunidades viables de adquisición pese a que tiene distribuidores autorizados en el Ecuador, que podrían adquirir con facilidad este componente. Intel, da un trato especial a desarrolladores de equipos de comunicación, pero solo previa inscripción a un programa especial donde se firma un contrato de comprometimiento para la producción en masa de dispositivos que usen el 82543GC. Esta opción es inalcanzable para los objetivos propuestos, ya que solo en esa vía se puede conseguir los datasheets del chip, de lo contrario no se puede siquiera elaborar el diseño. Investigando en internet, se contactó una empresa muy gustosa de ayudarnos en la adquisición de este chip, sin embargo no garantiza soporte técnico alguno, por lo que se corre el riesgo de no llegar a darle uso alguno al chip.

National Semiconductors con su producto Multifuncional DP83816 ofrece en su página web drivers. Un factor fundamental es que ofrece gratuitamente paquetes de cinco unidades, superando los ofrecimientos del controlador MAC de Infineon (ADM9511). Por otro lado, en su página web, posee distribución en línea de datasheets y documentos técnicos que incluyen “errata” (soluciones de los posibles errores en el funcionamiento), y posee un banco de respuestas (FAQ) de las posibles interrogantes respecto al producto.

NEC con su controlador MAC no es una opción validad debido a que su producto se encuentra descontinuado.

En conclusión, el producto de la National Semiconductor, DP83816, ofrece las mejores expectativas en este análisis, debido a que las negociaciones en la adquisición de

datasheets y del chip toman rumbos satisfactorios y sobre todo posibles. Por estas razones, el DP83816 ha sido seleccionado para el diseño de nuestro dispositivo.

### **6.1.2.3 Dispositivos de Capa de Enlace en el Mercado para Puerto USB.**

En el mercado existen también dispositivos de capa de enlace, para el puerto USB, cuya interfaz para conectarse al dispositivo de capa física, es la MII, GPSI, y otros. Cuando se empezó con el análisis y estudio del dispositivo de capa física INT5200, se descubrió que este dispositivo de capa física posee tres modos: primero, como dispositivo de capa física; segundo, como dispositivo que incluye la capa física y la capa de enlace (Modo USB); tercero, como dispositivo de interfase HOST. Esto quiere decir que tenemos capa física PLC y capa de enlace MAC-USB, en un solo chip. Esto simplificó la búsqueda de dispositivos de capa de enlace en el mercado mundial.

### **6.1.2.4 Análisis y Selección de Dispositivo para Puerto USB.**

La búsqueda de dispositivos de capa de enlace USB, se simplificó pues el dispositivo de capa física INT5200, tiene un modo que le permite trabajar como dispositivo de capa física (PHY) y de capa de enlace (MAC), pero exclusivamente para aplicaciones USB.

Esto resultó muy conveniente debido a costos y tiempo, pues es mejor utilizar el modo que posee el dispositivo de capa física seleccionado. En el caso de costo, ya que con un solo chipset evitamos invertir dinero en otro dispositivo. Por tiempo, pues anula la búsqueda del dispositivo de capa de enlace USB. Por conveniencia, debido a que simplifica el trabajo en el diseño, al no tener necesidad de preocuparse de la compatibilidad de las conexiones (interfaz MII).

En base a lo mencionado, se decidió no invertir tiempo ni dinero, en la búsqueda, análisis, estudio y adquisición de otro chipset de capa de enlace para USB.

## 6.2 DIAGRAMAS.

En esta sección se indican los criterios y procedimientos tomados en cuenta para la diagramación de los diseños de las interfaces de red propuestas. Se dedico aproximadamente dos meses, al autoaprendizaje del programa PROTEL 7, este programa CAD permite diagramar y generar las placas de circuitos impresos “PCBs” de nuestros diseños. Los programas CAD para diseño electrónico, que se contemplaron inicialmente fueron: ORCAD 6, EAGLE y PROTEL 7.

Previa la diagramación, se empleó tiempo para el estudio y análisis de datasheets de los dispositivos seleccionados y el diseño, con el fin de conocer requerimientos, recomendaciones y circuitos adicionales que pudiesen necesitarse para el correcto funcionamiento de los mismos. Luego de la diagramación se procedió a la generación de los PCBs, los cuales se encuentran en la sección de de anexos de esta tesis, junto con los diagramas del diseño.

Debido a que empresas como Intellon, requirieron la firma de un contrato de no divulgación (NDA<sup>5</sup>) respecto de la información técnica de algunos de sus productos, con el fin de proteger sus intereses, no se pueden incluir ciertos datasheets en esta tesis.

---

<sup>5</sup> NDA son las siglas en inglés de Non-Disclosure Agreement.

### 6.2.1 Diagramas Aplicación Puerto PCI.

Se describe la conexión entre el INT5200, el DP83816, puerto PCI y línea eléctrica. También, se determina el hardware adicional requerido como: memorias, fuentes de alimentación, circuitos osciladores, filtros, etc. El diagrama de bloques correspondiente a las etapas de diseño de la aplicación para PCI se muestra en la siguiente figura.

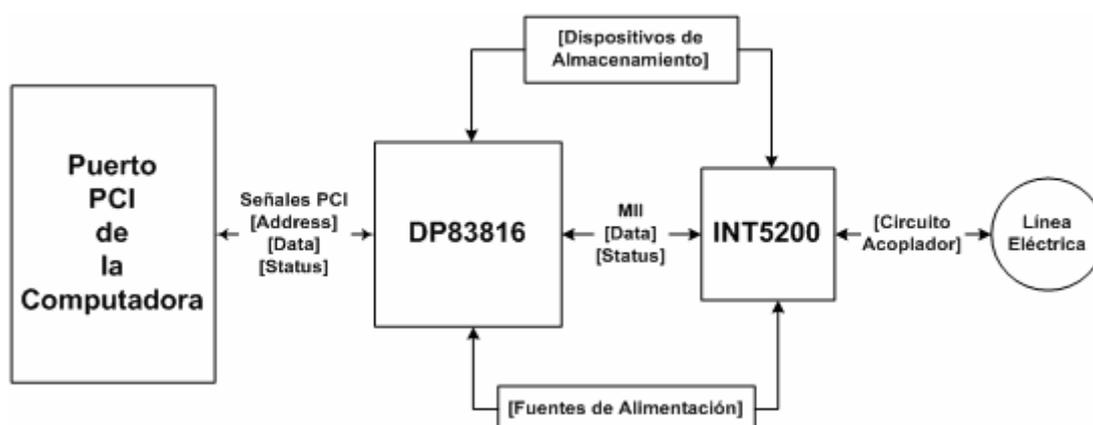


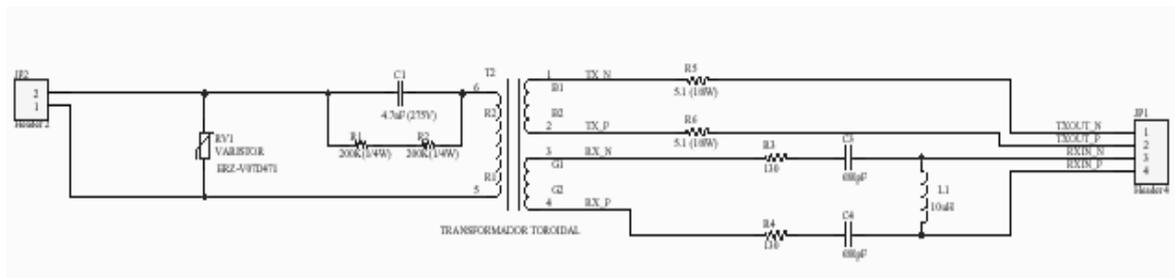
Figura. 6.3. Diagrama del Diseño para el Puerto PCI

La explicación del diagrama anterior, se la realiza indicando el criterio empleado para realizar las conexiones eléctricas entre bloques:

- Conexión entre la Línea Eléctrica y el INT5200.
- Conexiones del INT5200 con el DP83816.
- Conexión del DP83816 al Puerto PCI.
- Fuentes de Alimentación.
- Filtros.

### 6.2.1.1 Conexión Línea Eléctrica e INT5200.

Esta conexión se la realiza a través de una etapa de acoplamiento, conformada por un MOV (Metal Oxide Varistor), un circuito RC pasa-altos y un transformador. La implementación de esta etapa tiene la función principal: permitir obtener la señal OFDM de la línea eléctrica y proteger principalmente al INT5200 de las perturbaciones nocivas de la línea eléctrica.



**Figura. 6.4. Circuito Acoplador que permite la conexión entre la línea eléctrica y el INT5200**

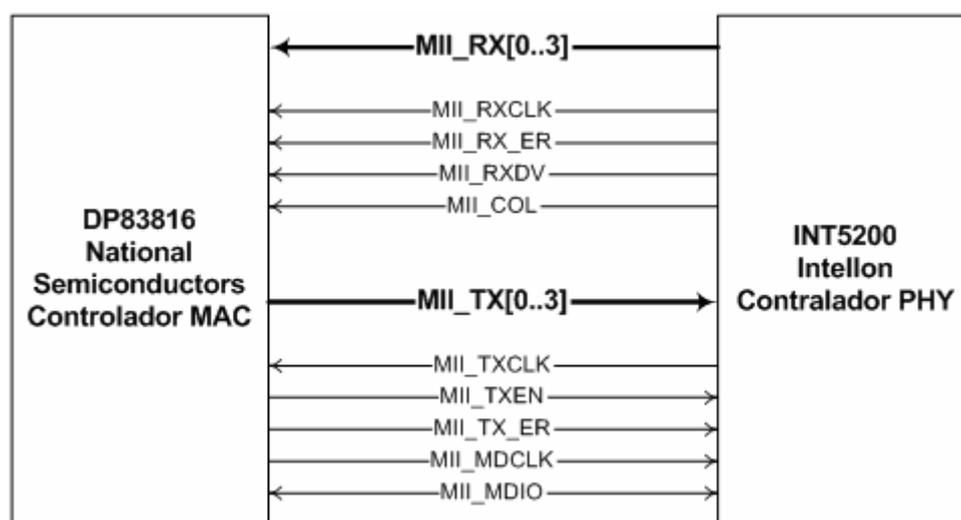
El elemento que cumple la función de protección, es el varistor ya que protege el prototipo mediante la reducción de las trascientes de cientos de voltios que puedan presentarse en la línea eléctrica en cualquier instante, razón por la cual está conectado directamente en paralelo a la entrada.

El circuito RC es un filtro pasa-altos encargado de atenuar la señal de voltaje de la línea eléctrica 110[V], con el fin de que no penetre al INT5200 y más específicamente a la etapa de conversión DAC/ADC.

El acople propiamente dicho lo realiza el transformador, el cual brinda un circuito separador y limitador de corriente. Intellon usa un transformador toroidal con doble derivación en el secundario, una para transmisión y otra para recepción, ya que el INT5200 posee dos terminales de salida, una positiva y una negativa, para la transmisión; y dos terminales de entrada, una positiva y una negativa, para la recepción.

### 6.2.1.2 Conexión INT5200 y DP83816.

El INT5200 tiene tres modos de operación, en particular para esta conexión, se setea eléctricamente el INT5200 en el modo PHY a fin de usarlo como dispositivo de capa física, ya que en este modo permite la conexión con otro dispositivo mediante la interfaz MII (Media Independent Interface), la cual es una de las tres interfaces que posee.



**Figura. 6.5. Interfaz MII (Media Independent Interface)**

La interfaz MII, posee señales de datos y estatus. Las señales de datos en MII son nibbles y se establece una comunicación full-duplex, siendo las señales de estatus independientes tanto para el canal de transmisión como para el de recepción. Lo notable de esta interfaz es que cada señal de estatus de cada canal maneja su propio reloj independiente y además posee petición de reenvío (ACK) para el caso de un nibble erróneo.

Vale recalcar que la MII pertenece al estándar IEEE802.3u razón por la que es popular entre las empresas que manufacturan este tipo de dispositivos. Para más información acerca de la interfaz MII se sugiere revisar el contenido ya sea de la referencia bibliográfica [40] o del estándar 802.3u de la IEEE.

Del análisis y estudio de la Referencia Técnica del INT5200, se contempla la necesidad de usar dos memorias EEPROM seriales de 8bits. La de mayor acceso y popularidad es la 93C46, que es manufacturada por ATMEL, TMI , etc. Es de bajo costo por lo que se convierte en un dispositivo muy útil para diseños electrónicos en los cuales la velocidad de lectura de datos no es significativa.

Se puede fabricar un grabador de este tipo de memorias, usando: el puerto serial del computador; elementos como resistencias, capacitores y diodos; y un programa shareware que se encuentra en la internet como el PONY. En la misma web donde se ofrece el PONY, se ofrece el diagrama de conexiones para el circuito que permite grabar, borrar y editar algún registro en las memorias seriales 93C46.

El INT5200 usa por lo general dos memorias seriales. La primera sirve para el AFE (Analog Front End), con el fin de guardar datos referentes a la operación del Ajuste de Ganancia del DAC y del Ajuste de la Ganancia del Filtro Digital. La segunda memoria es usada para el almacenamiento de configuración del INT5200, sin embargo, no es usada para el modo PHY sino para los otros dos modos de operación. Para programar la memoria para el AFE se deben seguir los criterios que sugiere el fabricante y que se muestran en la siguiente tabla.

Byte Address	Bit Number	Bits	Definición	Default
0	7-0	8	Reservado	A3
1	7-0	8	Reservado	5B
2	7-0	8	Reservado	00
3	7-0	8	Reservado	00
4	7-0	8	Byte de Ajuste de Ganancia del DAC	XX
5	7-0	8	Reservado	00
6	7-0	8	Reservado	00
7	7-0	8	Reservado	00
8	7-0	8	Reservado	00
9	7-0	8	Reservado	00
10	7-0	8	Byte de Ajuste de la Ganancia del Filtro	XX
11	7-0	8		00

**Tabla. 6.2. Configuración de los registros en la Memoria Serial EEPROM para el AFE.**

Las columnas especificadas por XX, indican que se debe insertar un valor dependiendo de los criterios de ajuste en el funcionamiento final, para lo cual se incluirán en este diseño las dos tablas que describen los bytes que se deben ingresar en las direcciones tanto para el Ajuste de la Ganancia del DAC, como para el Ajuste de la Ganancia del Filtro.

DAC Gain in dB	EEPROM Byte 04
0,00	04 (*)
-0,60	05
-1,80	06
-2,10	07
-3,00	00
-4,00	01
-5,20	02
-6,50	03

**Tabla. 6.3. Tabla para Ajustar los valores de Ganancia en el DAC. ( Byte 04 de la EEPROM )**

Ganancia del Filtro Digital dB	EEPROM Byte 10
1,66	70 (*)
1,28	60
0,87	50
0,45	40
0,00	30
-0,47	20
-0,96	10
-1,49	00
-2,05	90
-2,65	A0
-3,29	B0
-3,99	C0
-4,74	D0
-5,57	E0
-6,49	F0

**Tabla. 6.4. Tabla para el Ajuste del Filtro Digital (Byte 10 de la EEPROM)**

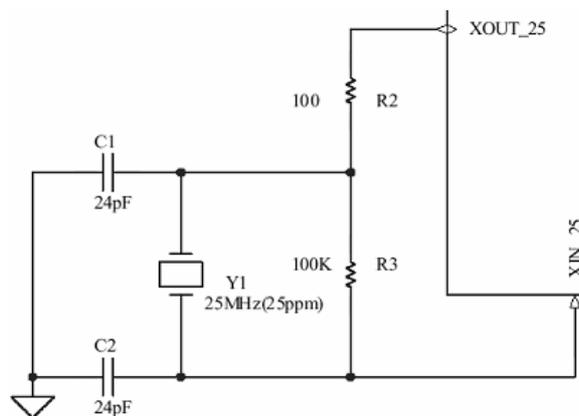
El fabricante sugiere dos valores por default, para la ganancia del DAC como del filtro digital, los cuales se encuentran señalados con un asterisco. El INT5200 usa cuatro pines de salida y entrada para controlar la memoria EEPROM serial los cuales se detallan a continuación.

No.	NOMBRE PIN INT5200	PIN INT5200	NOMBRE PIN AT93C46	PIN AT93C46	DESCRIPCION
1	DAC_GAIN_ADJUST1	L12	CS	1	Chip Select
2	DAC_GAIN_ADJUST0	K13	SK	2	Sincronización
3	DAC_GAIN_ADJUST2	K12	DI	3	Data Input
4	FLTR_GAIN_ADJUST0	L13	DO	4	Data Output

**Tabla. 6.5. Detalle de pines vinculados a la memoria EEPROM 93C46.**

En la Tabla. 6.5 se observa el detalle de los pines tanto del INT5200 como de la memoria 93C46, vinculado al propósito que tiene cada pin. Así, el pin L12 (DAC\_GAIN\_ADJUST1) está conectado al pin1 (CS de la memoria) que tiene la función de habilitar a la memoria para la transmisión y recepción de datos. El pin K13 (DAC\_GAIN\_ADJUST0) está conectado al pin 2 (SK de la memoria) que tiene la función de recibir sincronización para la transmisión y recepción de datos. El PIN K12 (DAC\_GAIN\_ADJUST2) está conectado al pin 3 (DI de la memoria) que tiene la función de habilitar a la memoria para la recepción de datos. El pin L13 (FLTR\_GAIN\_ADJUST0) está conectado al pin 4 (DO de la memoria) que tiene la función de habilitar a la memoria para la transmisión de datos.

El INT5200 usa un circuito de reloj de 25[MHz], a fin de poner en funcionamiento su microprocesador interno. Los elementos de este circuito son definidos por el fabricante, el mismo que asegura el funcionamiento óptimo en base a pruebas de eficiencia.



**Figura. 6.6. Circuito de Reloj a 25[MHz]**

Tanto para el DP83816 como para el INT5200, se debe diseñar un circuito de acoplamiento de las fuentes de alimentación que ofrece el puerto PCI (5[V] y 3.3[V]), pues en algunos casos se requieren fuentes digitales y analógicas de 1.8, 1.5 y 3.3[V]. Se entiende por digital aquella fuente switching, la cual tiene un sistema digital que censa continuamente el consumo de potencia que necesita el dispositivo; por lo que una fuente digital es más eficaz que una analógica, pero la fuente digital induce mayor ruido que la analógica.

Hay que diseñar filtros para que el ruido no interfiera en el funcionamiento tanto del DP83816 como del INT5200. Para mayor referencia revisar el Anexo 1, titulado “Diagramas para aplicación PCI”, Diagrama #4 titulado “Fuentes de Alimentación”.

Por el lado del DP83816, este requiere el uso de una EEPROM serial y una memoria RAM, cuyas conexiones e implementación se encuentra en el Anexo 1, titulado “Diagramas para aplicación PCI”, Diagrama #3 titulado “Conexiones DP83816”.

La EEPROM maneja la configuración del Controlador MAC, el cual incluye Dirección MAC, datos para realizar encriptación en redes, códigos de autenticidad, datos para la creación de VLANs y otros necesarios para establecer comunicación con MACs de otros adaptadores en la red. Vale aclarar que estos datos no necesitan ser programados previamente en la memoria, pues el mismo DP83816 ingresa automáticamente siempre los valores por default en los registros de su memoria EEPROM serial correspondiente.

El DP83816 también posee entradas para un circuito oscilador de 25[MHz]. El fabricante sugiere un circuito con valores de los elementos pasivos para un óptimo funcionamiento y rendimiento.

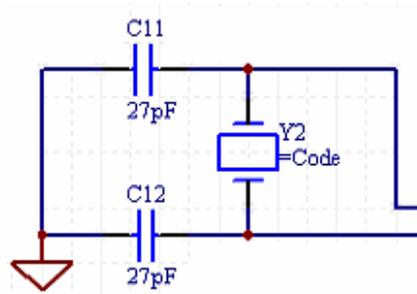


Figura. 6.7. Circuito de Reloj para el funcionamiento del DP83816

### 6.2.1.3 Conexión Puerto PCI y DP83816.

Se determinó que deben conectarse pines referentes a dirección, datos y estatus, para establecer una comunicación eficiente entre ambas partes. Las señales a ser conectadas se muestran en la siguiente gráfica y se detallan en el Anexo 1, titulado “Diagramas para aplicación PCI”, Diagrama #5 titulado “Conexiones Puerto PCI”.

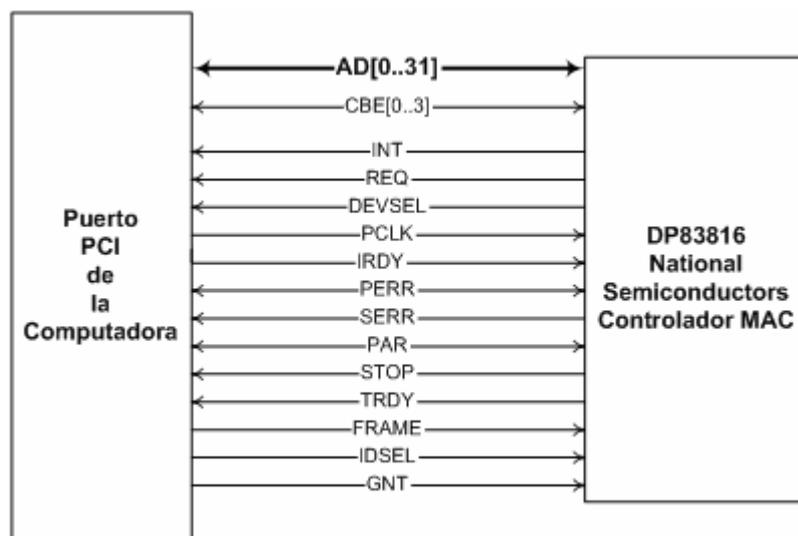


Figura. 6.8. Conexión Puerto PCI y DP83816

Las fuentes de alimentación serán tomadas del puerto PCI, por lo general las fuentes de 5 y 3.3[V] que son digitales, esto implica el diseño de filtros para su uso a fin de no afectar el rendimiento del dispositivo diseñado.

#### **6.2.1.4 Fuente de alimentación.**

Según las recomendaciones tanto de la National Semiconductor como de Intellon, es necesario diseñar fuentes digitales (Switching). Es necesario utilizar este tipo de fuentes por su mayor eficiencia pese a que inducen mayor ruido que las fuentes analógicas, por esto se debe diseñar filtros para crear inmunidad de los chips a dicho ruido.

Otra razón por la cual se requieren fuentes digitales, es por que se exigirán con ellas menos potencia a la fuente del computador, que por lo general también es digital; para la cual hay que diseñar también filtros de inmunidad al ruido.

Para las fuentes digitales se decidió usar el circuito integrado LM2631, de la National Semiconductor, puesto que presta la funcionalidad que se requiere, además, en su dataste muestra un circuito, el mismo que se ha tomado para el diseño teniendo que calcular los valores de algunos de sus componentes pasivos para conseguir la potencia deseada.

El DP83816 requiere la entrada de una fuente regulada, para lo cual luego de investigar el circuito integrado LM3940, de la National Semiconductor, se determinó que este presta la funcionalidad que se requiere. Al igual que el LM2631, en su datasheet también se recomienda un circuito aplicativo, el cual se ha incluido en el diseño.

Respecto a los cálculos de la fuente digital con el circuito integrado LM2631, se requiere determinar los elementos pasivos de que se constituye (ver la siguiente figura).

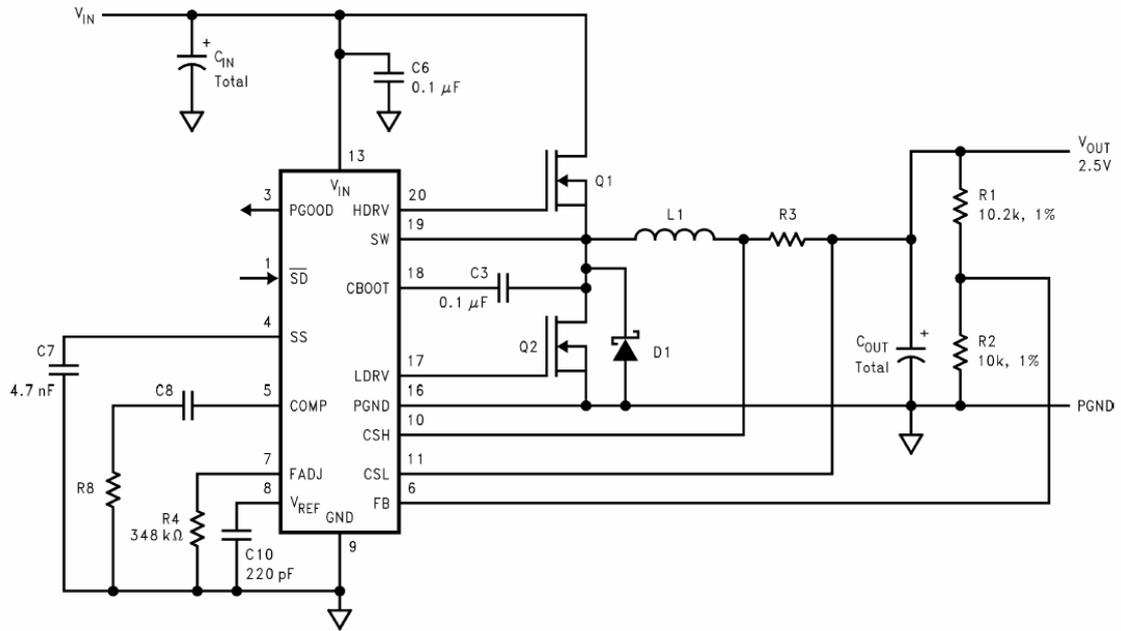


Figura. 6.9. Circuito Recomendado por la National Semiconductors para el uso del LM2631.

Se debe calcular L1, R3, C<sub>IN</sub>, C<sub>OUT</sub> Total, R1 y R2, para obtener valores de voltaje y corriente de salida requeridos. Partimos de las siguientes condiciones:

- V<sub>in</sub> = 5V.
- I<sub>Ripple</sub> = 30% I<sub>out</sub>.
- F<sub>s</sub> = 300 KHz.

Con esto se procede a calcular L1 mediante la siguiente formula:

$$L = \frac{(V_{in} - V_{out})V_{out}}{V_{in} \times I_{ripple} \times F_s} \quad \text{[Ecuación 6.1]}$$

Para I<sub>out</sub> = 1[A]

$$L = \frac{(5 - 1.8)1.8}{5(0.3)(300 \times 10^3)} = \frac{5.76}{450000} = 12.8 \mu H, \text{ para un voltaje de salida de } 1.8[V].$$

$$L = \frac{(5 - 1.5)1.5}{5(0.3)(300 \times 10^3)} = \frac{5.25}{450000} = 11.6 \mu H, \text{ para un voltaje de salida de } 1.5[V].$$

**Para  $I_{out} = 0.5[A]$** 

$$L = \frac{(5-1.8)1.8}{5(0.15)(300 \times 10^3)} = \frac{5.76}{225000} = 25.6 \mu H, \text{ para un voltaje de salida de } 1.8[V].$$

$$L = \frac{(5-1.5)1.5}{5(0.15)(300 \times 10^3)} = \frac{5.25}{225000} = 23.3 \mu H, \text{ para un voltaje de salida de } 1.5[V].$$

**Para  $I_{out} = 0.25[A]$** 

$$L = 51.2 \mu H, \text{ para un voltaje de salida de } 1.8[V].$$

$$L = 46.6 \mu H, \text{ para un voltaje de salida de } 1.5[V].$$

Para calcular el capacitor de entrada  $C_{IN}$ , se deben tomar las siguientes consideraciones:

- ESR Bajo.
- Para un Capacitor de Aluminio:  

$$V = 0.25V_{in} + V_{in} \rightarrow V = 6.25 V$$
- Para un Capacitor de Tantalium.  

$$V = 2 V_{in} \rightarrow V = 10 V$$

Primero se debe calcular el valor  $I_{RMS}$  tomando la siguiente expresión:

$$I_{RMS} = I_{OUT} \times \frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}} \quad \text{[Ecuación 6.2]}$$

**Para  $I_{OUT} = 1[A]$** 

$$I_{RMS} = 1 \times \frac{\sqrt{1.8(5-1.8)}}{5} = 0.48 A$$

$$I_{RMS} = 1 \times \frac{\sqrt{1.8(5-1.5)}}{5} = 0.458 A$$

**Para  $I_{OUT} = 0.5[A]$** 

$$I_{RMS} = 0.5 \times (0.48) = 0.24 \text{ A}$$

$$I_{RMS} = 0.5 \times (0.458) = 0.229 \text{ A}$$

**Para  $I_{OUT} = 0.25[A]$** 

$$I_{RMS} = 0.25 \times (0.48) = 0.12 \text{ A}$$

$$I_{RMS} = 0.25 \times (0.458) = 0.115 \text{ A}$$

Luego se calcula el capacitor de salida  $C_{OUT}$ , para esto se considera:

- Si esta en modo FPWM, se debe usar la siguiente expresión:

$$V_{RIPPLE} = I_{RIPPLE} \left( ESR + \frac{1}{8F_s C_{OUT}} \right) \quad \text{[Ecuación 6.3]}$$

**Para  $I_{OUT} = 1[A]$** 

$$V_{RIPPLE} = 0.3 \left( 0.7 + \frac{1}{8(300000)(440 \times 10^{-6})} \right) = 0.3(0.701) = 0.21 \text{ V}$$

**Para  $I_{OUT} = 0.5[A]$** 

$$V_{RIPPLE} = 0.15(0.701) = 0.105 \text{ V}$$

**Con  $ESR = 100[m\Omega]$ .**

**Para  $I_{OUT} = 1[A]$** 

$$V_{RIPPLE} = 0.3(0.1 + 0.001) = 0.03 \text{ V}$$

**Para  $I_{OUT} = 0.5[A]$** 

$$V_{RIPPLE} = 0.15(0.1 + 0.001) = 0.015 \text{ V}$$

Se debe determinar las características de los transistores MOSFETS:

- Debe ser un transistor N-Channel.
- Se recomienda Voltaje de Ruptura “Drain-Source” de:

$$V_{RUPTURA} = 1.2 V_{IN}$$

$$V_{RUPTURA} = 6 V_{IN}$$

Se determinan las características de los diodos Schottky, considerando:

- Se prefiere un voltaje de ruptura de:

$$V_{RUPTURA} = 0.25 V_{IN} + V_{IN}$$

$$V_{RUPTURA} = 6.25 V$$

**Para  $I_{OUT} = 1[A]$**

$$I_{AVERAGE} = 0.3I_{OUT} + I_{OUT}$$

$$I_{AVERAGE} = 0.3(1) + (1)$$

$$I_{AVERAGE} = 1.3 A$$

**Para  $I_{OUT} = 0.5 A$**

$$I_{AVERAGE} = 0.65 A$$

**Para  $I_{OUT} = 0.25[A]$**

$$I_{AVERAGE} = 0.325 A$$

Ahora se calculan los valores de R1 y R2 (Programming Output Voltage), mediante la siguiente expresión:

$$V_{OUT} = V_{REF} \left( 1 + \frac{R_1}{R_2} \right); \text{ con } V_{REF} = 1.238 V \quad \text{[Ecuación 6.4]}$$

**Con  $R_2 = 10[k\Omega]$**

Para  $V_{OUT} = 1.8V \Rightarrow R_1 = 4539.58\Omega$

Para  $V_{OUT} = 1.5V \Rightarrow R_1 = 2116.317\Omega$

El cálculo del Resistor de Sensibilidad a la Corriente IRC, emplea la siguiente expresión:

$$R3 = \frac{V_{CL(MIN)}}{\left( I_{MAX} + \frac{I_{RIPPLE}}{2} \right) (1 + TF)} \quad \text{[Ecuación 6.5]}$$

**Con  $TF = 5\%$**

**Para  $I_{MAX} = 1[A]$**

$$R3 = \frac{80 \times 10^{-3}}{\left( 1 + \frac{0.3}{2} \right) (1 + 0.05)} = \frac{80 \times 10^{-3}}{1.2075} = 66 \text{ m}\Omega$$

**Para  $I_{MAX} = 0.5[A]$**

$$R3 = \frac{80 \times 10^{-3}}{\left( 1 + \frac{0.15}{2} \right) (1 + 0.05)} = \frac{80 \times 10^{-3}}{0.60375} = 132.5 \text{ m}\Omega$$

**Con  $TF = 10\%$**

**Para  $I_{MAX} = 1[A]$**

$$R3 = \frac{80 \times 10^{-3}}{(1.15)(1.1)} = \frac{80 \times 10^{-3}}{1.265} = 63.2 \text{ m}\Omega$$

**Para  $I_{MAX} = 0.5[A]$**

$$R3 = \frac{80 \times 10^{-3}}{(0.575)(1.1)} = \frac{80 \times 10^{-3}}{0.3637} = 220 \text{ m}\Omega$$

De acuerdo a la suma de corrientes de todos los dispositivos que van a ser alimentados por la fuente, como también de los voltajes necesarios, se concluye los siguientes requerimientos:

- $V_{OUT} = 3.3 \text{ V}$
- $V_{OUT} = 1.8 \text{ V}$
- Para ambos casos corrientes de hasta 1 Amperio.

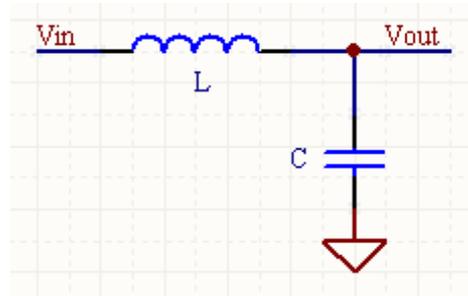
Para obtener el valor de 1.5[V], después de la salida de voltaje de 1.8[V] utilizamos un diodo zener que tenga una caída de voltaje equivalente a 0.3V, como se muestra en el Anexo 1, titulado “Diagramas para aplicación PCI”, Diagrama #4 titulado “Fuentes de Alimentación”.

#### **6.2.1.5 Filtros.**

Los filtros en el diseño propuesto cumplen un papel muy importante. La principal utilidad que tienen estos filtros es la de contrarrestar el ruido que genera la fuente de alimentación switching del computador así como el de la fuente de alimentación switching individual que se diseño para la alimentación del INT5200 especialmente.

Estos filtros en dispositivos de telecomunicaciones son necesarios, ya que trabajan a frecuencias altas generalmente en el orden de los MHz. Esto se debe a que a altas frecuencias los armónicos generados por el continuo encender y apagar de la fuente de alimentación switching, hace que la relación de señal a ruido disminuya, provocando que la detección de las señales demoduladas (INT5200) y los datos digitales (DP83816) se confundan y generen falsos estados de operación.

Para tal efecto la National Semiconductors con su producto DP83816 recomienda un circuito L, C para contrarrestar este ruido, con frecuencia de corte de 100[MHz].



**Figura. 6.10. Diagrama del Filtro en el DP83816 para Contrarrestar el Ruido.**

Utilizando las expresiones en el dominio de la frecuencia y tomando el principio de Laplace, obtenemos la siguiente función de transferencia:

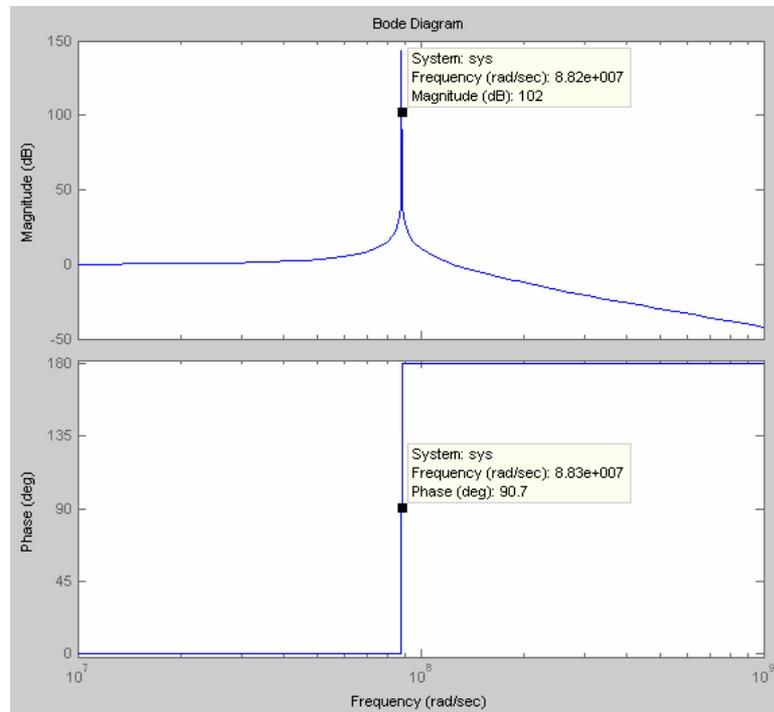
$$F(s) = \frac{V_{OUT}}{V_{IN}} = \frac{1}{s^2 + \frac{1}{LC}} \quad \text{[Ecuación 6.6]}$$

Observamos el factor LC que aparece en la expresión. Con un valor fijo de frecuencia y un valor fijo de capacitancia calculamos el valor de L, despejando de la Ecuación 6.6:

$$L = \frac{1}{C\omega^2} = \frac{1}{4\pi^2 f^2 C} \quad \text{[Ecuación 6.7]}$$

Para  $C = 50[pF]$  y  $f = 14[MHz]$ , obtenemos  $L = 2.58[uH]$ .

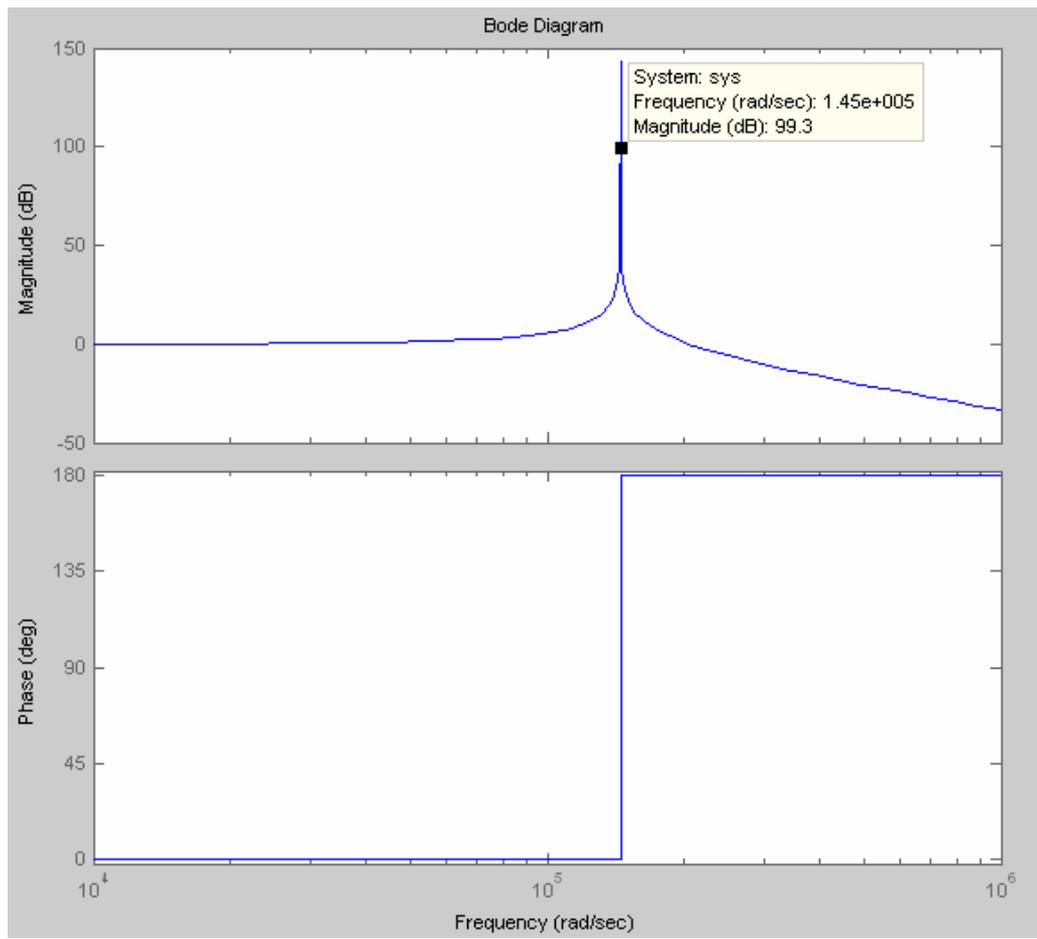
Usando MATLAB, obtenemos el diagrama de Bode de la Ecuación 6.6, en la siguiente figura:



**Figura. 6.11. Diagrama de Bode del Filtro LC Diseñado para el DP83816**

En el diagrama de bode anterior observamos que la frecuencia de corte se encuentra situada precisamente en los 14[MHz] como se requería. Además, se observa que el filtro es un pasabanda, o sea que atenúa las señales que estén presentes antes y después de los 14[MHz], así cualquier ruido interferente es atenuado y por ende la relación señal a ruido en el DP83816 a esta frecuencia será alta.

Existen otros filtros que son necesarios para contrarrestar el ruido en el dispositivo de capa física (INT5200). La ubicación de estos filtros se encuentra después de las salidas digitales de 3.3 y 1.8[V] en la fuente de alimentación. Estos circuitos son sugeridos por el fabricante y son también filtros tipo LC, como los muestra la Figura. 6. cuya función de transferencia es igual a la de la Ecuación 6.6 en la que remplazamos los valores sugeridos por el fabricante y procedemos a obtener el diagrama de bode correspondiente.



**Figura. 6.12. Diagrama de Bode del Filtro LC Diseñado para el DP83816**

En el diagrama de bode anterior observamos que la frecuencia de corte se encuentra situada precisamente en los 23[KHz], con valores de capacitancia de 10.1[uF] y de inductancia de 4.7[uH], como lo requiere el fabricante.

Si el circuito diseñado de la fuente de alimentación oscila por los 300[KHz], el filtro simplemente atenuará señales armónicas a esa frecuencia. Además, se puede observar que el filtro es un pasabanda, o sea que atenúa las señales antes y después de los 23[KHz], así cualquier ruido interferente es atenuado y por ende la relación señal a ruido en el INT5200 a frecuencias superiores a 23[KHz] será alta obteniéndose una buena demodulación de las señales.

## 6.2.2 Diagramas Aplicación Puerto USB.

Debido a que se usa el chip INT5200 para que realice las funciones tanto de capa física como de enlace, el diseño de las fuentes de alimentación, filtros y conexiones entre este chip y la línea eléctrica son iguales a las descritas en la aplicación para puerto PCI. El diagrama de bloques de las etapas del diseño, para la aplicación USB, es el siguiente:

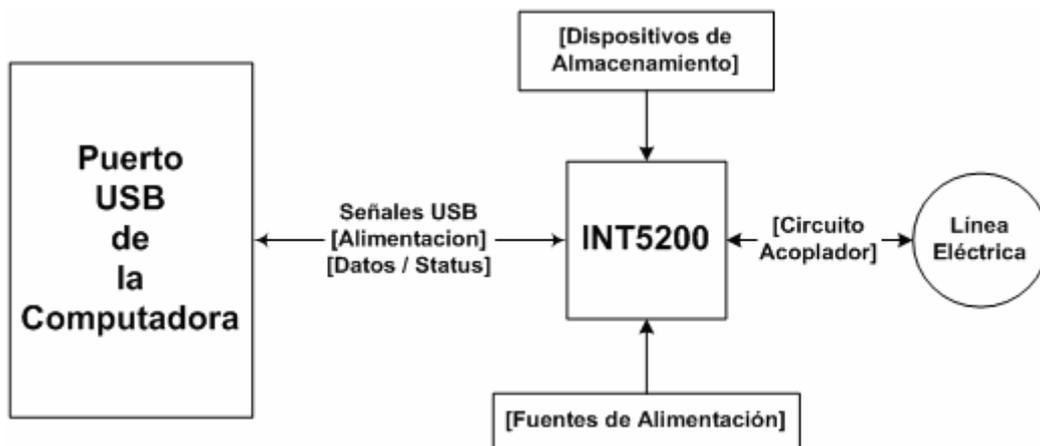


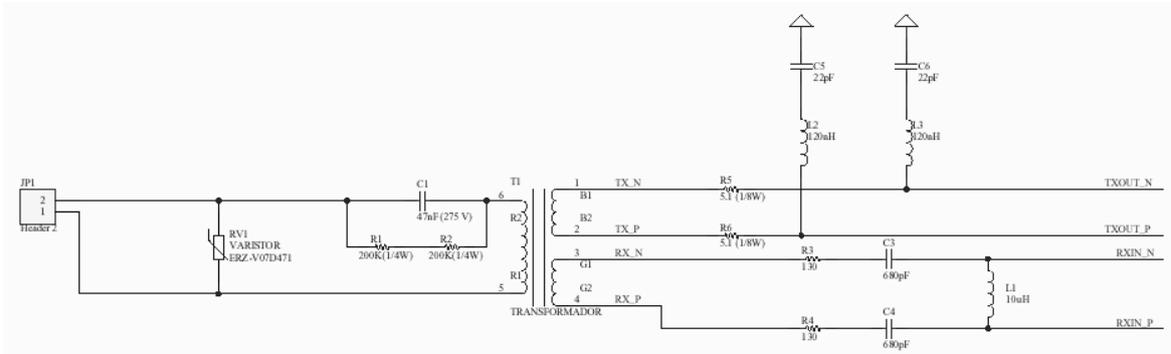
Figura. 6.13. Diagrama del Diseño para el Puerto USB.

### 6.2.2.1 Conexión Línea Eléctrica e INT5200.

Las conexiones de esta etapa de acoplamiento son las mismas que se emplearon para la aplicación PCI, que se detallan en la sección 6.2.1.1. La única diferencia radica en la adición de dos filtros a una de las derivaciones del secundario del transformador, específicamente sobre la derivación usada para la transmisión.

La implementación del circuito acoplador tiene la función principal de permitir enviar/recibir la señal OFDM de la línea eléctrica, como también, proteger a los dispositivos de las perturbaciones nocivas presentes en la línea eléctrica.

A continuación se muestra el circuito acoplador empleado en el diseño para la aplicación USB.

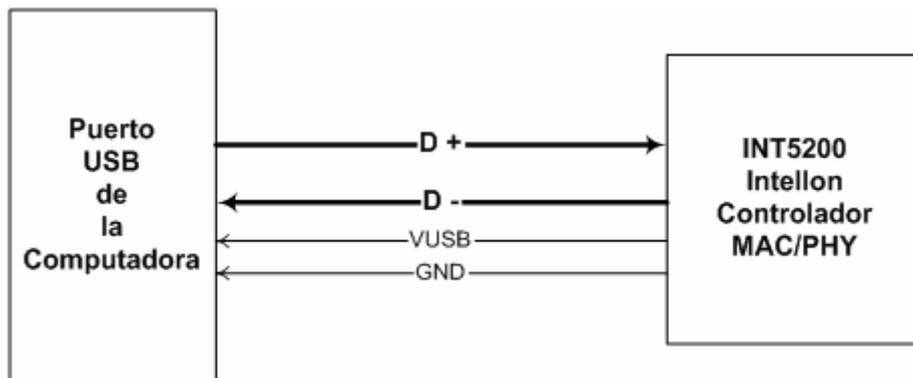


**Figura. 6.14. Circuito Acoplador que permite la conexión entre la línea eléctrica y el INT5200**

### 6.2.2.2 Conexión Puerto USB e INT5200.

Para esta aplicación, se setea eléctricamente el INT5200 en el modo USB a fin de usarlo como dispositivo de capa física que permite la conexión directa con el puerto USB a través de la señales: VUSB, D+, D-, GND.

VUSB es el voltaje del puerto, del cual se adquiere la alimentación para el circuito de la aplicación. D+ y D- son los terminales de datos y GND es el pin de tierra.



**Figura. 6.15. Conexión entre el Puerto USB e INT5200**

Al igual que en la aplicación PCI se usan dos memorias EEPROM seriales de 8bits. La primera sirve para el AFE (Analog Front End) del INT5200, a fin de guardar los datos referentes a la operación del Ajuste de Ganancia del DAC y el Ajuste de la Ganancia del Filtro Digital. La segunda memoria se usa para el almacenamiento de datos referentes a la MAC.

La programación de la memoria para el AFE deben seguir los criterios mostrados en la Tabla. 6.2. En las columnas especificadas por XX, hay que insertar un valor dependiendo de los criterios de ajuste en el funcionamiento final, para lo cual se incluyen dos tablas (Tabla. 6.3 y Tabla. 6.4) que describen los Bytes que se deben ingresar en las direcciones tanto para el Ajuste de la Ganancia del DAC, como para el Ajuste de la Ganancia del Filtro. El fabricante sugiere dos valores por default, en la ganancia del DAC como del filtro digital, las cuales se encuentran señaladas con un asterisco.

Como se mencionó, el INT5200 usa cuatro pines de salida y entrada para controlar la memoria serial EEPROM para el AFE, estos se detallan en la Tabla. 6.5.

Adicional al circuito de reloj de 25[MHz] que usa el INT5200 en el modo PHY, se requiere, para el modo USB, utilizar un circuito de reloj de 48[MHz] cuyo diseño también ha sido desarrollado por el fabricante.

Es necesario, diseñar un acoplamiento de las fuentes de alimentación que ofrece el puerto USB: 5[V], en las cuales se requiere fuentes digitales y analógicas con voltajes de 1.8, 1.5 y 3.3[V]. Por esta razón se diseñan filtros para que el ruido no interfiera en el funcionamiento del INT5200; los diseños se encuentran en la sección 6.2.1.5.

Los diagramas electrónicos, correspondientes al prototipo USB se encuentran en el Anexo 2, titulado “Diagramas para aplicación USB”.

## 6.3 PCB

### 6.3.1 Generalidades.

Luego del diseño electrónico, se procede a la compilación para obtener los diagramas correspondientes a las tarjetas de circuitos impresos. Tanto para la diagramación electrónica como para la obtención de los circuitos impresos, se utiliza el programa PROTEL DXP ya que toma muchas consideraciones importantes al diseñar dispositivos que trabajan a velocidades del orden de los MHz.

Una de las consideraciones, por ejemplo, es controlar las impedancias parásitas que existen entre las pistas, para lo cual PROTEL DXP permite ingresar dos fórmulas. La primera para calcular la impedancia y otra para calcular el ancho de los trazados.

Permite también ingresar fórmulas individuales cuando se desea generar PCBs con capas internas (STRIPLINE) como cuando se desea generar las dos capas externas (MICROSTRIP).

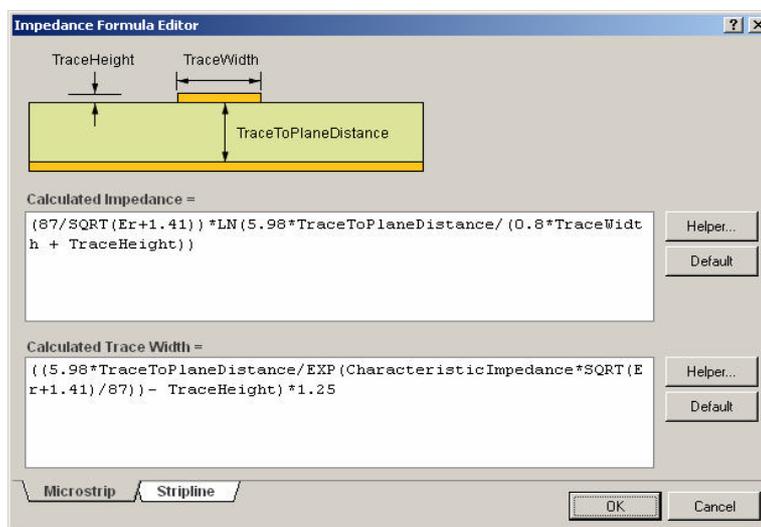
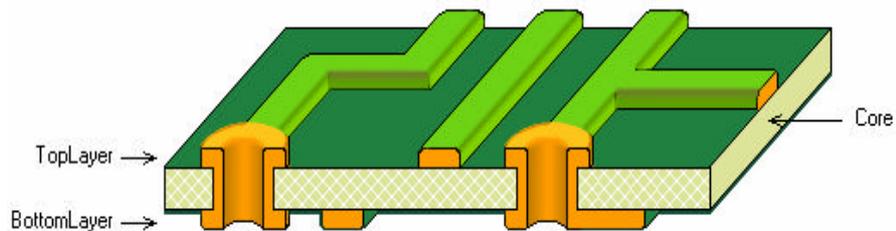


Figura. 6.16. Cálculo de Impedancias y Ancho de las pistas en el PCB, en PROTEL DXP

Para el diseño de las PCBs tanto para la aplicación PCI como USB, no se uso el modo de capas internas sino externas, como se muestra en la siguiente figura, esto más por la relativa facilidad en la implementación ya que para implementar físicamente PCBs con capas internas se necesita otro tipo de tecnología que no está contemplada en este proyecto de tesis.



**Figura. 6.17. Detalle de la sección del tipo de PCB a usar en el proyecto.**

### 6.3.2 PCBs Aplicación Puerto PCI.

Existen dos PCBs que en conjunto forman la aplicación para puerto PCI. La primera contiene netamente la capa física y de enlace, mientras que el circuito acoplador se encuentra implementado en otro PCB.

Las gráficas tanto de cara superior, inferior y cara de ID de componentes, se encuentran en el Anexo 1, titulado “Diagramas para aplicación PCI”, Diagramas 8, 9, 10, 11 y 12.

PROTEL, ofrece también una vista virtual tridimensional de la tarjeta después de implementada, como se muestra en las siguientes graficas y que corresponden a la aplicación para puerto PCI.

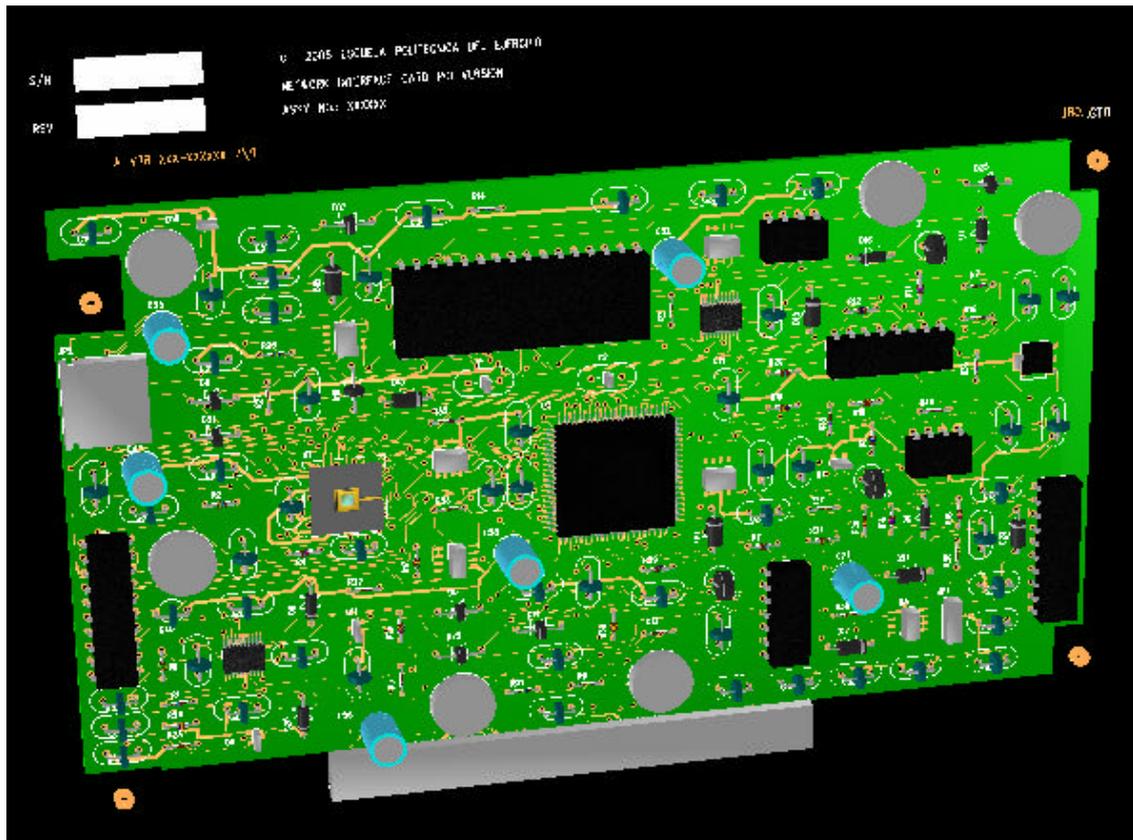


Figura. 6.18. Prototipo Aplicación PCI, contiene las Capas MAC y PHY.

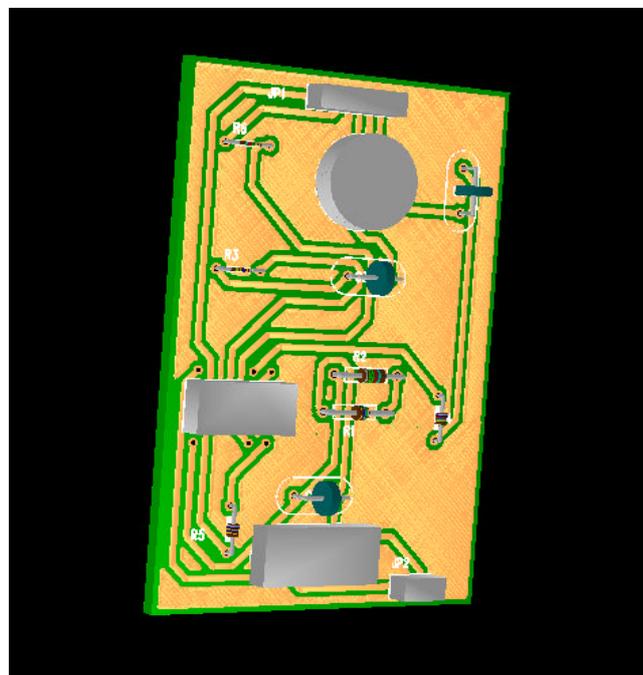


Figura. 6.29. PCB Aplicación PCI, contiene etapa de Acople para la Línea Eléctrica.

### 6.3.3 PCBs Aplicación Puerto USB.

Para la aplicación del Puerto USB, se desarrolló una sola tarjeta de circuito impreso, cuyas gráficas, tanto de cara superior, inferior y cara de ID de componentes, se encuentran en el Anexo 2, titulado “Diagramas para aplicación USB”, Diagramas #6, 7 y 8.

Como se observa en los diagramas de la aplicación del puerto USB, la línea de voltaje se conecta directamente al PCB, y esta a su vez se conecta al puerto del computador.

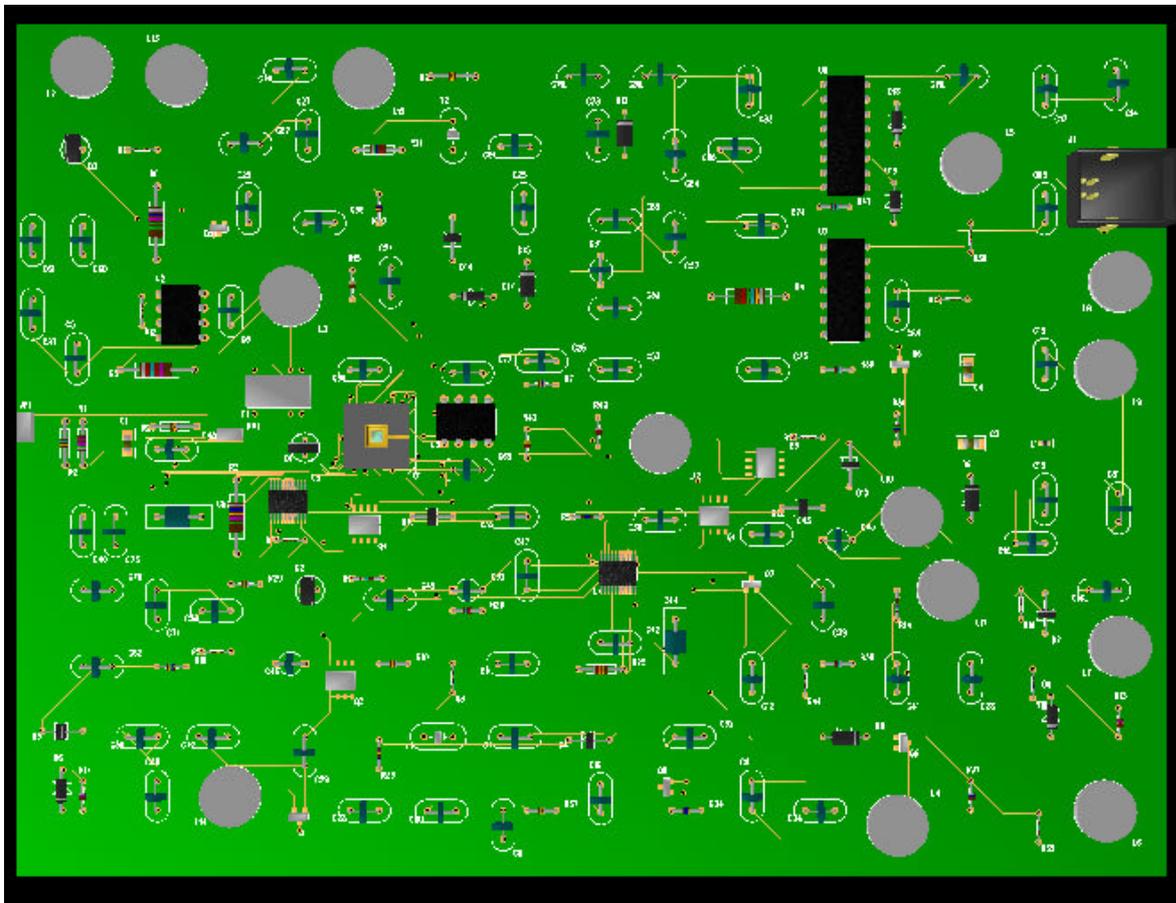


Figura. 6. 20. Prototipo Aplicación USB .

## 6.4 Funcionalidad.

Se citarán características del funcionamiento de los prototipos planteados en esta tesis. Vale recalcar, que los drivers que se presentan en esta sección, los desarrolla el fabricante de los chips de capa de enlace, con el fin de enlazarse a la subcapa (LLC) y capas superiores que se encuentran implementadas en Windows.

Para el caso del prototipo para el puerto PCI, los drivers los brinda la National Semiconductors mientras que para el prototipo para el puerto USB los drivers los proporciona Intellon en su sitio ftp de soporte técnico, que es de acceso restringido.

### 6.4.1 Aplicación Puerto PCI.

La tarjeta de interfaz de red de datos para esta aplicación, permitirá la transmisión y recepción de datos entre dos computadores personales, que estén conectados en la misma fase de la línea eléctrica, de baja tensión; a una velocidad máxima de 14 [Mbps]. Esta velocidad, esta limitada por la capacidad máxima de velocidad de transmisión/recepción del chip de capa física (INT5200).

Esta tarjeta de interfaz de red, está diseñada para funcionar con varias versiones del sistema operativo Windows, como se muestra en la siguiente tabla:

OS	Driver	Version	Last Update
Windows Release Notes	Release Notes	x.0.140	7/15/2004
WinXP	NDIS5	5.0.140	7/15/2004
Win2k	NDIS5	5.0.140	5/18/2004
WinME	NDIS5	5.0.140	5/18/2004
Win98SE	NDIS5	5.0.140	5/18/2004
Win98	NDIS4	4.0.140	5/18/2004
WinNT4.0	NDIS4	4.0.140	5/18/2004
WinCE4.x	Driver, Release	1.36.3	12/11/2002

**Tabla. 6.6. Versiones de Windows compatibles con la Tarjeta de Interfaz de Red Datos para PCI.**

Con estos drivers, la tarjeta de interfaz de red permitirá usar las mismas aplicaciones que usa una tarjeta ethernet normal, por ejemplo, transferir archivos, compartir internet, y todo lo relacionado a los servicios de transmisión y recepción de datos que ofrece las aplicaciones basadas en Windows.

#### **6.4.2 Aplicación Puerto USB.**

La tarjeta de interfaz de red de datos para esta aplicación, al igual que la del prototipo para PCI, la transmisión y recepción de datos entre dos computadores personales, que estén conectados en la misma fase de la línea eléctrica, de baja de tensión; a una velocidad máxima de 14[Mbps], velocidad máxima debida a que se está empleado el mismo chip de capa física (INT5200), que en el caso anterior.

Al igual que la tarjeta de interfaz de red para el puerto PCI, está diseñada para funcionar con el sistema operativo Windows en versiones como 98SE/ME/2000 o XP como lo indica el fabricante del chip.

Consecuentemente, los drivers de esta tarjeta de interfaz de red, permitirán usar las mismas aplicaciones que una tarjeta ethernet normal (transferencia de archivos, Internet), es decir, todo lo relacionado a los servicios de transmisión/recepción de datos que ofrecen las aplicaciones basadas en Windows.

Este prototipo tiene una característica adicional, relacionada con el modo de conexión. A diferencia del prototipo para el puerto PCI, esta tiene la capacidad de ser conectada y/o desconectada sin necesidad de apagar el computador ni de abrir el gabinete del mismo.

## CAPITULO 7

### ANÁLISIS Y ESTUDIO DE FACTIBILIDAD DE IMPLEMENTACIÓN

#### 7.1 ENCAPSULADOS

El proceso de miniaturización de dispositivos electrónicos provoca una exigente evolución de los encapsulados de los mismos, esto para permitir a los consumidores obtener sistemas cada vez más compactos, portátiles y principalmente con mayor funcionalidad, resaltando que, técnicamente la disminución en tamaño y conexiones más cortas son de gran beneficio para aplicaciones de alta frecuencia.

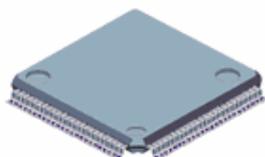
Los circuitos integrados pueden estar disponibles en varios tipos de encapsulado como: DIP (Dual In-line Package), LCC (Leadless Chip Carrier), QFP (Quad Flat Package), PGA (Pin Grid Array), BGA (Ball Grid Array). Existen muchos otros patrones de encapsulado, sin embargo, los anteriormente mencionados son utilizados por procesadores y otros circuitos que generalmente se encuentran en PCs, como es el caso de chipsets y memorias.

Un parámetro importante que se maneja en este tipo de encapsulados es el “*pitch*” y hace referencia a la distancia entre centro y centro de dos pines contiguos.

Aspectos relacionados con los dispositivos de montaje superficial se los encuentra en el Anexo 6, titulado “Dispositivos de Montaje Superficial.

## 7.1.1 Encapsulado LQFP.

### 7.1.1.1 Introducción.



QFP es el término genérico que designa a los encapsulados de los dispositivos de montaje superficial (SMD - Surface Mounting Device) que poseen terminales del tipo “gull-wing”, en sus cuatro lados. En los dispositivos con este tipo de encapsulado, el pitch habitual va de 0.3[mm] a 1[mm] y tiene de 44 a 244 pines.

El QFP es utilizado en circuitos integrados que serán soldados directamente en placas de circuito impreso, a través de técnicas de montaje superficial (SMT – Surface Mounting Technique) que se detallan en el Anexo 7, titulado “Tecnología de Montaje Superficial”. Cuando el circuito integrado utiliza encapsulado cerámico, pasa a ser llamado CQFP y, cuando utiliza encapsulado plástico, se denomina PQFP.

### 7.1.1.2 Propiedades.

Debido a su diseño, se logra una mejora en la inductancia y en la resistencia parásita que ofrece el encapsulado. La inductancia parásita puede reducirse a 1[nH], y las resistencias, de 5 o 25[m $\Omega$ ] a 1[m $\Omega$ ]. Estas mejoras toman gran importancia a altas frecuencias, ya que de acuerdo al efecto Kelvin, los electrones se ven desplazados por los campos magnéticos, más lentos, y se ven empujados a los límites exteriores del conductor. Este efecto produce una disminución de la sección efectiva del conductor, un aumentando así la resistencia.

Otra propiedad de los dispositivos con encapsulado QFP, es que son componentes que están preparados para las últimas tecnologías, soportan muchos tipos de ácidos, disolventes, limpiadores, y solamente con sumergir el circuito en acetona se puede llegar a eliminar los residuos resultantes de las soldaduras. Los residuos de las soldaduras pueden ser higroscópicos y/o ácidos, por lo que es necesario eliminarlos, ya que pueden formar resistencias e inductancias parásitas.

Los dispositivos con encapsulado QFP, son bastante ligeros, por lo que son recomendados para uso en áreas muy estrictas del diseño como aviación, armamento, etc. Además, vienen empaquetados para distribución en planchas (trays) o en cinta (tape&reel) para protegerlos ya que pueden ser dañados fácilmente.

El encapsulado está sujeto a variaciones de longitud por motivos térmicos, por lo que los encapsulados deben tener los mismos coeficientes de dilatación que la fibra de vidrio. Los fabricantes tienen muy en cuenta este factor y los fabrican así, porque de lo contrario se reduce la vida útil del circuito, ya que las soldaduras sufren estrés mecánico y fatiga.

### **7.1.1.3 Aplicaciones.**

El encapsulado LQFP está diseñado para circuitos integrados de aplicación específica: procesadores de señal digital, microprocesadores, controladores, procesadores gráficos, memorias de acceso randómico estático síncronas (SSRAM), chipsets de computadoras.

En general, las principales aplicaciones van orientadas a productos de comunicación inalámbrica, computadores personales, cámaras digitales, video/radio, ASIC, DSP, pagers, módulos CATV/RF, etc.

Ejemplos de dispositivos electrónicos con encapsulado QFP son:

**EPSON S1F81150.** Integra todas las funciones de alimentación requeridas por la CPU del procesador Intel PXA27x. Se dirige al mercado de los futuros equipos de información móvil: hand-held, teléfonos inteligentes o PDA. Se presenta en un encapsulado QFP de 12-48 pines o QFP de 7-48 pines.



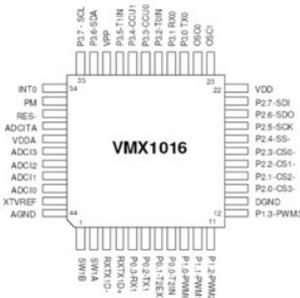
**Elan Multimedia RISC II.** Tecnología de reconocimiento de escritura. Entre las características de la línea de controladores Elan incluye un codificador/decodificador ADPCM para reproducción y grabación de melodías y voz. Los encapsulados disponibles son QFP de 100, 128, 160 y 44 pines.



**Microcontrolador Flash de 16 bits.** Opera con un consumo típico de sólo 200[ $\mu$ A] y un consumo en modalidad de reserva de 0,1[ $\mu$ A]. Es ideal para una amplia gama de aplicaciones: contadores, equipos médicos portátiles y equipos alimentados por batería y por red. Está disponible en encapsulados de QFP-80A, TQFP-80C y P-TFLGA-85.



**VMX1016:** es una máquina de adquisición de datos con encapsulado QFP- 44 y está basado en un potente procesador de altas prestaciones. Incluye 1280[Bytes] de RAM y 24 pines de E/S programables. Este dispositivo integra una Unidad Aritmética se puede usar con efectividad para implementar operaciones DSP.



#### 7.1.1.4 Materiales de Fabricación.

Considerando exclusivamente el tipo de material del que está elaborado el encapsulado, los dispositivos con encapsulado QFP, se clasifican en: PQFP - encapsulado plano cuádruple **plástico** y CQFP - encapsulado plano cuádruple **cerámico**.



Los encapsulados cerámicos, son herméticos y se forman de cuatro piezas de cerámica seca prensada que rodea un marco uniforme. Las tapas, son opcionales para dispositivos con encapsulados CQFPs y son selladas sobre la cavidad del paquete a temperaturas en el rango de 400 a 460[°C].

Existe gran variedad de encapsulados QFP, tanto plásticos como cerámicos, que reúnen características técnicas propicias para determinado tipo de aplicación:

- ✓ BQFP: bumpered quad flat package.
- ✓ BQFPH: bumpered quad flat package with heat spreader.
- ✓ FPQFP: fine pitch quad flat package.
- ✓ FQFP: fine pitch quad flat package.
- ✓ MQFP: metric quad flat package.
- ✓ MQFP2: metric quad flat package with heat sink.
- ✓ MQFPH: metric quad flat package with heat spreader.
- ✓ PQFP: plastic quad flat package.
- ✓ SQFP: shrink quad flat-pack (32,48,64,80,208,240).
- ✓ SQFP2: shrink quad flat package with heat sink.
- ✓ SQFPH: shrink quad flat package with heat spreader.
- ✓ TQFP: thin quad flat package.
- ✓ TQFP2: thin quad flat package with heat sink.
- ✓ TQFP2: thin quad flat package with 1.0[mm] body thickness.
- ✓ TSQFP: thin shrink quad flat-pack (44,64,100).
- ✓ VQFP: very small quad flat package.
- ✓ VTQFP: very thin quad flat package

Los encapsulados TQFP, también proveen los beneficios del encapsulado MQFP, pero son más delgados, pues contemplan un espesor de cuerpo de 1.0[mm].

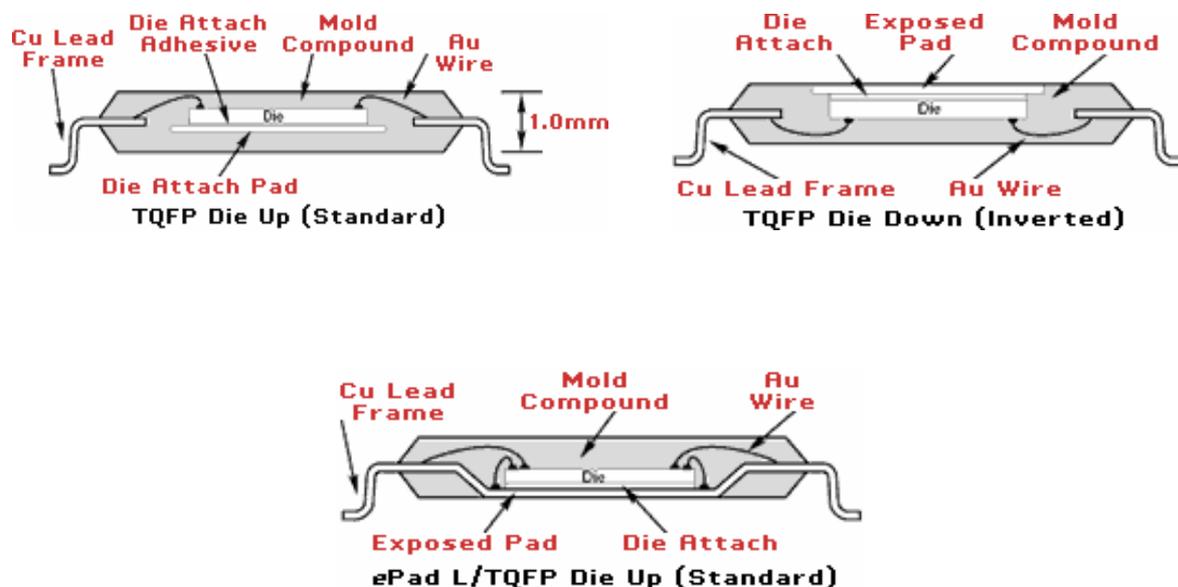


Figura. 7.1. Esquema de conexión interna de dispositivos con encapsulado TQFP.

El encapsulado LQFP PowerQuad2 (PQ2) provee extraordinarias ganancias en disipación de potencia y velocidad. Su estructura ayuda a reducir la autoinductancia un 50% sobre los LQFPs de plástico convencionales.

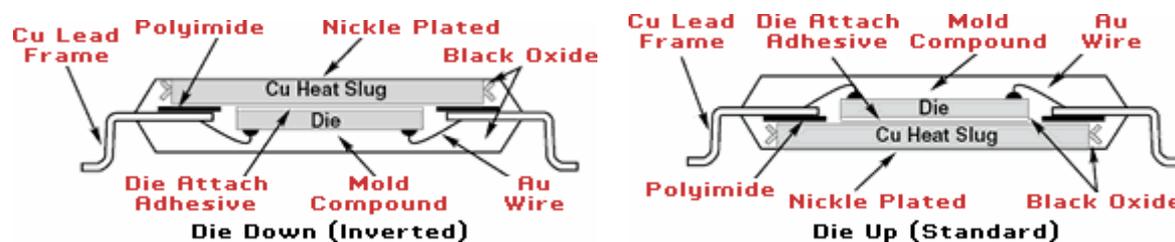


Figura. 7.2. Esquema de conexión interna de dispositivos con encapsulado LQFP Power Quad 2.

En el EPAD-TQFP (Exposed Pad TQFP), la función termal es mejorada 29% comparada con TQFPs convencionales y es apropiado para aplicaciones de 2 a 3[W] de potencia. Encapsulados de este tipo tienen dimensiones que van desde 10x10[mm] a 14x14[mm] y un total de pines en el rango de 64 a 128.

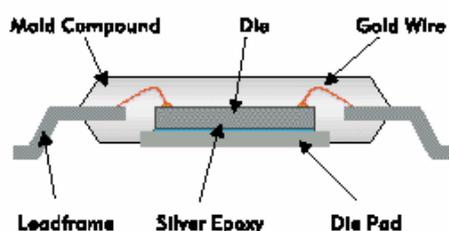


Figura. 7.3. Esquema de conexión interna de dispositivos con encapsulado EPAD-TQFP .

#### 7.1.1.5 Consideraciones de Montaje en PCB.

Por experiencias dadas al tratar de realizar el montaje de estos dispositivos sobre las PCBs, se determina que se deben considerar los siguientes aspectos:

Limpiar y eliminar cualquier suciedad o soldadura presente sobre los pads (puntos de suelda) de la PCB.

Usar un método seguro para colocar cuidadosamente el dispositivo sobre la PCB, especialmente cuando se manipulan dispositivos antiestáticos.

Emplear la herramienta adecuada para alinear el dispositivo sobre los pads de la PCB. Chequear el alineamiento y de ser necesario hacer los ajustes requeridos o remover el dispositivo y volver a realizar el proceso de fajamiento.

Al momento mismo de soldar, se debe considerar que la mayor causa de fallos en dispositivos SMD, se debe al estrés mecánico producido por el shock térmico durante el proceso de soldadura. De ahí que es necesario realizar un precalentamiento del componente entre 80 y 120[°C], y verificar que la diferencia de temperatura entre la pista y el componente no exceda los 150[°C].

Luego de soldar se debe empañar los pines con “flux” para reforzar la suelda y evitar posibles corto-circuitos; además, inspeccionar la tarjeta usando, preferentemente, herramientas de aumento visual.

Una vez terminada la inspección y luego de haber retirado el “flux, es necesario secar la tarjeta con un compresor de aire caliente o nitrógeno.

Para determinar de forma más clara los aspectos básicos que se deben considerar al momento del montaje de dispositivos con encapsulados QFP sobre la PCB, se recomienda revisar la información sobre el proceso de soldadura de un dispositivo QFP, que se encuentra en el Anexo 8, titulado “Proceso para Soldar y Desoldar Dispositivos QFP”.

#### **7.1.1.6 Sistemas para Montaje en PCB**

Empresas dedicadas a la fabricación de dispositivos SMD así como aquellas que fabrican productos finales con tales dispositivos, manejan la producción a gran escala. En estos casos se emplean equipos lo suficientemente sofisticados como para soldar y/o desoldar componentes SMD en muy poco tiempo pero con alta eficacia. Para soldar dispositivos QFP, se puede disponer de equipos que no requieren ser tan sofisticados, sin embargo, también existen varios equipos que cuentan con tecnología de punta.

**ASSEMBLEON.** Compañía del grupo Phillips se dedica a la fabricación de maquinas de



P&P de dispositivos SMD. Dispone de maquinas de montaje flexibles, precisas y de baja velocidad con 6.000[componentes/hora] hasta las mas rápidas del mercado de 92.000[componentes/hora].

Estas máquinas son totalmente automáticas y re-centran los componentes por sistemas de visión, colocando toda la gama de componentes existentes en el mercado como encapsulados BGAs, CSPs, QFPs de paso 0,3. Todas estas maquinas se pueden gestionar por software a la hora de la programación.

**JBC-JT-7700.** Es una estación de aire caliente empleada para desoldar componentes SMD,



especialmente integrados tipo QFP y PLCC. La estación incorpora una bomba generadora de aire caliente, con control electrónico sobre la temperatura y el caudal del aire. Su sistema realiza la desoldadura de manera limpia y rápida, protegiendo el resto de los componentes y

concentrando el calor en el circuito integrado a desoldar. Puede desoldar un integrado SMD de tamaño medio en unos 20 segundos.

**ERSA.** Su rango de equipos para trabajar con SMD permite un control de proceso



reproducibile. El rango completo consiste de un amplio espectro de herramientas para soldar, puntas y sistemas modulares. Desde la fina separación de los QFP y los híbridos cerámicos, hasta los mini-MELF y las tarjetas de circuitos impresos multicapa, los sistemas SMT de ERSA

**AIRPENCIL ZT-2-MIL.** Incluye un control de temperatura variable de circuito cerrado, un dial de control de reflujo con ‘ajuste ultra ligero’ para los chips miniatura, un suministro autocontenido de aire caliente, etc. La corriente de aire dirigida a un punto específico produce el reflujo rápidamente en los dispositivos con espacios de paso corto.



Debido al ajuste extra fino de la velocidad del aire, se puede trabajar con éxito con pasta de soldar para reflujo de alta calidad, creando uniones de soldadura repletas de uniones lisas cóncavas (fillets) en las patillas, talones y lados de los dispositivos SMD.

**AIRBATH ZT-1-BGS.** Es una máquina de Baño de Aire (air bag). El baño de aire es una solución para evitar quemar los montajes de las placas de circuito impreso (PCB) ya que impide la degradación térmica y la descarga térmica, el levantamiento de capas y pistas, la separación de los planos del sustrato (delamination), la creación de manchas y cruces blancas bajo la superficie de la lámina superior (measling).

## 7.1.2 Encapsulado BGA.

### 7.1.2.1 Introducción.

Luego de muchos años de investigación y de desarrollo tecnológico, se hacia muy fuerte el querer desarrollar técnicas de diseño de circuitos integrados que permitan distribuir una mayor cantidad de pines en una menor superficie de encapsulado. Al final de todo este proceso, se lograron desarrollar los denominados PLCC (Plastic Leaded Chip Carrier) con terminales tipo “J” en sus cuatro lados y los QFP (Quad Flat Pack) con terminales tipo “Gull Wing” en sus cuatro lados.

Sin embargo, surgió la necesidad de incrementar el número de entradas/salidas de los nuevos diseños de circuitos integrados, tomando en consideración el hecho de no aumentar considerablemente el tamaño de los mismos y de que el “pitch” no sea demasiado fino para evitar graves problemas en el proceso de fabricación a gran escala.

Con estos antecedentes, se desarrolló el BGA (Ball Grid Array), el mismo que dispone sus pines de soldadura en forma de bolas de estaño-plomo ubicadas en la superficie inferior del circuito integrado estructurando una especie de matriz.

En todos los encapsulados BGA una bola de soldadura está unida al encapsulado en cada posición de la rejilla de soldadura (grid). Esta unión se efectúa antes de que se incorpore el IC al encapsulado. Durante el ensamblaje se utilizan pastas para soldar las bolas a la placa.



**Figura. 7.4. Evolución de los encapsulados de dispositivos SMD.**

El distribuir los pines en la superficie del circuito integrado, elimina tener medidas de pitch demasiado finas, sin embargo, debido a que la soldadura deja de estar visible es necesario el empleo de nuevas técnicas, métodos y herramientas para el montaje de circuitos integrados con este tipo de encapsulados sobre las placas de circuito impreso.

En la siguiente figura se observa la distribución de los pines para los encapsulados BGA, desde una perspectiva gráfica horizontal e inferior.

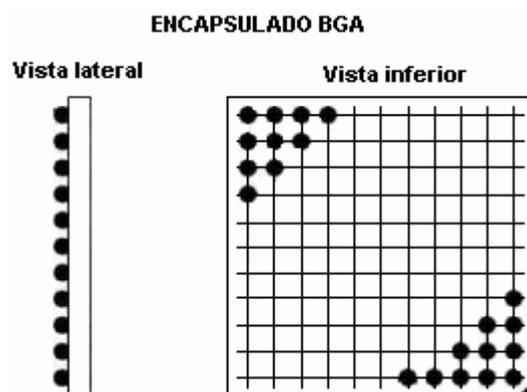


Figura. 7.5. Distribución matricial de pines del encapsulado BGA.

### 7.1.2.2 Propiedades.

La distribución de pines en la superficie del circuito integrado, elimina el tener dimensiones de “pitch” demasiado finos, evitando así un grave problema al momento de la fabricación en serie de circuitos integrados con este tipo de encapsulado.

El encapsulado BGA permite emplear alambres muy cortos en el interior del circuito integrado, característica que radica en una mayor velocidad principalmente de flujo de datos.

Permite tener una gran cantidad de pines en una superficie muy pequeña, lo que influye directamente en la posibilidad de implementar dispositivos electrónicos mucho más compactos.

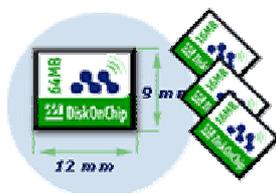
Ofrecen una mayor integridad, fidelidad en la transmisión y mejor disipación de calor.

### 7.1.2.3 Aplicaciones.

Los circuitos integrados con encapsulado BGA tienen una gran variedad de aplicaciones enmarcadas en dos grandes campos: la primera dentro de las telecomunicaciones y la segunda dentro de los PC y equipos electrónicos. A continuación se citan a manera de ejemplo, dispositivos electrónicos de alta tecnología que emplean circuitos integrados con encapsulado BGA.

**DIMMs DDR2 de Kingston.** Estos chips empleados por Kingston en sus módulos DDR2-533 pueden ser usados en cualquier configuración DDR533, desde 256[MB] hasta 1[GB] por DIMM. Las hojas de características de Kingston indican que habrá disponibles módulos DDR2 de hasta 4[GB] que están disponibles gracias a la aparición de chips FBGA de alta densidad.

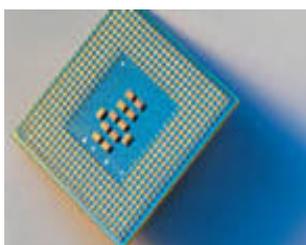
**Chip Disco Flash de 16[MB].** Es un circuito integrado de 63 pines con encapsulado BGA,



con una capacidad de 16[MB] de almacenamiento. Este dispositivo de estado sólido es un diminuto disco rígido que se alimenta con un reducido voltaje de 1,8[V], y un consumo muy bajo de apenas 30[ $\mu$ A] en modo descanso, y 13[mA] en modo activo. Permite una

velocidad de escritura por impulsos de 14[Mbps], la escritura sostenida de 550[Kbps], y la de lectura de 1.4[Mbps], compatibilidad con todos los sistemas operativos.

**Procesador Intel Celeron para Portátiles.** Los encapsulados especiales en miniatura,



como los BGA, posibilitan la creación de computadoras portátiles más compactas y ligeras. Los procesadores Intel Celeron para portátiles ofrecen fiabilidad y movilidad, se encuentran disponibles con tecnología de voltaje bajo y muy bajo, estos procesadores además proporcionan el rendimiento necesario para

ejecutar aplicaciones actuales con la flexibilidad propia de la informática portátil.

**Procesador de banda base de LAN inalámbrica.** STMicroelectronics desarrolló este chip procesador multimodo STLC8201, que junto con un transceptor RF de LAN inalámbrica de banda dual, forma parte de la plataforma para sistemas IEEE802.11a/b/g de bajo costo, incluyendo pasarelas ADSL inalámbricas, routers de banda ancha, puntos de acceso, servidores de medios, puentes, servidores de impresión y otros módulos inalámbricos. Este procesador, se presenta en un encapsulado BGA de 256 pines, y dispone de un set de software, que incluye firmware de estación y punto de acceso, drivers de Windows y Linux, funciones de análisis de ingeniería, GUI y gestión de punto de acceso.

#### 7.1.2.4 Materiales de Fabricación.

Los encapsulados BGA están elaborados a base de materiales como: FR-4, cobre y cerámica. Considerando esto, los BGA pueden ser:

- PBGA: son BGAs de **plástico** con bolas fundibles ó con bolas no fundibles; y
- CBGA: son BGAs **cerámicos** con bolas fundibles ó con bolas no fundibles.

Además, los BGA se pueden clasificar en:

- EBGA: enhanced ball grid array.
- FPBGA: fine pitch ball grid array.
- LCBGA: low cost ball grid array.
- TBGA: tape ball grid array package

Los pines (bolas) de los BGA son elaboradas a base de plomo y estaño; dependiendo de los porcentajes de composición se clasifican en:

- Bolas eutécticas (fundibles), en cuyo caso, la pasta se fusiona con la soldadura.
- Bolas no eutécticas (no fundibles), en este caso la soldadura atrae la bola.

Hablar de encapsulados BGA implica hablar de módulos multichip, es decir, encapsulados que contiene dos o más chips, que están formados por un sustrato que soporta a los distintos componentes y que una vez encapsulado tiene un aspecto exterior similar al de un único chip. La conexión de los chips al sustrato puede hacerse por wirebonding o flip-chip.

Los módulos multichip, según el tipo de sustrato, se clasifican en: *MCM-C* (cerámico), *MCM-D* (película delgada) y *MCM-L* (laminado).

**MCM-L:** el sustrato es un laminado FR4, BT o polimida de alta resolución para poder trazar pistas con anchuras de 100 a 125[ $\mu\text{m}$ ]. La elección de un material u otro depende de distintos parámetros como la Tg (temperatura a la que el material cambia de estado sólido a líquido), su resolución, etc.

**MCM-C:** los sustratos son compuestos como la alúmina ( $\text{Al}_2\text{O}_3$ ) o nitruro de aluminio (AlN). Permiten entre 30 a 50 capas conductoras y la deposición de componentes pasivos por técnicas de impresión

**MCM-D:** los sustratos suelen ser de silicio, lo que implica anchuras de pistas de varias micras, lográndose así el grado de miniaturización más alto de todos los MCM. En este

tipo de MCM están ausentes los problemas asociados con los distintos CTE, debido a que al ser el sustrato de silicio, tanto los chips como el sustrato se dilatan de la misma forma.

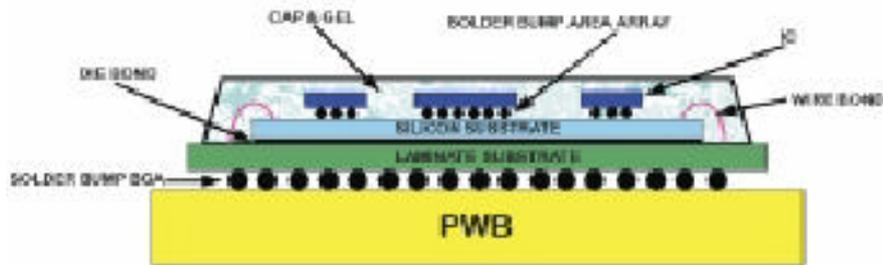


Figura. 7.6. Corte transversal de un MCM-D basado en un sustrato de silicio.

#### 7.1.2.5 Técnicas de Interconexión Chip-Sustrato.

**Flip-chip o C4.** Por medio de técnicas de impresión de pasta, se depositan en las E/S del chip, bolas de pasta de soldadura, luego se le da la vuelta (flip-chip), se coloca sobre un sustrato y se hace la refusión para que se produzca la soldadura chip-sustrato. Con esto es posible conectar chips de hasta 1000 E/S a un sustrato de una forma muy rápida. Dependiendo del pitch de las E/S se deposita la pasta, directamente o efectuando una redistribución (rerouting) de las E/S que originalmente se encuentran en la periferia situándolas sobre el área completa del chip.

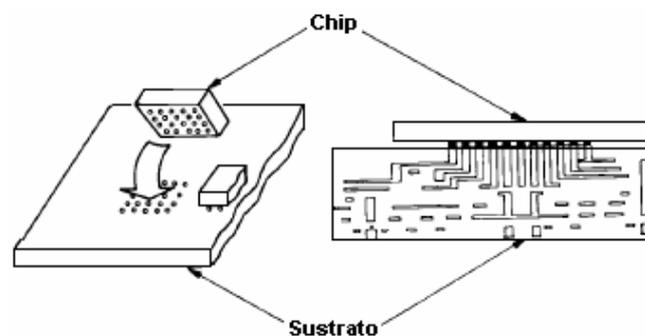
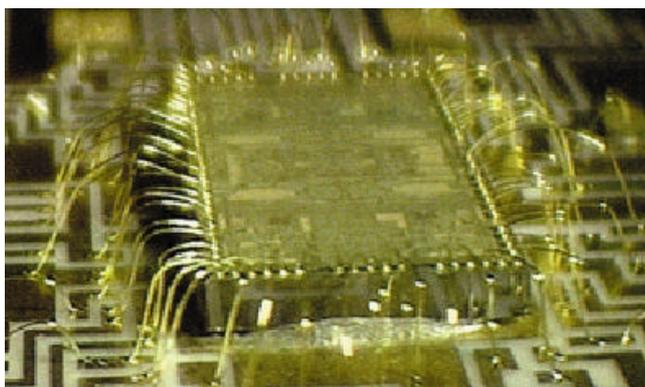


Figura. 7.7. Técnica de interconexión flip-chip.

La redistribución, es necesaria debido a que las técnicas de impresión de pastas no permiten pasos por debajo de 250[ $\mu\text{m}$ ] de forma industrial. Generalmente las E/S de los chips están entre 100 y 200[micras] por lo que es necesario hacer la redistribución para conseguir distancias de 350[micras]. Se trata de un proceso sencillo utilizando técnicas fotolitográficas estándar de fabricación de semiconductores.

El principal problema que frena la expansión de la técnica flip-chip es la fiabilidad, debido a que cuando se conectan dos cuerpos con distinto coeficiente de expansión térmica CTE (que se dilatan y contraen de forma distinta), las excursiones en temperatura pueden llegar a romper su unión. La técnica “under-filling” es la más utilizada para evitar las distintas dilataciones y consiste en depositar un epoxy o pegamento entre el chip y sustrato y que una vez curado evita las dilataciones.

**Wirebonding.** Consiste en la conexión de una E/S de un chip, por medio de un hilo de oro o aluminio, a un sustrato. En la actualidad las máquinas son capaces de hacer un hilo cada 0,2[s], sin embargo, dejan de ser eficaces para chips con más de 200 E/S. Los diámetros de los hilos utilizados están entre 25 y 40[micras] y entre 100 y 125[micras] para aplicaciones de potencia. En la actualidad el pitch con los que se trabaja están entre 100 y 125[ $\mu\text{m}$ ].



**Figura. 7.8.** Wirebonding de un chip a un sustrato cerámico mediante hilo de oro.

Hay tres tipos de wirebonding dependiendo de la energía utilizada para producir la soldadura, estos son: *ultrasonidos* (US), *termocompresión* (TC) y *termosónico* (TS).

### 7.1.2.6 Consideraciones para Montaje en PCB.

Generalmente los dispositivos BGA son sensibles a cargas electrostáticas, esto implica que es necesario manipularlos tomando en cuenta normas antiestáticas. La exposición de dispositivos BGA a fuentes de humedad puede provocar que en el proceso de soldadura dicha humedad forme vapor y como consecuencias se produzcan fisuras en el encapsulado, lo que además conllevaría a que se produzcan fallas eléctricas.

Algunos defectos de soldadura BGA (circuitos abiertos), se producen cuando las bolas de los encapsulados BGA tienen un diámetro mayor que las soldaduras de unión entre la bola y placa, esto evita que los sistemas de verificación por rayos x tanto en 2D como en 3D generen imágenes claras del interfaz donde se producen la mayoría de los circuitos abiertos.

Existe un riesgo significativo de desechar el montaje entero, por un daño inevitable en la placa PCB. Se necesita un método confiable para encontrar las soldaduras abiertas en los encapsulados BGA. Cuando la pasta está presente en la placa y se produce una unión abierta, normalmente la pasta atrae la bola por un efecto capilar.

En bolas fundibles, los efectos de la tensión superficial hacen que la bola en una unión abierta tenga un diámetro mayor que en una unión buena. Mientras que, en bolas no fundibles, la soldadura atrae la bola y la tensión superficial hace que la soldadura ocupe el espacio donde la bola está unida al encapsulado.

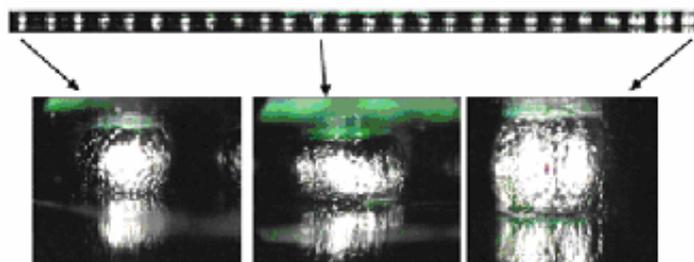
La causa predominante de la variación del diámetro de la bola, al momento del montaje sobre una placa de circuito impreso, es el cambio de forma del encapsulado BGA y la placa. El cambio de forma puede ser causado por el enfriamiento rápido y no homogéneo o por la liberación de la presión de la placa en el proceso de fabricación del PCB.



**Figura. 7.9.** Comparación de los efectos de cambio de forma del encapsulado y de la placa.

Debido a que no todas las uniones de soldadura se solidifican al mismo tiempo, un cambio de forma que normalmente desaparece después del enfriamiento puede convertirse en permanente. Por todo esto, es necesaria una compensación para el efecto de cambio de forma en el diámetro de la unión de soldadura para encontrar circuitos abiertos BGA.

El efecto de cambio de forma en el diámetro es normalmente gradual a lo largo del BGA, por lo que no se producen cambios bruscos o discontinuidades en el espacio entre el BGA y la placa.



**Figura. 7.10.** Bolas a lo largo del borde del BGA afectadas por el cambio de forma del encapsulado y de la placa.

### 7.1.2.7 Sistemas para Montaje en PCB

De la amplia gama de equipos empleados para el montaje de BGAs sobre PCBs, se considera que para el desarrollo de prototipos, a pequeña escala, el “Centro de reflujo ZT-7000” es el más adecuado, tanto por practicidad como por costo.

**CENTRO DE REFLUJO DE AIRE CALIENTE ZT-7 PARA BGA, CSP Y SMT.** Fue desarrollado para trabajos de prototipo, producción de bajo volumen, operaciones secundarias, y retoques de montajes de placas de circuito impreso electrónicas (PCBAs) en la mesa de trabajo para tareas que involucren dispositivos BGA, CSP y/o SMT.



El ZT-7-MIL es un sistema completamente integrado que hace posible obtener perfiles de temperatura meticulosos como los de equipo de producción a gran volumen. Cuenta con: control digital de temperatura, temporizador digital y una zona de calentamiento.



El "Eje-Z" levanta y baja la zona de calor hacia el dispositivo en cuestión en el sustrato; el "Eje-Y" retrae y devuelve la zona de calor antes y después del reflujo, permitiéndole al operador alinear, aplicar flujo, preparar, limpiar, e inspeccionar sin que la zona de calor interfiera.

Un aspecto sumamente notable es la función de reflujo, alineamiento y colocación. Entre sus atributos está la sonda de succión semiautomática, la cual levanta el BGA, CSP o SMD de la placa una vez que ocurre el reflujo, asegurándose de que no levante pistas.



Cuenta con dos controles independientes de ajustes que separados proveen 360° de rotación independiente de la sonda de succión, ayudando a alinear y colocar con precisión los BGAs de Fine Pitch. Abarca fácilmente el montaje de una PCB de hasta 52[cm] de profundidad y sin límite de largo.

Sistema comprehensivo de aire caliente ZT-7000 para BGA y SMT.



Incluye:

- unidad ZT-7 BGA y SMT de reflujo.
- baño de aire ZT-1-BGS-DPU
- la cuna ajustable ABC-1 para la placa

Costo: USD 9585

- Unidad de reflujo ZT-7000 de aire caliente.



Costo: USD 6450

- Unidad de baño de aire ZT-1 de calentamiento previo y cuna ABC-1 ajustable para la placa.



Costo: USD 3135

- Unidad de baño de aire ZT-1-HIS-DPU de calentamiento previo y cuna ABC-1 ajustable para la placa.



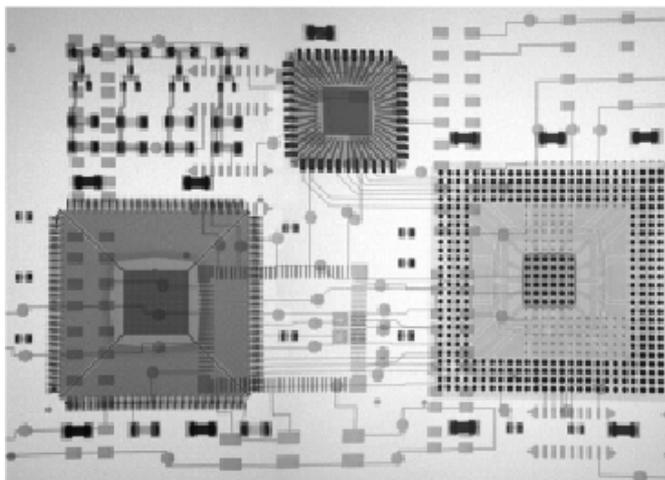
Costo: USD 1650

### 7.1.2.8 Técnicas y Equipos para Inspección del Montaje en PCB de Dispositivos SMD.

#### Tecnología Microfocus de Rayos X.

Las nuevas técnicas de encapsulado han generado nuevos tipos de conexiones, no visibles con las técnicas tradicionales de inspección óptica. Se ha encontrado una buena solución con la llegada de la nueva generación de fuentes de rayos X Microfocus con puntos focales por debajo de las 10-20[micras] y la mejora de la radiografía en tiempo real de microelectrónica y ensamblados. Se pueden conseguir niveles de magnificación que superan los 200-400 aumentos.

El nuevo diseño de ensamblados complejos puede requerir el uso de técnicas avanzadas en imagen 3D como la Tomo-síntesis o la Laminografía. Mediante estas técnicas, con las imágenes estándares en dos dimensiones, o con las imágenes tradicionales de rayos X, se tienen que hacer medidas relativas en dos ejes en el plano de la imagen, así como en una tercera dimensión, que está basada en la densidad relativa del material en que los rayos X han penetrado. Esto crea un conjunto de datos potencial en tres dimensiones que puede ser representado gráficamente y después ser presentado a un operador o a un ordenador para su posterior interpretación.



**Figura. 7.11. Representación gráfica de un conjunto de datos.**

Los precios de estos equipos varían entre USD 50000, para los sistemas de rayos X en tiempo real 2D rudimentarios, hasta USD 550000 o incluso más, para los sistemas automáticos en 3D que utilizan Tomosíntesis o Laminografía.

### **Equipo de Inspección por Rayos X - X8011.**

Las áreas de aplicación del X8011 incluyen la inspección del montaje de circuitos impresos, componentes electrónicos, así como inspecciones no destructivas.

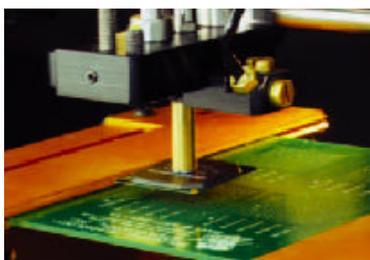
Incorpora la opción de tomografía computerizada (CT) permitiendo la inspección 3D y hacer visibles capas aisladas y cortes laterales. Los detectores digitales permiten la visión angular (I.T.I.S.) del objeto con la mayor magnificación.

Para este equipo, hay disponible una amplia gama de herramientas de auto análisis para bolas de BGAs y flip-chips, para soldadura superficial o uniones (cálculo de huecos) y análisis de hilos.

Entre sus principales características, podemos mencionar:

- Modo de Inspección Manual, Semi-Automática o totalmente Automático.
- Inspección angular rápida y sencilla con imágenes de alta definición mediante el uso de detectores de planitud de panel.
- Software de análisis para BGAs, flip-chips bucles de hilos, defectos superficiales.
- Se puede incorporar tomografía computarizada.

**Sistema de visión SNIPER SPLIT - SMD-7007.** Agrupa la precisión del alineamiento



visual con un completo sistema de refusión. El sistema de visión utiliza la última tecnología en ingeniería óptica y alineamiento; este ofrece control absoluto en el alineamiento de todos los componentes “ultra fine pitch”, QFP, CSP, Flip chip y micro BGA. Cuenta con el DABIS

(Dichroic Alignment Beam Image Splitter) que permite visualizar la imagen de los terminales de los componentes, sobrepuesta a la imagen de las líneas de la placa.

En resumen, las principales características de este equipo son:

- Alineamiento sin ajuste del espejo.
- Colocación automática.
- Sustentación de componentes por vacío.
- X, Y, Z y Theta ajustados por micrómetro.
- Cámara de alta resolución y monitor de 19” para visualización.

### 7.1.2.9 Instituciones De Investigación De Tecnología SMT.

Países dedicados a la investigación y desarrollo tecnológico se han encaminado en un proceso de servicio, ofrecen soluciones y apoyo al desarrollo de nuevos proyectos.

**Centro de Excelencia en Tecnología (Suzhou-China).** Trabaja en conjunto con un Laboratorio Avanzado SMT. Por sus conexiones con organizaciones comerciales e institutos de investigación, se proyecta a ser la fuente de muchas soluciones para los retos actuales y futuros. Entre los servicios que ofrece tenemos:

- Creación de Prototipos.
- Mini-BGA/CSP, flip chip, SMT.
- Inspección y análisis de falla
- Impresión en pasta
- Levante y colocación incluyendo:
  - Dispensadores, reflujo, CSP.
  - Retrabajo incluyendo: BGA y CSP.
  - Inspección óptica inferior de componentes de arreglo matricial.

**Laboratorio Avanzado SMT (Binghamton, NY – USA).** Trabaja para identificar y desarrollar tecnologías nuevas y emergentes para mejorar la producción, lograr tener mejoras de procesos y optimizar la confiabilidad del producto y su ciclo de vida.

Entre los servicios que ofrece tenemos:

- Investigación y desarrollo.
- Creación de Prototipos.
- Equipo de producción avanzada, incluyendo:
  - Impresión en Pasta.
  - Colocación de Componentes.
  - Reflujo.
  - Retrabajo incluyendo: BGA y CSP.

## **7.2 COSTOS DE IMPLEMENTACIÓN DE LOS PROTOTIPOS.**

### **7.2.1 Generalidades.**

Se estima el costo que implica implementar los prototipos de prueba. Se debe prever la fabricación de al menos cuatro prototipos, los cuales servirán para detectar posibles errores, que por lo general no se perciben durante la etapa de diseño.

Es necesario conocer el dieléctrico de la placa (baquelita o fibra de vidrio) así como el espesor del cobre, pues son datos requeridos por el programa PROTEL DXP para la diagramación de las pistas para las PCBs, las mismas que son calculadas con algoritmos de teoría electromagnética para mantener al mínimo la interferencia de las capacitancias parasitas, pues a frecuencias altas, estas se convierten en impedancias de un valor alto, que pueden alterar el correcto funcionamiento del dispositivo.

En la implementación de los prototipos, se debe considerar tipo de placa y método para la fabricación de los circuitos impresos. Con un método inadecuado para la fabricación de las PCBs se corre el riesgo de obtener pistas de grosor mucho menor o mayor que las calculadas por el programa CAD, lo que cambiaría los valores de las capacitancias parasitas.

Otro factor importante, es el montaje de los circuitos integrados sobre la PCB. Debe emplearse equipos adecuados, los cuales tienen sistemas de control de temperatura al momento del soldaje como también un control de la estática. Como en este proyecto se usa encapsulado BGA, se debe usar también un equipo apropiado para el montaje, con sistemas robóticos precisos en posicionamiento e inspección visual y con un sistema de control avanzado de temperatura. Al respecto, en la sección 7.1.2.7 se detallaron las características del Sistema Comprehensivo de Aire Caliente ZT-7000 para BGA y SMT, cuyo valor es USD 9585.

## **7.2.2 Costo Prototipo para PCI.**

Se tomaron costos promedio del precio unitario de componentes en varios distribuidores. Si los dispositivos deben ser adquiridos en el exterior, se adiciona el proporcional del costo por el traslado interno hacia el lugar del importador en Estados Unidos, más el porcentaje de cobro del impuesto de la aduana. Por lo general, el peso total que tienen los componentes electrónicos y los circuitos impresos, las empresas importadoras lo asumen como equivalente a una libra.

Para reducir los costos de importación, es aconsejable adquirir la mayoría de los componentes electrónicos en un solo distribuidor, para que el costo del traslado interno en los Estados Unidos, se divida para el número total de los componentes.

Como se puede observar en el Anexo 3, titulado: “Costo Prototipo PCI”, el costo total es de USD 483.11. Generalmente el costo de los prototipos es elevado, debido a al precio de los componentes al por menor. Adquiriendo los componentes al por mayor se reduce su precio, pero esta adquisición se la realiza para una producción en serie y destinada a la comercialización.

En la comercialización intervienen factores como: estudio de mercadeo, rediseño de la placa de circuito impreso y apariencia física del producto (modelo). El estudio de mercadeo permitirá conocer el grado de aceptación que tiene el producto y determinará la apariencia física que debe tener el mismo con miras a garantizar una exitosa competencia en el mercado de dispositivos de tecnología PLC.

El citado estudio puede implicar el rediseño de la forma que tiene la placa de circuito impreso con miras a desarrollar una apariencia física del producto mucho más atractiva para el consumidor final.

Los factores citados anteriormente, implican costos adicionales, por lo que siempre toda empresa que desea producir en serie, se fija en los resultados del estudio de mercadeo y en la verdadera potencialidad de funcionamiento del prototipo final para luego realizar un análisis de costos al por mayor. Al por mayor los costos de producción se reducen significativamente, por lo que económicamente es mas conveniente.

Existe un listado completo de los componentes requeridos para la elaboración de este prototipo en el Anexo 3, titulado: “Costos Prototipo PCI”.

### 7.2.3 Costo Prototipo para USB.

Para establecer un costo aproximado para este prototipo, de igual manera que en el anterior caso, se toman costos promedio del precio unitario de cada uno de los componentes con varios distribuidores, tomando en cuenta costos adicionales para los componentes que requieran importarse desde los Estados Unidos.

Como se puede observar en el Anexo 4, titulado: “Costo Prototipo USB”, el costo total es de 462.21 USD. El costo de este prototipo es elevado, debido principalmente a los costos de los componentes al por menor.

Para la comercialización de este prototipo, también se deben tomar en cuenta los factores que se señalaron en la sección 7.2.2.

Existe un listado completo de los componentes requeridos para la elaboración de este prototipo en el Anexo 4, titulado: “Costos prototipo USB”.

Del análisis de factibilidad de implementación de los prototipos propuestos en esta tesis, se resaltan los siguientes aspectos:

- Al tratarse de transmisión de datos, se requiere como mínimo un transmisor y un receptor, lo que implica, desarrollar dos prototipos para puerto PCI (transmisor y receptor) con un costo total de USD 966.22 y dos prototipos para puerto USB (transmisor y receptor) con un costo total de USD 924.42. Esto conlleva a un costo final de USD 1890.64.

- En el diseño de los prototipos, se emplea el INT5200 de encapsulado BGA, por consiguiente se requiere de un equipo diseñado para el montaje exacto, en PCBs, de este tipo de dispositivos. Actualmente, no se conoce de equipo con tales características que exista en Ecuador, siendo necesario contactar una empresa en el extranjero que cuente con esa tecnología, de ser así esto conllevará gastos muy elevados debido a que se trata de solo cuatro placas. Otra alternativa, mucho más costosa, sería adquirir un equipo para esta tecnología como el ZT-7000, que está destinado a la elaboración de prototipos, cuyo valor es de USD 9585.
  
- Elaborar las placas de circuito impreso requiere de tecnología sofisticada, debido a la resolución del grosor de las pistas para trabajar con dispositivos BGA, siendo necesario recurrir a empresas en el extranjero para la elaboración de las PCBs.

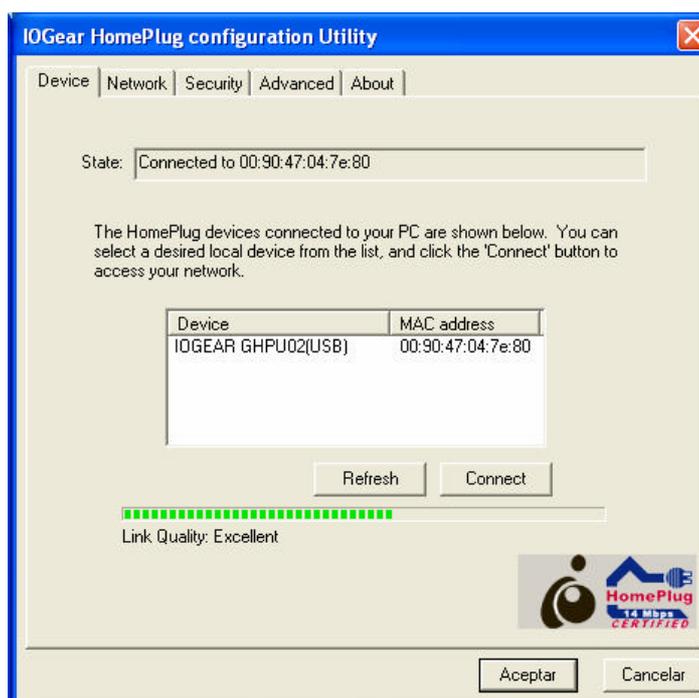
En base a los aspectos citados, **no se realiza el proceso de implementación de los prototipos**, pues incurrir en gastos demasiado elevados sin considerar el tiempo que involucraría tal finalidad, constituyen factores determinantes que desde nuestra posición actual limitan el alcance de esta tesis.

Sin embargo, para sustentar lo planteado en esta tesis referente a la transmisión de datos por la línea eléctrica de forma eficiente y para mostrar que la tecnología PLC es una opción válida, se realizó una prueba de transmisión/recepción de datos empleando adaptadores de red de tecnología PLC disponibles en el mercado.

### **7.3 Prueba de transmisión de datos a través de la línea eléctrica.**

Se procedió a realizar pruebas con dos dispositivos GHPU02 (Adaptador HomePlug a USB) de IOGEAR. Estos dispositivos tienen una velocidad máxima de transmisión de 14[Mbps], velocidad que depende de la calidad de la red eléctrica a la cual se conecten, así como, de la distancia entre dispositivos la misma que no puede ser superior a 300 metros.

Mediante el Software de Configuración (se provee con cada dispositivo), se observó que en lugares donde la calidad del enlace era baja, la tasa de transferencia de datos disminuía de forma proporcional, así, con una calidad del enlace de un 60% del valor máximo, la tasa de transferencia era de aproximadamente 7[Mbps]. Se comprobó que la calidad del enlace no solo depende de la distancia, sino de la calidad de la red eléctrica y de las cargas conectadas a esta, corroborando lo señalado en el Capítulo 2.



**Figura. 7.12. Calidad del enlace indicado por el software de configuración del fabricante.**

Conocido esto, la prueba se la realizó sobre una red LAN Ethernet residencial compuesta por tres computadores (2 de escritorio y 1 portátil) que comparten la conexión a internet, gestionada a través de un Módem ADSL. La idea es implementar, en un computador portátil, todos los servicios que brinda la red LAN Ethernet, mediante el uso de la interfase PLC permitiendo el acceso a dichos servicios desde cualquier punto de toma eléctrica de la residencia.

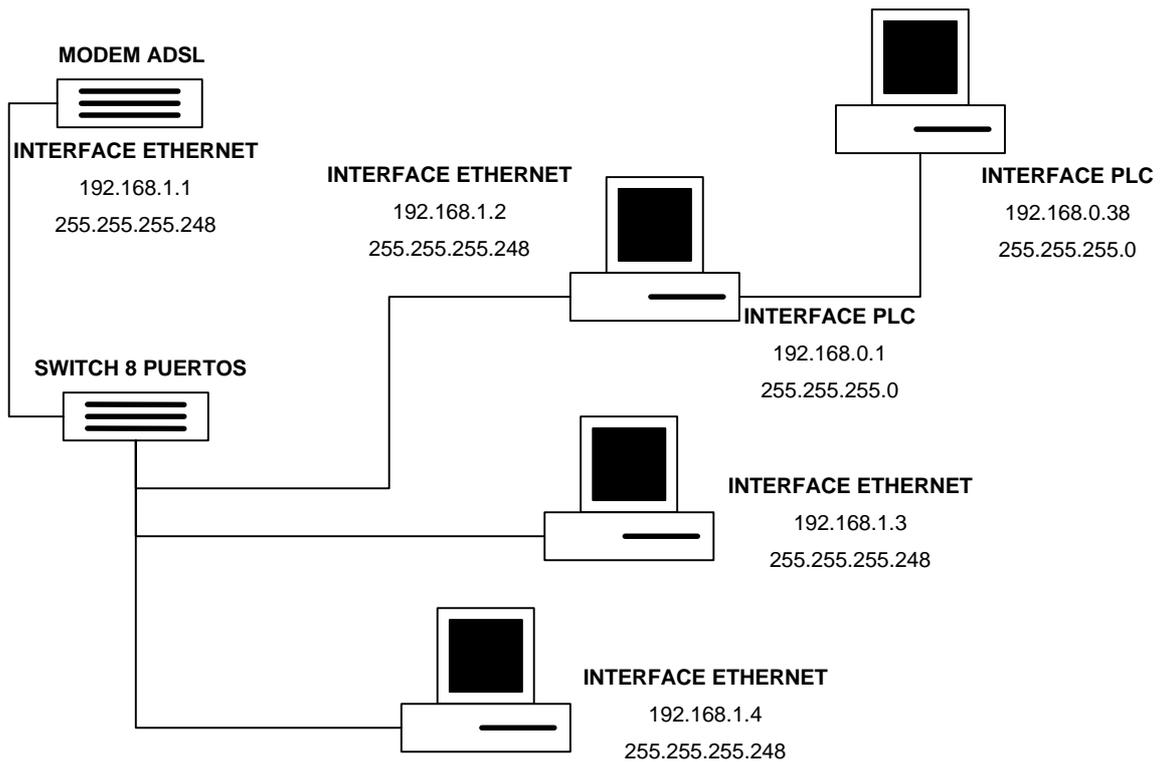


Figura. 7.13. Diagrama de Red Experimental de Computadores.

En primer lugar se instaló el adaptador GHPU02 en el Servidor de la Red LAN Ethernet. Una vez instalado, Windows detecta la presencia de este dispositivo y lo habilita para que pueda ser configurado por el usuario.

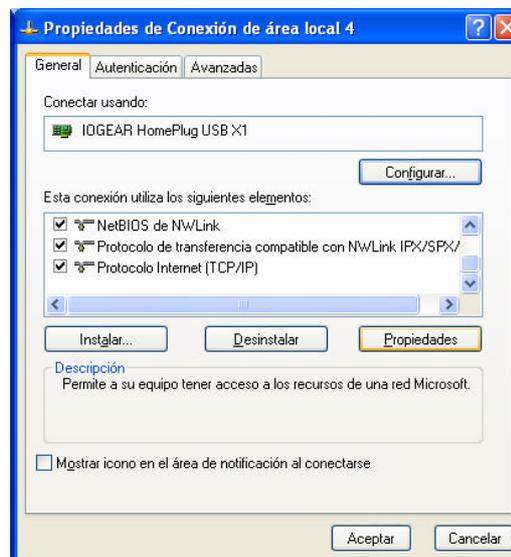


Figura. 7.14. Ventana de la Configuración del Protocolo TCP/IP de la Interfase de Red PLC.

Se configura una IP adecuada para este adaptador: 192.168.0.1, Mascara: 255.255.255.0. En este computador se procede a compartir directorios de uso común: información sensible, música, videos, etc.

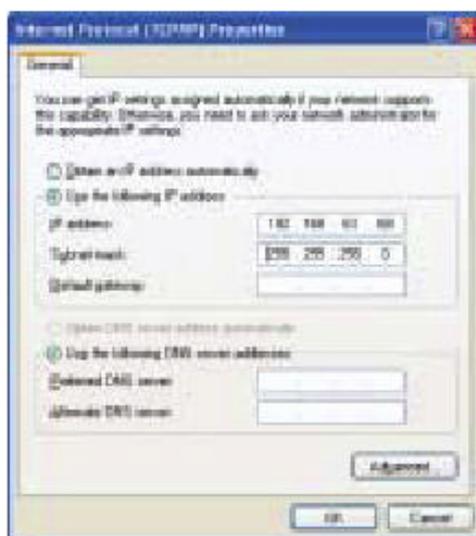


Figura. 7.15. Ventana de Configuración del Protocolo TCP/IP para el adaptador PLC .

Con el Asistente de Configuración de Red de Windows XP se comparte el acceso a Internet mediante la tarjeta Ethernet del Servidor. En el equipo que recibe los servicios, luego de instalar el GHPU02, se le asignó la IP: 192.168.0.X (X varía entre 2 y 254), la Máscara: 255.255.255.0 y Puerta de Enlace: 192.168.0.1. Para tener una configuración correcta se utilizó el Asistente de Configuración de Red de Windows Xp, indicando que se trata de un equipo remoto y no de un servidor.

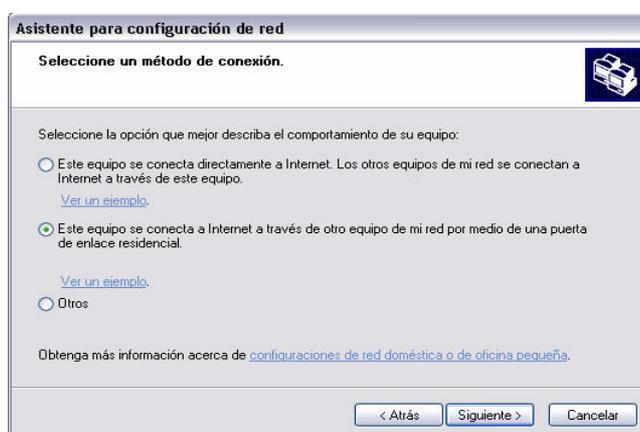


Figura. 7.16. Asistente para Configuración de Red.

Finalizados los pasos de configuración, se empezó a trabajar con todos los servicios compartidos: Internet, Acceso a directorios, Impresoras, etc.

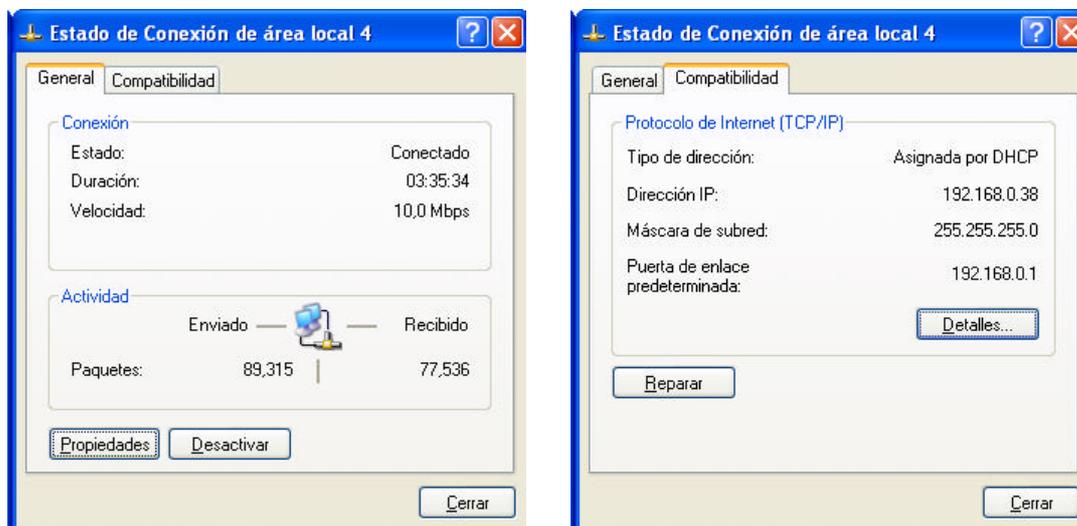


Figura. 7.17. Estado de la conexión.

El proceso total de experiencias tuvo un periodo de siete días, un día se lo destinó para realizar las configuraciones iniciales de los adaptadores y los días restantes para pruebas de servicio realizada por los habitantes de la Residencia.

Con la adecuada selección de dispositivos PowerLine es factible el diseño e implementación de redes de datos híbridas o de sub-redes como la que se muestra en la siguiente figura, cuyos dispositivos PLC están disponibles en el mercado.

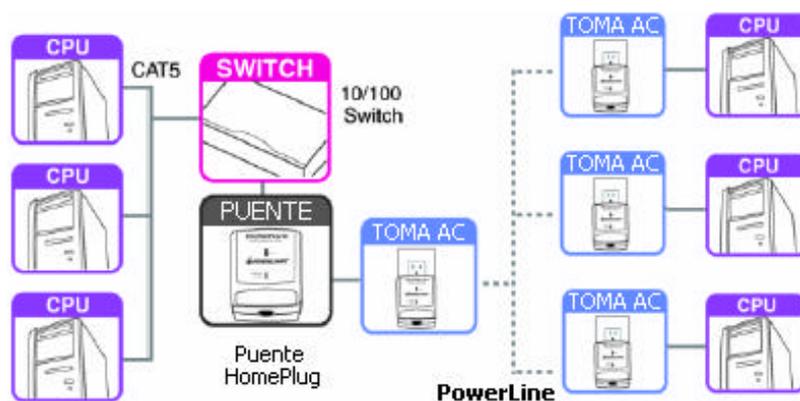


Figura. 7.18. Creación de una sub-red de datos incluyendo dispositivos PowerLine.

## CAPITULO 8

### CONCLUSIONES Y RECOMENDACIONES

#### 8.1 CONCLUSIONES

Las Tarjetas de Interfase de Red diseñadas alcanzan una velocidad de transmisión máxima de 14 [Mbps], característica presente en casi la totalidad de adaptadores de red para tecnología PLC comercializados mundialmente.

El costo promedio de cada uno de los prototipos es de USD 470, el mismo que en un proceso de fabricación en serie sería reducido a aproximadamente USD 100. Este parámetro implica que las NIC diseñadas no son comercialmente competitivas con los adaptadores PLC que se comercializan a un precio promedio de USD 60.

El costo total estimado de los prototipos es elevado, principalmente por que tanto los elementos pasivos, circuitos integrados y demás componentes, deben reunir características técnicas especiales que les permitan trabajar con un desempeño aceptable; esto implica trabajar a altas frecuencias y velocidades de transmisión. En el país, es casi nula la comercialización de tales dispositivos, por lo que se debe recurrir a la importación de los mismos, lo que acarrea directamente el incremento de su costo, más aún al adquirirlos por unidades. A todo esto, hay que agregarle el hecho de que también se requiere realizar en el extranjero la elaboración de las PCBs (por lo menos cuatro), lo que lógicamente incrementa el presupuesto.

La principal ventaja de utilizar NICs basadas en tecnología PLC tiene que ver con el ahorro económico que se obtiene al no tener que invertir en la compra de cables ni accesorios necesarios para implementar redes Ethernet, ya que basta conectar las NICs PLC a una toma eléctrica existente, para establecer la conexión a una red de datos Power Línea de alta velocidad.

La principal desventaja de la tecnología PLC es el relacionado al costo que tienen sus productos actualmente en el mercado mundial, en el caso específico de los adaptadores de red, su costo promedio es de tres a cuatro veces mayor que el de una NIC Ethernet; sin embargo, PLC compensa tal desventaja, con el ahorro que se puede lograr al no tener que invertir en la compra de cables ni accesorios necesarios para implementar las tradicionales redes de datos.

La tecnología PowerLine tiene gran importancia y protagonismo principalmente en Europa, donde las empresas eléctricas emplean sus redes de media y baja tensión para brindar servicios de banda ancha como: internet, telefonía, video conferencia, video bajo demanda y otros. Todo esto es posible gracias al desarrollo tecnológico de los dispositivos electrónicos que posibilitan la transmisión y recepción de datos a través de la línea eléctrica. Ha sido tal el desarrollo de estos dispositivos y el interés en la tecnología PLC, como negocio, que en el lapso no mayor a un año han aparecido chips PLC con velocidades de transmisión cada vez mayores, partiendo de 14[Mbps] pasando por 20[Mbps] hasta llegar a 200[Mbps].

De los resultados altamente satisfactorios logrados en la prueba de transmisión de datos, se concluye que se pueden implementar redes de datos basadas en la tecnología PLC sin ningún problema, pues la transmisión/recepción eficiente de datos a través de la línea eléctrica está garantizada. La red eléctrica IN-HOME (baja tensión) puede ser utilizada para implementar una red de datos con topología “BUS” bajo la condición fundamental de que los dispositivos que conforman la red de datos estén conectados a la misma fase eléctrica. Además, con la adecuada selección de dispositivos para comunicaciones PowerLine es factible el diseño e implementación de redes híbridas de datos.

En la red eléctrica se presentan fenómenos como: impedancia variable, atenuación, ruido (AWG, Interferencia Electromagnética), cuyas características han llevado a determinar que este medio de transmisión tiene un comportamiento similar al de los medios electromagnéticos empleados para telefonía celular como lo describe Okumura-Atta en sus tratados.

Referente a los esquemas de modulación, se debe mencionar que juegan un papel fundamental en el desarrollo de soluciones para la transmisión segura de información, pues en base al uso correcto de sus propiedades se hace posible que los medios de transmisión, por más hostiles que sean, puedan ser utilizados para transportar información con total seguridad. Actualmente, las técnicas de modulación empleadas en comunicaciones PLC son: OFDM, DSSSM y OMSK. Sin embargo OFDM adaptiva es el esquema de modulación más utilizado por fabricantes, ya que es robusta al ruido, maneja velocidades altas de transmisión de datos (actualmente 200[Mbps]), que es generada con portadoras dentro de un ancho de banda determinado a frecuencias en las que no existen componentes espectrales de ruido que provoquen que los datos se pierdan. Esas velocidades son superiores a las que se pueden obtener con DSSSM y GMSK.

El encapsulado QFP se caracteriza por ser compacto, permitiendo así el ahorro de espacio físico en la implementación de dispositivos electrónicos, para incrementar el número de entradas/salidas de los circuitos integrados, sin aumentar considerablemente el tamaño de los mismos y sin que el “pitch” sea demasiado fino para evitar graves problemas en el proceso de fabricación a gran escala, se desarrolló un encapsulado con distribución matricial de pines en la superficie, denominado BGA. Actualmente, se ha llegado a la evolución del BOA, al tener disponibles chips con encapsulado micro-BGA.

El emplear circuitos integrados, con encapsulado BGA, conlleva el disponer de equipos sofisticados para el montaje exacto de los mismos sobre las placas de circuito impreso; sin embargo, una vez realizado el montaje se presenta el problema de las conexiones ocultas, siendo necesario también, el contar con equipos de inspección visual de última tecnología, como los de 3D que están basados en técnicas como la Tomo-Síntesis y la Laminografía.

## 8.2 RECOMENDACIONES

Conocida la potencialidad de la tecnología PLC, actualmente en boga en Europa, es recomendable difundirla en el Ecuador, con la finalidad de que de su estudio y análisis se puedan llegar a aportar mejoras a la misma e incluso tener la posibilidad de desarrollar nuevas tecnologías de comunicación para brindar servicios primordiales como acceso a internet y telefonía en áreas rurales, a nivel nacional, que cuentan al menos con el servicio de energía eléctrica. Con esto, se podrían integrar las diferentes tecnologías para redes de datos, permitiendo la creación de nuevas redes híbridas de datos.

Para el diseño, se recomienda usar programas CAD, que cuenten con algoritmos sofisticados de selección automáticamente del mejor enrutamiento de las pistas de la PCB además, que definan el grosor adecuado de las mismas, sin dejar xle mencionar, que permitan la detección de errores tanto en la diagramación como en la generación de las pistas. Con esto se busca reducir al mínimo la fabricación innecesaria de prototipos debido a errores cometidos en la etapa de diseño.

Al proyectar el diseño de una red de datos PowerLine, principalmente sobre una red eléctrica IN-HOME (baja tensión) que está por ser implementada, se recomienda que durante el proceso de implementación de esta última se cumpla con todos los parámetros requeridos para priorizar la calidad de dicha red. Por ejemplo, realizar los empalmes eléctricos de forma correcta, lo que ayudará a disminuir la presencia de señales parásitas.

Para llevar a cabo la implementación de proyectos electrónicos acordes al avance de la tecnología, principalmente en el área de telecomunicaciones, se recomienda trabajar con equipos tecnológicamente de punta que permitan: la elaboración de placas de circuito impreso de alta resolución, montaje de circuitos integrados con micro-encapsulado e inspección visual en 3D. En la elaboración de prototipos, para soldar circuitos integrados de montaje superficial integrados con micro-encapsulado, se puede adquirir el ZT-7000 cuyo costo es de USD 9585.

De tener que realizar la adquisición de componentes en el exterior, es recomendable hacerlo a un mismo distribuidor, ayudando así a reducir el costo del componente al pagar una sola vez por el traslado de la carga desde el distribuidor hasta las oficinas del importador. Además, no se puede descartar la posibilidad de que algún elemento presente fallas de fábrica; esto ayuda a ahorrar tiempo en caso que suceda, tomando en cuenta que una importación desde EE.UU. tarda por lo menos de 4 a 5 días.

## REFERENCIAS BIBLIOGRÁFICAS

- [1] <http://www.aui.com>, Asociación de Usuarios de Internet.
- [2] <http://www.6power.org/>, 6power.
- [3] <http://www.consumer.es>, Diario del Consumidor.
- [4] <http://www.eetimes.com>, The Industry Sources for Engineers & Technical managers Worldwide.
- [5] <http://iblnews.com>, Diario.
- [6] <http://Noticias 3D.com>, Informativo.
- [7] <http://www.terra.com>, Noticias.
- [8] <http://networkdesigner.com.br>, Network Designers.
- [9] <http://www.endesa.es>, Oficina de Prensa.
- [10] <http://www.tecnocom.biz>, Soluciones PLC.
- [11] <http://www.hispazone.com>, Informativo.
- [12] <http://www.e-advento.com>, Fabricante Advento Networks.

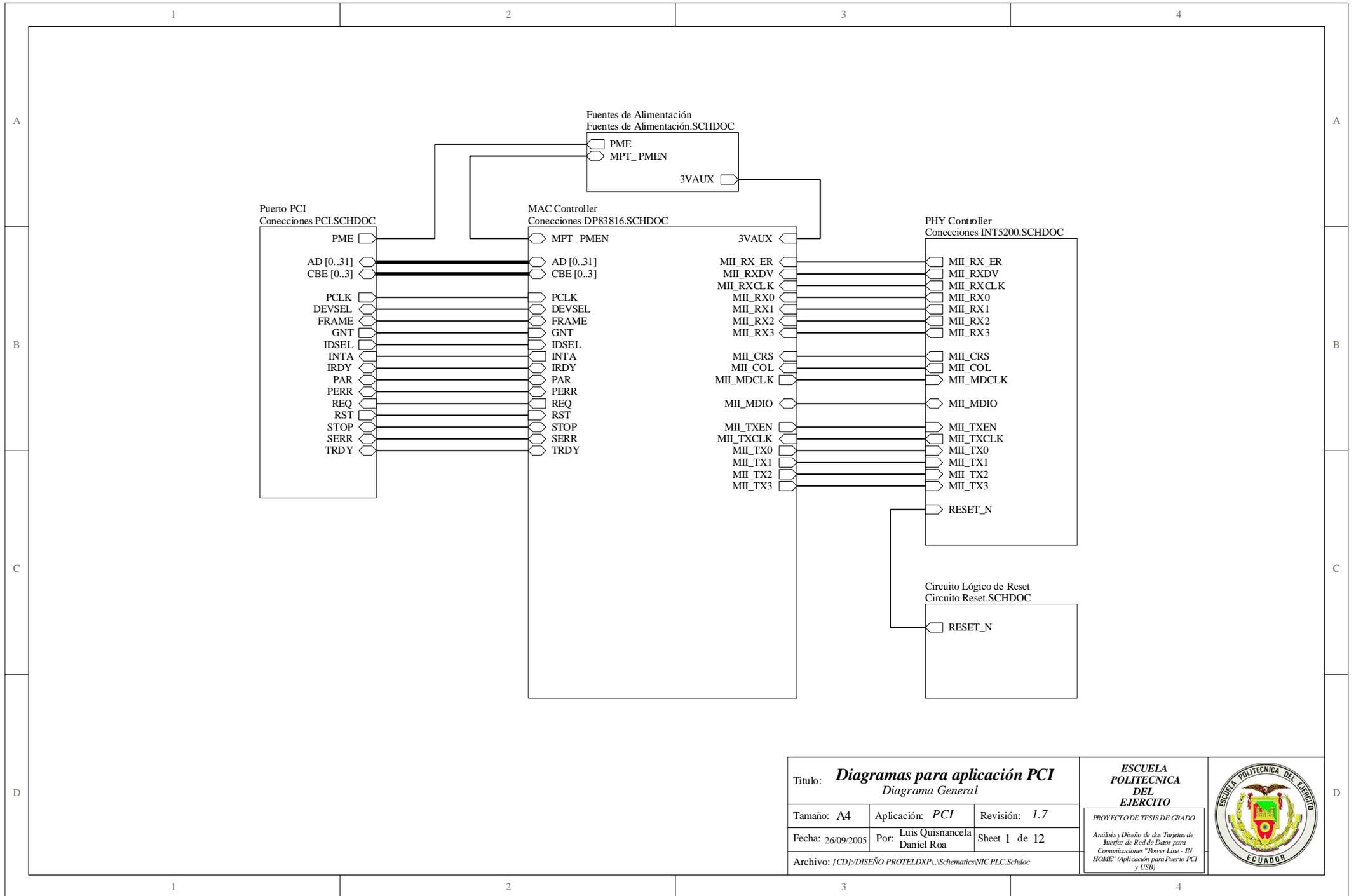
- [13] LIM, C. K., SO, P. L., GUNAWAN, E., CHEN, S., LIE, T.T., GUAN, Y.L., **“Development of a Test Bed for High-Speed Power Line Communications”**, IEEE 2000, pp. 451-456.
- [14] MENG, H., CHEN, S., GUAN, Y. L., LAW, L., SO, P. L., GUNAWAN, E., LIE, T. T., **“A Transmission Line Model for High-Frequency Power Line Communications Channel”**, IEEE 2002, pp.1290-1295.
- [15] SELANDER, Laser, **“Channel Properties and Communications Strategies”**, Power Line Communications - Tesis, 1999, pp. 103.
- [16] PROAKIS, J. G., MANOLAKIS, D. G., **“Tratamiento Digital de Señales”**, Prentice Hall, 1998, pp. 975.
- [17] FINK, D. G., BEATY, H. W., **“Manual de Ingeniería Eléctrica”**, Tomo I, McGraw-Hill, 1996, pp. 576.
- [18] FINK, D. G., BEATY, H. W., **“Manual de Ingeniería Eléctrica”**, Tomo III, McGraw-Hill, 1996, pp. 576.
- [19] <http://bdd.unizar.es/Pag2/Tomo1>, **“Transporte de Energía Eléctrica”**, Depósito Legal : Z-2760-1999, ISBN 8470632108.
- [20] FRERREIRA, H.C., GROVÉ, H.M., O HOOIJEN and HAN VINCK, A.J., **“Power Line Communications: An Overview”**, IEEE 1996, pp 558-563.
- [21] PAPALEONIDOPOULOS, I.C., CAPALIS, C.N., KARAGIANNOPOULOS, C.G., and THEODORU, N.J., **“Statistical Analysis and Simulation of Indoor Single-Phase Low Voltage Power-Line Communication Channels on the basis of Multipath Propagation”**, IEEE 2003, pp 89-99.
- [22] PARÉS, J., HERNÁNDEZ, E. y MATÍNEZ, J., **“Estado de la Tecnología de las Redes PLC (Power Line Communication)”**, Departamento de Proyectos de Ingeniería, E.T.S.E.I de Barcelona, ps. 10.

- [23] <http://usuarios.lycos.es/urde/plc/plc.htm>,
- [24] VAN NEE, Richard y PRASAD, Ramjee, “**OFDM for Wireless Multimedia Communication**”, Artech House, Boston, 2000.
- [25] XIONG, Fuquin, “**Digital Modulation Techniques**”, Artech House, Boston, 2000.
- [26] MSDN Library.
- [27] <http://www.broadcom.com>, Broadcom Corporation Web Site.
- [28] <http://www.cast-inc.com>, Cast-Inc Web Site.
- [29] <http://www.infineon.com>, Infineon Technologies Web Site.
- [30] <http://www.intel.com>, Intel Web Site.
- [31] <http://www.national.com>, National Semiconductors Web Site.
- [32] <http://www.necel.com>, NEC Electronics Web Site.
- [33] MEDONÇA, A., FRANÇA, P. R., ZELENOVSKY R., “**Hardware: Programação Virtual de I/O e Interrupções**”, MZ Editora, 2001, ps. 253.
- [34] <http://www.cgi.ds2.es>, DS2 Company.
- [35] <http://www.echelon.com>, Echelon Company.
- [36] <http://www.intellon.com>, Intellon Corporation.
- [37] <http://www.itrancomm.com/plc.htm>, Itran Communications Ltd.
- [38] ZELENOVSKY R., MEDONÇA, A., “**PC: Um Guia Prático de Hardware e Interfaceamento**”, Capítulo 16, 3ra Edición, MZ Editora, ps. 1020.

- 
- [39] L. Moreno, “**El Modelo OSI-TCP/IP (I)**”, Departamento de diseño web de BJS Software.
- [40] Technical Reference Manual, INT5200 Single Chip PowerPacket<sup>TM</sup> Transceiver, Intellon Confidential , Intellon Corporation, 93 ps.sf
- [41] Manual de Referencia Técnica, Intel 82543GC, Intel.
- [42] Manual de Referencia Técnica, DP83816, National Semiconductors.
- [43] <http://usuarios.lycos.es/tervenet/TUTORIALES/USB.htm>
- [44] <http://www.monografias.com/trabajos11/usbmem/usbmem.shtml>
- [45] [www.smtsolutions.com.ar/curso\\_smd.htm](http://www.smtsolutions.com.ar/curso_smd.htm)
- [46] [www.imselectronica.com/productos/inspeccion-optica-rayos-x.htm](http://www.imselectronica.com/productos/inspeccion-optica-rayos-x.htm)
- [47] [www.larsenassociates.com/BGA-LGAdataShts.html#Anchor-ARIES-36376](http://www.larsenassociates.com/BGA-LGAdataShts.html#Anchor-ARIES-36376)
- [48] [www.m-sys.com](http://www.m-sys.com).
- [49] [www.intel.com/cd/products/services/emea/spa/notebook/processors/142761.htm#Inteltop](http://www.intel.com/cd/products/services/emea/spa/notebook/processors/142761.htm#Inteltop).

## **ANEXO 1**

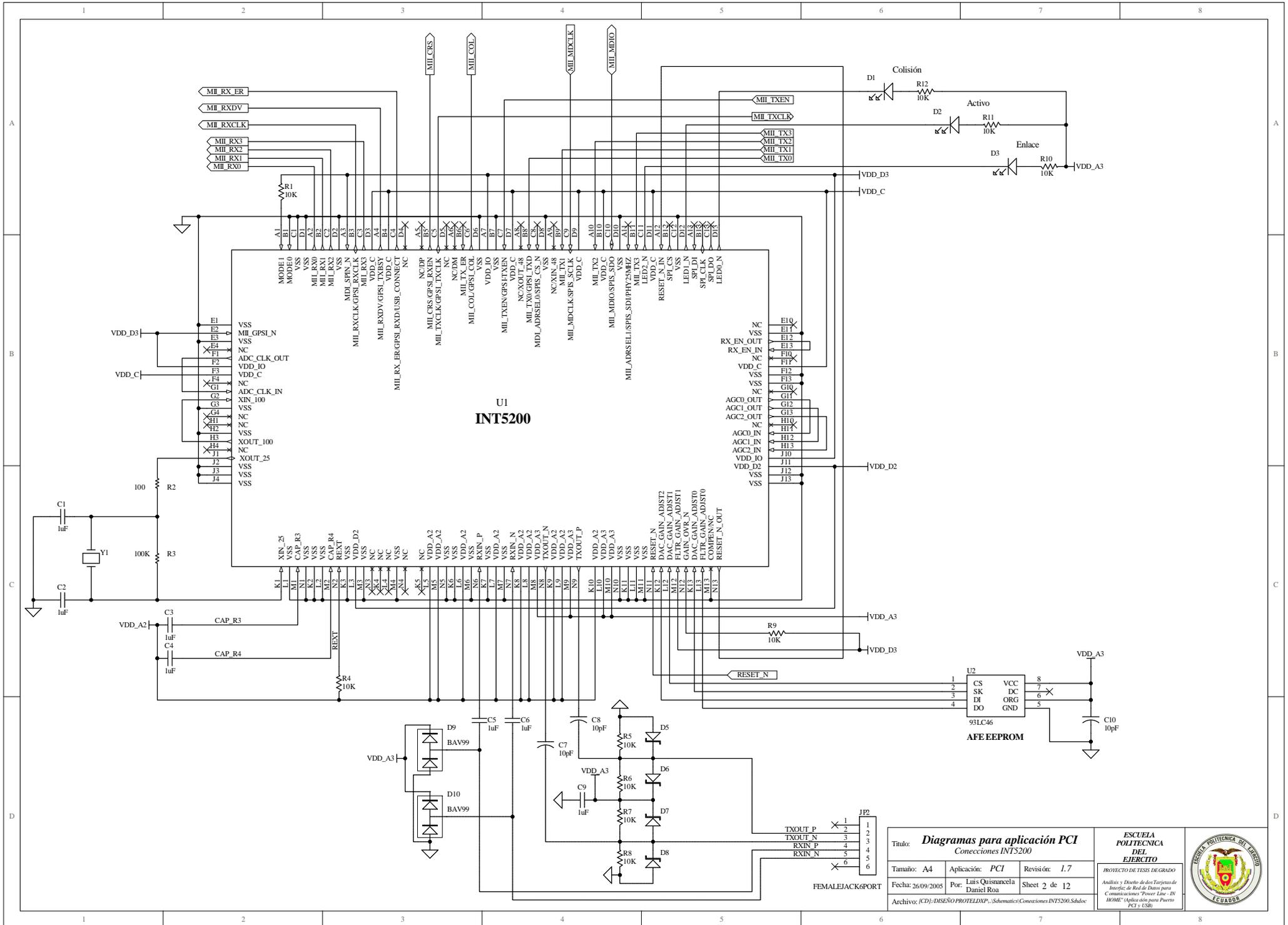
### **DIAGRAMAS PARA LA APLICACIÓN PCI**



<b>Título:</b> <i>Diagramas para aplicación PCI</i> <i>Diagrama General</i>		
Tamaño: A4	Aplicación: PCI	Revisión: 1.7
Fecha: 26/09/2005	Por: Luis Quisnancela Daniel Roa	Sheet 1 de 12
Archivo: [CD]:\DISEÑO PROTELXP...\Schematics\NIC PLC.Schdoc		

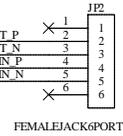
**ESCUELA POLITECNICA DEL EJERCITO**  
**EJERCITO**  
 PROYECTO DE TESIS DE GRADO  
 Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)

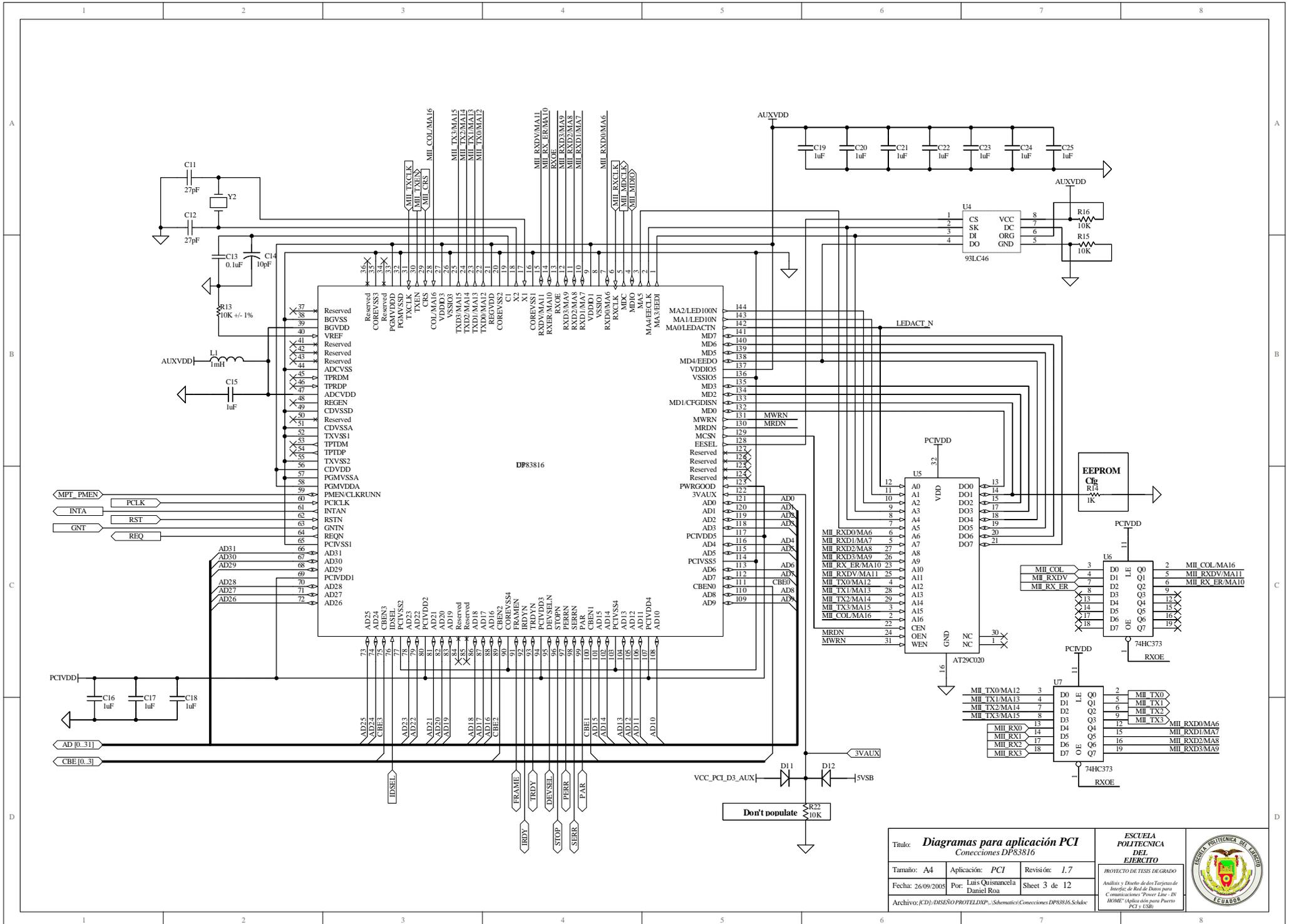




<b>Título: Diagramas para aplicación PCI</b> Conexiones INT5200		
Tamaño: A4	Aplicación: PCI	Revisión: 1.7
Fecha: 26/09/2005	Por: Luis Quismancela Daniel Roa	Sheet 2 de 12
Archivo: (C:\DISEÑO PROTEL\DXP\...\Schematics\Conexiones INT5200.Schdoc		

**ESCUELA POLITÉCNICA DEL EJERCITO**  
 PROYECTO DE TESIS DE GRADO  
 Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" Aplicadas para Puerto PCI y USB





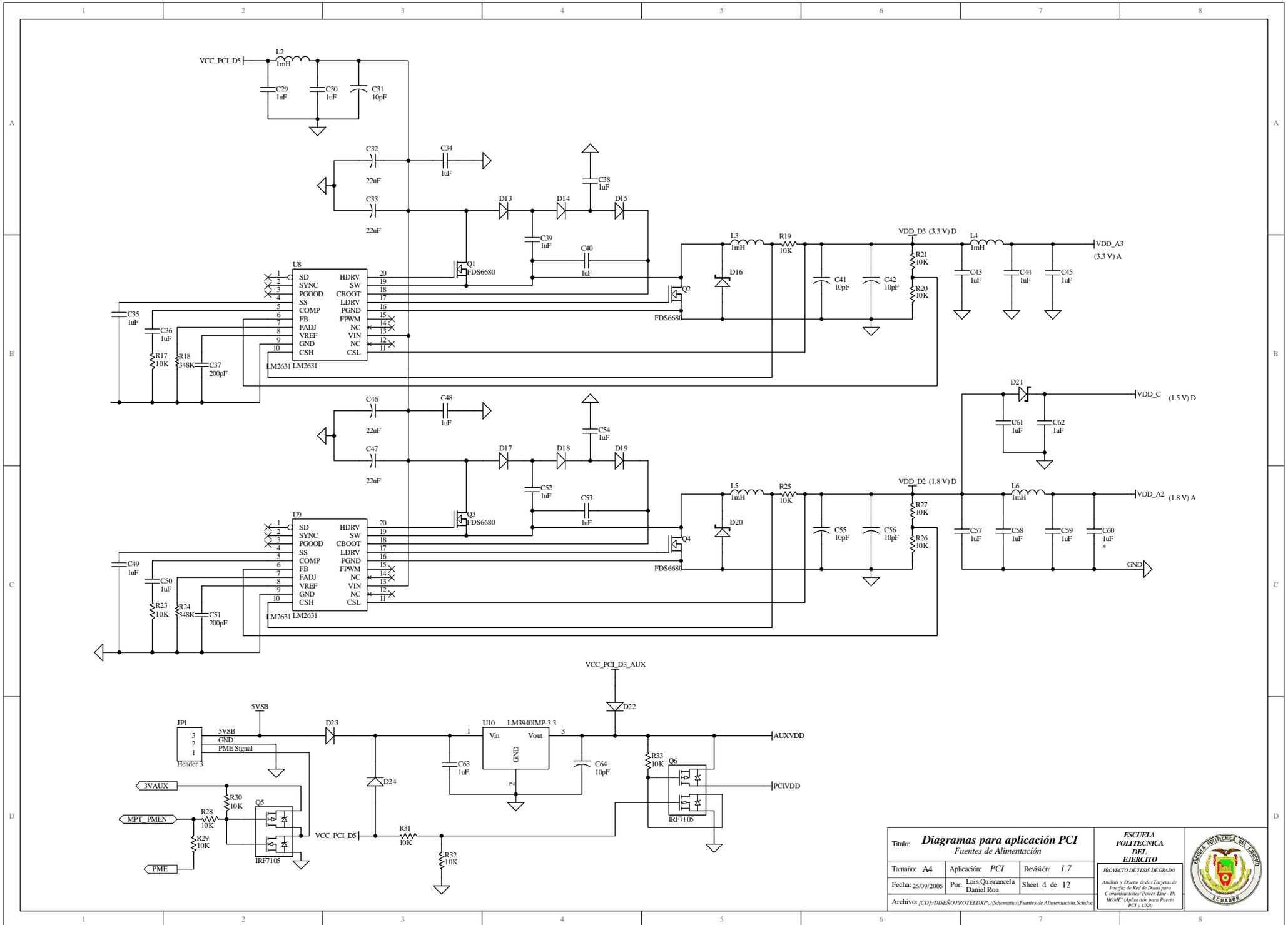
Título: **Diagramas para aplicación PCI**  
 Conexiones DP83816

Tamaño: A4	Aplicación: PCI	Revisión: 1.7
Fecha: 26/09/2005	Por: Luis Quisnancela Daniel Roa	Sheet 3 de 12
Archivo: (C:/DISEÑO/PROTELDXP/.../Schematic/Conexiones DP83816.Schdoc)		

ESCUOLA POLITÉCNICA DEL EJÉRCITO

PROYECTO DE TESIS DE GRADO

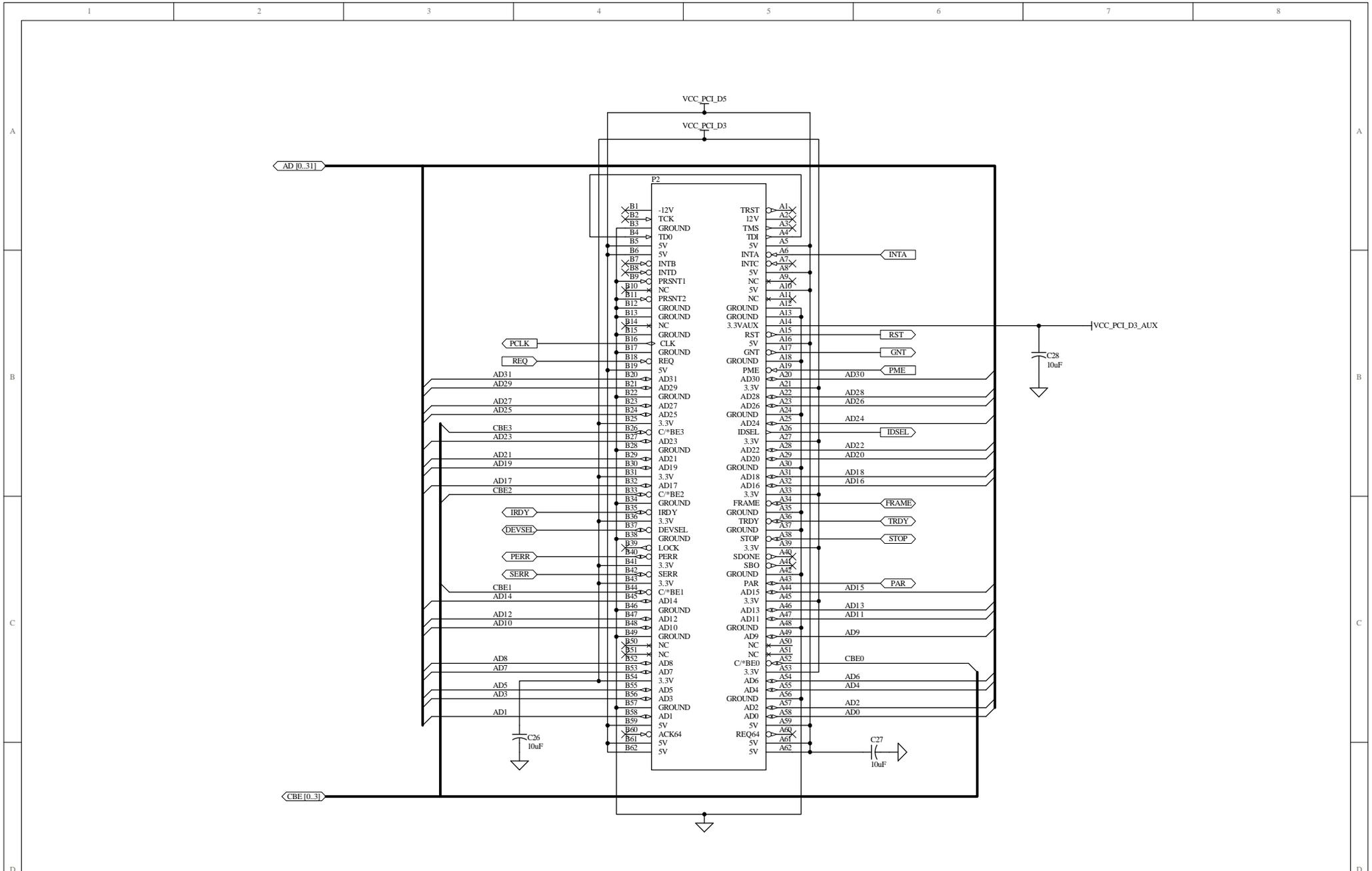
Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)



Título: **Diagramas para aplicación PCI**  
Fuentes de Alimentación

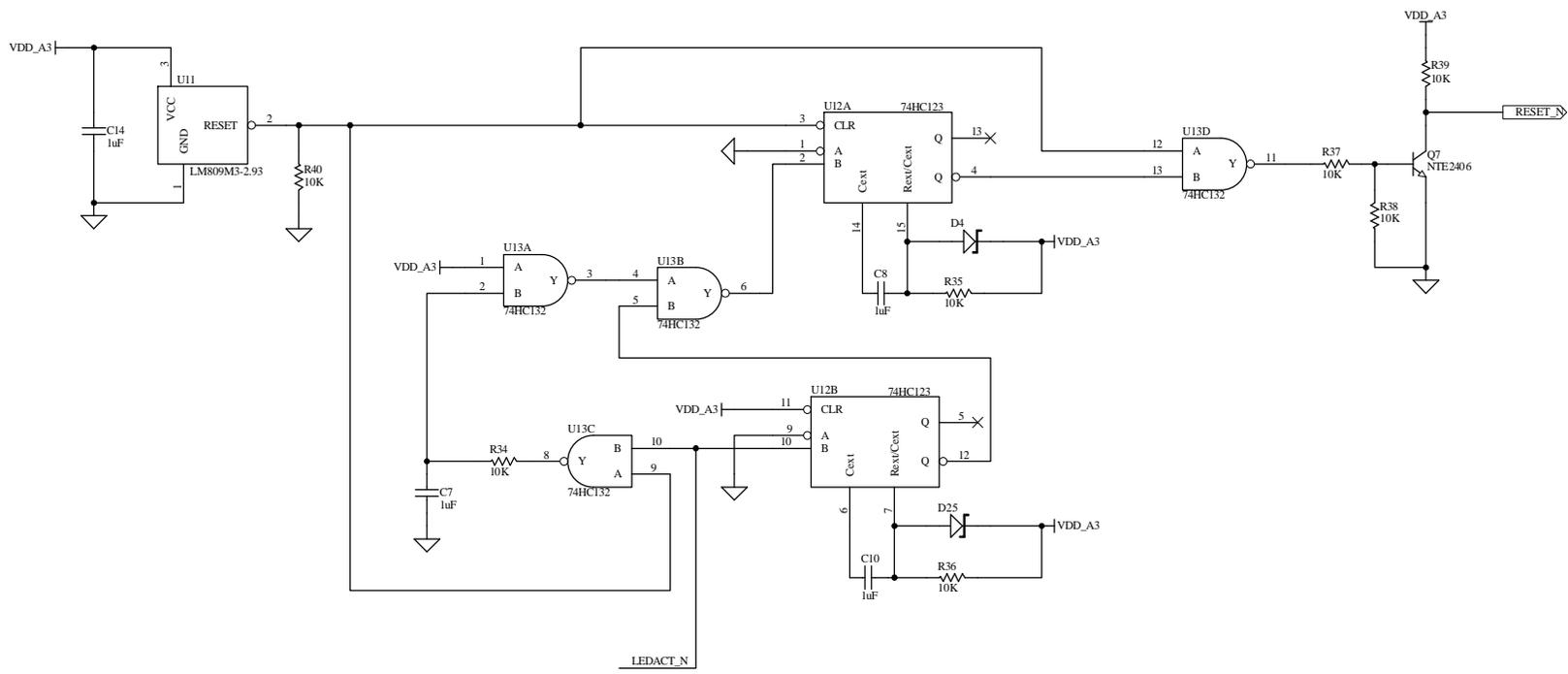
Tamaño: A4	Aplicación: PCI	Revisión: 1.7
Fecha: 26/09/2005	Por: Luis Quisnancela Daniel Roa	Sheet 4 de 12
Archivo: (CD):\DISEÑO\PROTELXP\...Schematics\Fuentes de Alimentación.SchDoc		

**ESCUELA POLITÉCNICA DEL EJERCITO**  
PROYECTO DE TESIS DE GRADO  
Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" Aplicación para Puerto PCI y USB

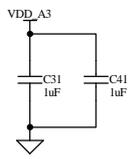


Título: <b>Diagramas para aplicación PCI</b> Conexiones Puerto PCI		
Tamaño: A4	Aplicación: PCI	Revisión: 1.7
Fecha: 26/09/2005	Por: Luis Quisnancela Daniel Roa	Sheet 5 de 12
Archivo: (CD):DISEÑO PROTELXP...Schematics\Conexiones PCI.SchDoc		

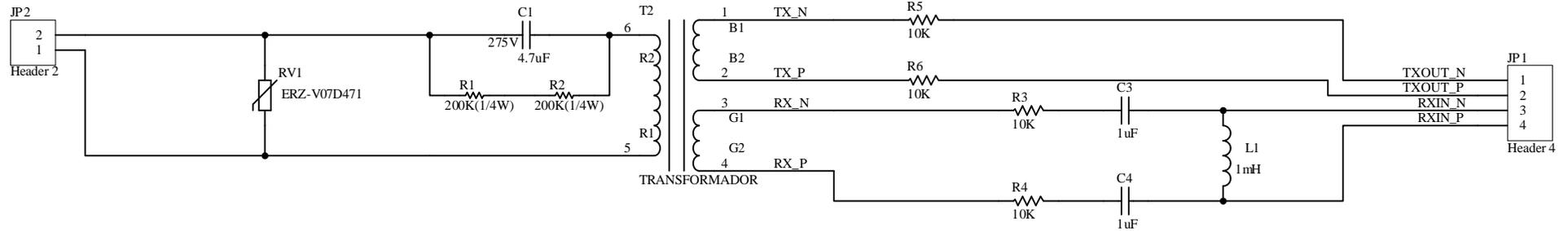
**ESCUELA POLITÉCNICA DEL EJÉRCITO**  
 PROYECTO DE TESIS DE GRADO  
 Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)



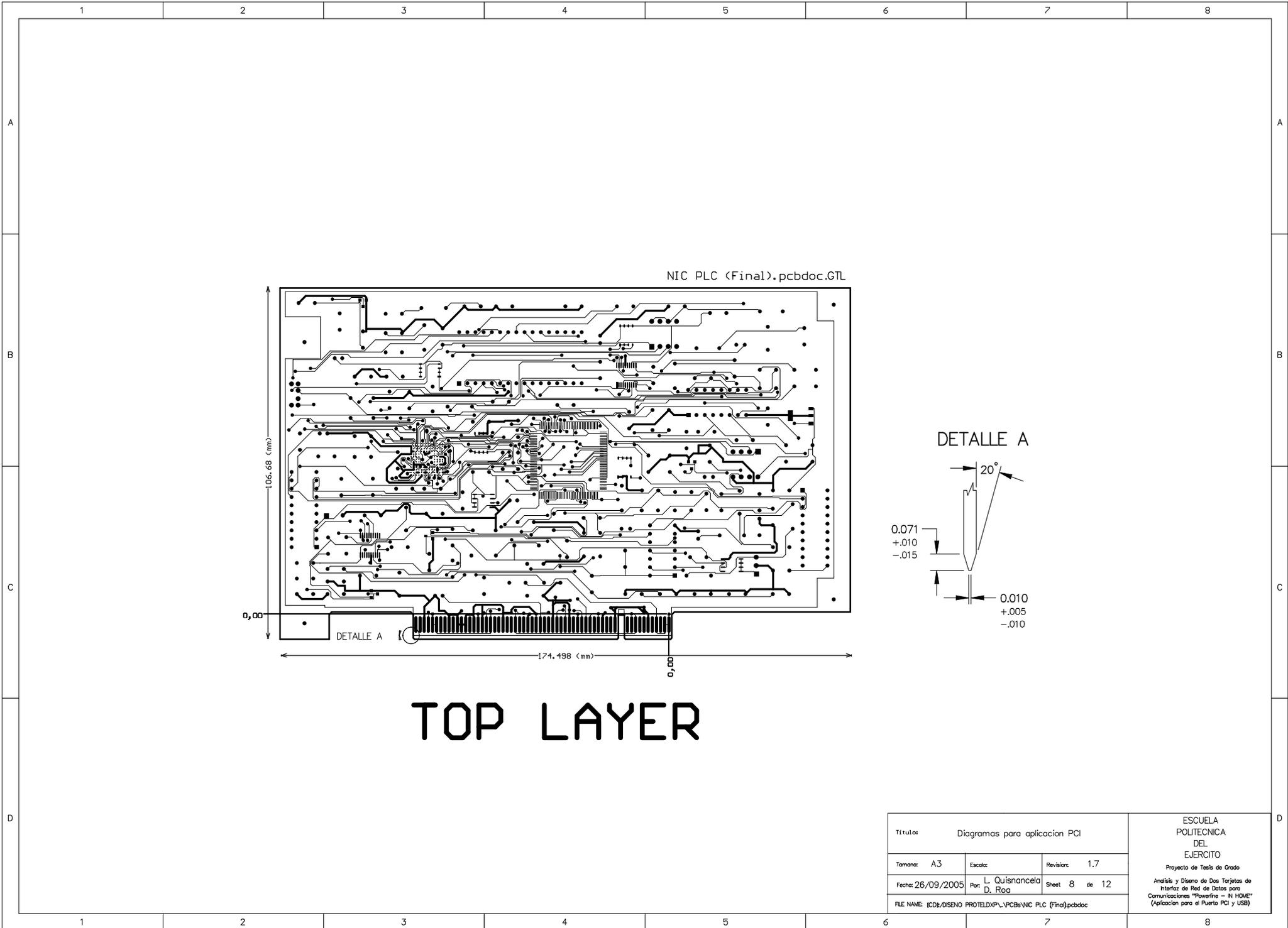
**CAPACITORES DESACOPLADORES**



Título: <b>Diagramas para aplicación PCI</b> Circuito Reset			<b>ESCUELA POLITÉCNICA DEL EJÉRCITO</b> PROYECTO DE TESIS DE GRADO Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)	
Tamaño: A4	Aplicación: PCI	Revisión: 1,7		
Fecha: 26/09/2005	Por: Luis Quisnancela Daniel Roa	Sheet 6 de 12		
Archivo: (CD):DISEÑO PROTELXP...Schematics\Ciruito Reset.Schdoc				

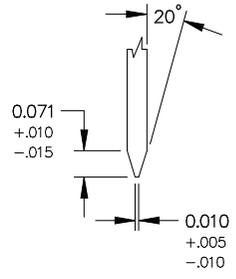


Título: <b>Diagramas para aplicación PCI</b> Conexiones Acoplador			<b>ESCUELA POLITECNICA DEL EJERCITO</b>  <small>PROYECTO DE TESIS DE GRADO</small> <small>Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)</small>	
Tamaño: A4	Aplicación: PCI	Revisión: 1.7		
Fecha: 26/09/2005	Por: Luis Quisnancela Daniel Roa	Sheet 7 de 12		
Archivo: [CD]:\DISEÑO PROTLDXP.\Schematics\Conexiones Acoplador.Schdoc				



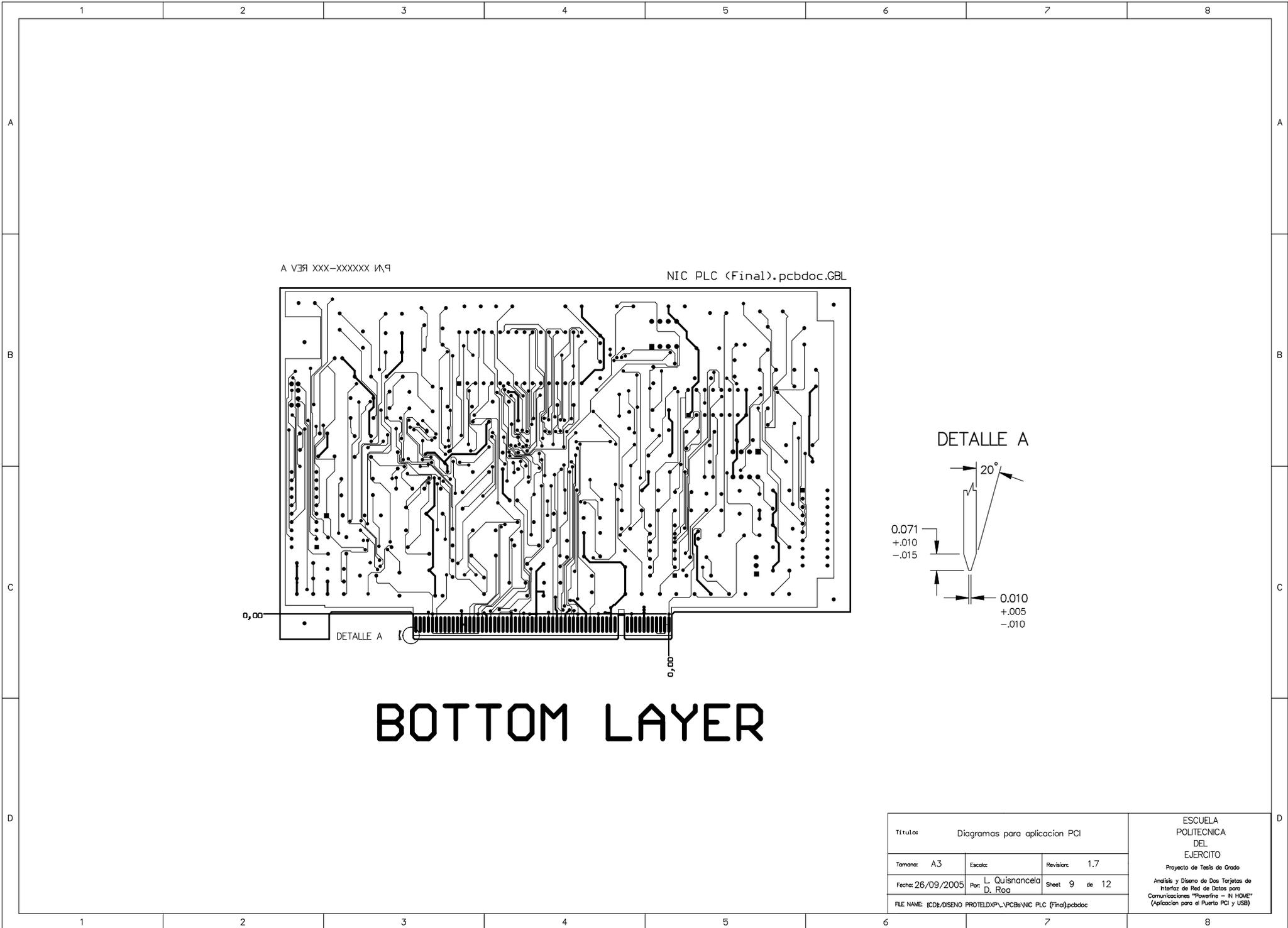
NIC PLC (Final).pcbdoc.GTL

DETALLE A



# TOP LAYER

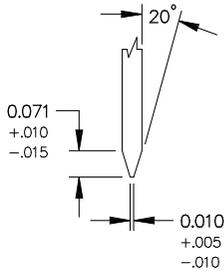
Título: Diagramas para aplicación PCI			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Análisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - IN HOME" (Aplicación para el Puerto PCI y USB)
Tamaño: A3	Escalas:	Revision: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 8 de 12	
FILE NAME: ICDE\DISEÑO PROTELXP\PCBs\NIC PLC (Final).pcbdoc			



A VER XXX-XXXXX IN

NIC PLC (Final).pcbdoc.GBL

DETALLE A

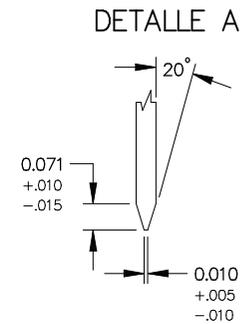
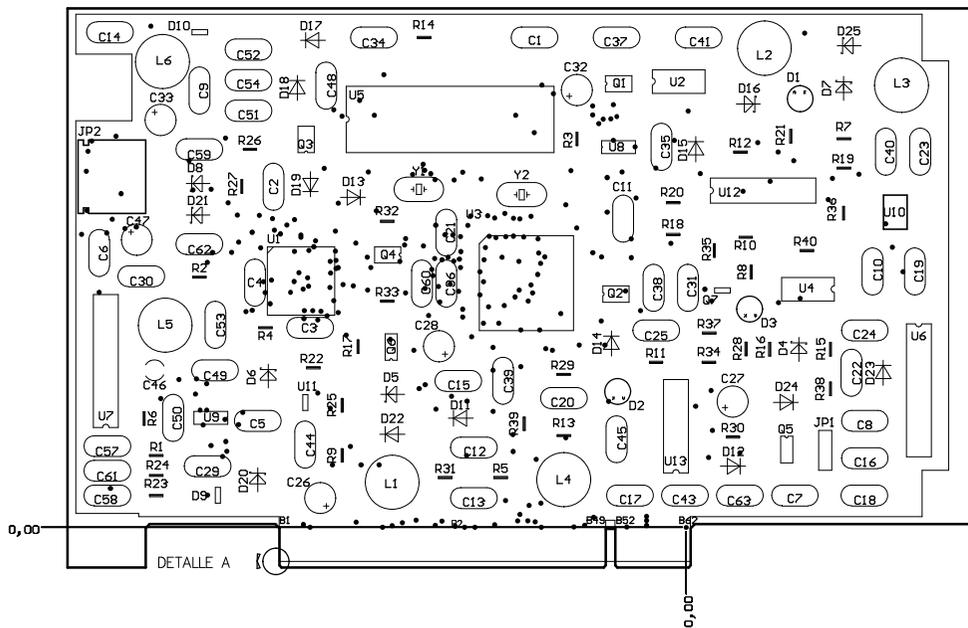


# BOTTOM LAYER

Título: Diagramas para aplicación PCI			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Análisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - IN HOME" (Aplicación para el Puerto PCI y USB)
Tamaño: A3	Escalas:	Revision: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 9 de 12	
FILE NAME: ICDE/ISENO PROTELDP\PCBs\NIC PLC (Final).pcbdoc			

S/N [REDACTED] c 2005 ESCUELA POLITECNICA DEL EJERCITO  
 NETWORK INTERFACE CARD PCI VERSION  
 REV [REDACTED] ASSY NO.: XXXXXX

NIC PLC (Final).pcbdoc.GTO



# TOP OVERLAY

Título: Diagramas para aplicación PCI			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Análisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - IN HOME" (Aplicación para el Puerto PCI y USB)
Tamaño: A3	Escalas:	Revisiones: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roca	Sheet 10 de 12	
FILE NAME: ICDE/ISENO PROTELXP/_PCBs/NIC PLC (Final).pcbdoc			

1

2

3

4

A

A

B

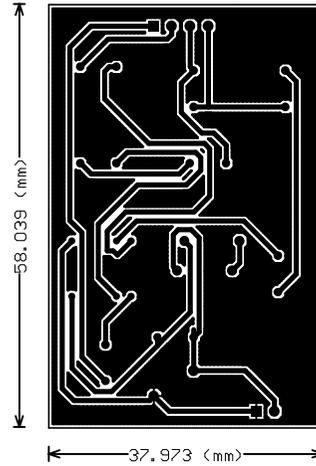
B

C

C

D

D



# TOP LAYER

Titulo: Diagramas para aplicación PCI			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Analisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - N HOME" (Aplicación para el Puerto PCI y USB)
Tamaño: A3	Escala:	Revision: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 11 de 12	
FILE NAME: ICDI\DISENO PROTELDPX\..PCBs\NIC PLC (Acoplador)(Final).pcbdoc			

1

2

3

4

1

2

3

4

A

A

B

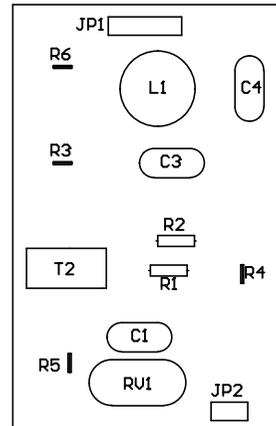
B

C

C

D

D



# TOP OVERLAY

Titulo: Diagramas para aplicacion PCI			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Analisis y Diseno de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - N HOME" (Aplicacion para el Puerto PCI y USB)
Tamano: A3	Escala:	Revision: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 12 de 12	
FILE NAME: ICDI\DISENO PROTELDPX\..PCBs\NIC PLC (Acoplador)(Final).pcbdoc			

1

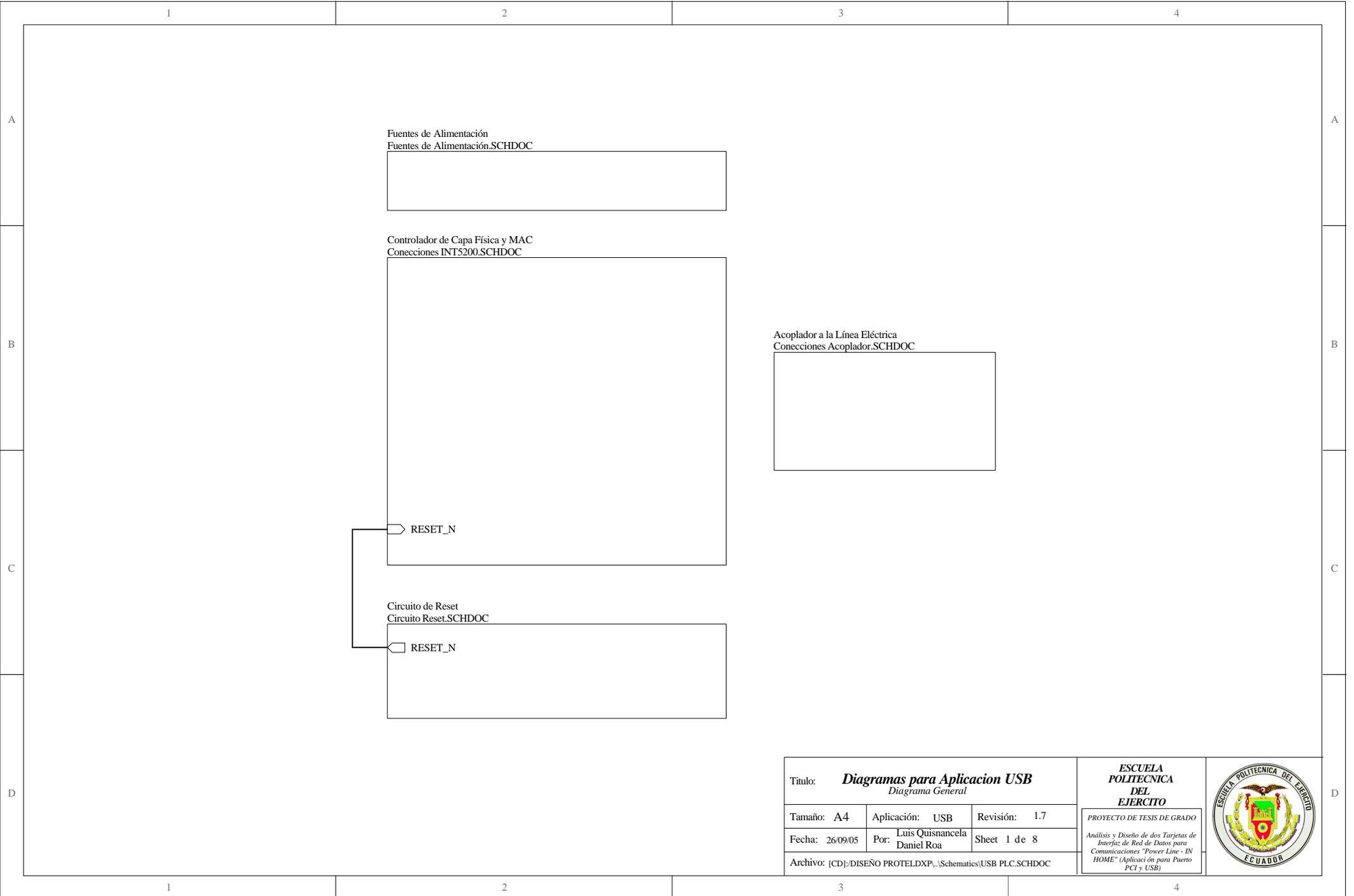
2

3

4

## **ANEXO 2**

### **DIAGRAMAS PARA LA APLICACIÓN USB**



Título: <b>Diagramas para Aplicación USB</b> <i>Diagrama General</i>		
Tamaño: A4	Aplicación: USB	Revisión: 1.7
Fecha: 26/09/05	Por: Luis Quisnancela Daniel Roa	Sheet 1 de 8
Archivo: [CD]:DISEÑO PROTELDXP\..\Schematics\USB PLC.SCHDOC		

**ESCUELA POLITECNICA DEL EJERCITO**  
**DEL EJERCITO**  
 PROYECTO DE TESIS DE GRADO  
 Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)



JP1  
Header 2  
2  
1

RV1  
VARISTOR  
ERZ-V07D471

C1  
47nF(275 V)

R1  
200K(1/4W)

R2  
200K(1/4W)

T1  
TRANSFORMADOR

1 B1 TX\_N

2 B2 TX\_P

3 RX\_N

4 RX\_P

R5  
5.1 (1/8W)

R6  
5.1 (1/8W)

C5  
22pF

L2  
120nH

C6  
22pF

L3  
120nH

R3  
130

R4  
130

C3  
680pF

C4  
680pF

L1  
10uH

TXOUT\_N

TXOUT\_P

RXIN\_N

RXIN\_P

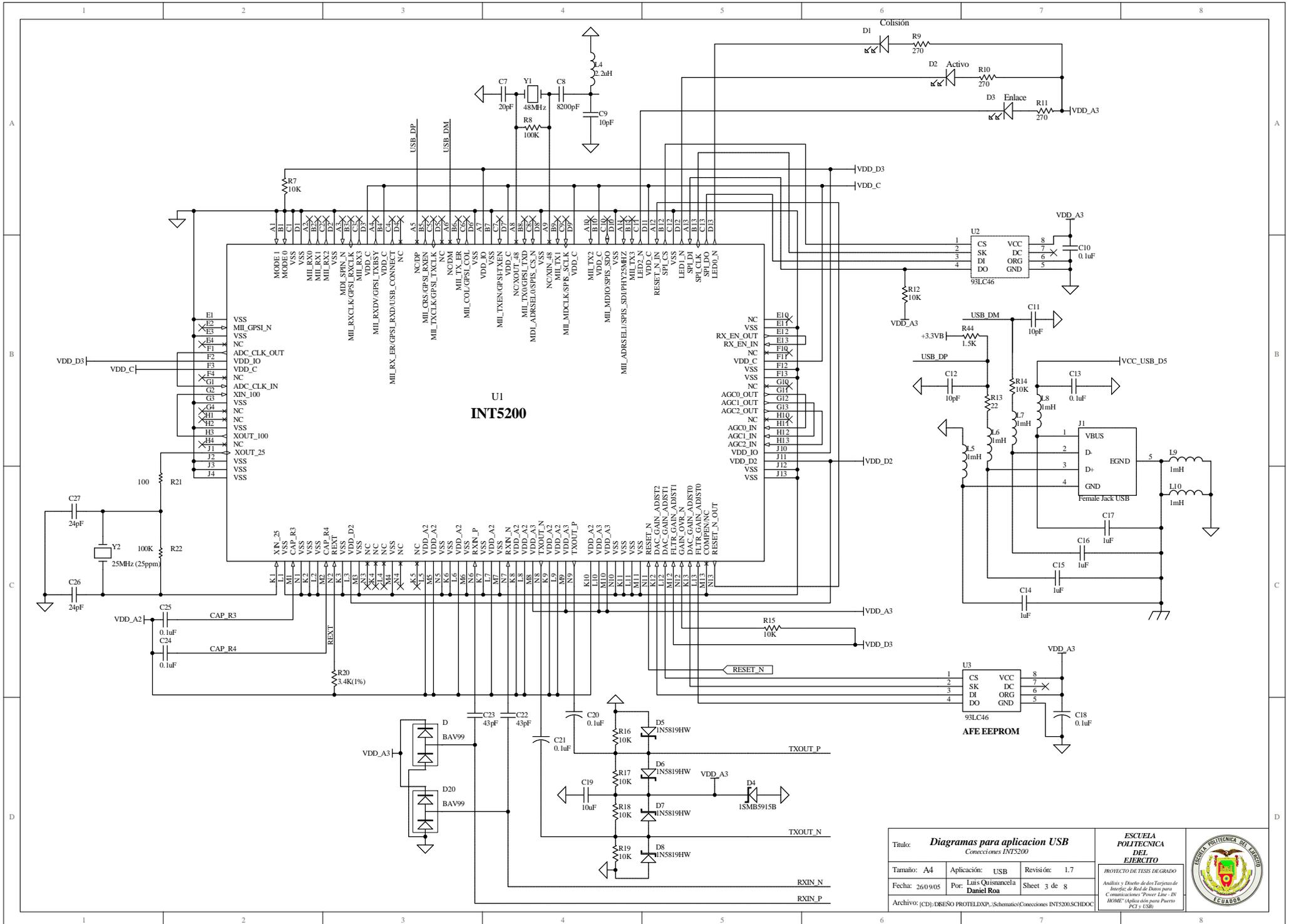
Título: <b>Diagramas para aplicación USB</b> Conexiones Acoplador		
Tamaño: A4	Aplicación: USB	Revisión: 1.7
Fecha: 26/09/05	Por: Luis Quisnancela Daniel Roa	Sheet 2 de 8
Archivo: [CD]:\DISEÑO PROTELDXP.\Schematics\Conexiones Acoplador.SCHDO		

ESCUELA  
POLITECNICA  
DEL  
EJERCITO

PROYECTO DE TESIS DE GRADO

Análisis y Diseño de dos Tarjetas de  
Interfaz de Red de Datos para  
Comunicaciones "Power Line - IN  
HOME" (Aplicación para Puerto PCI  
y USB)

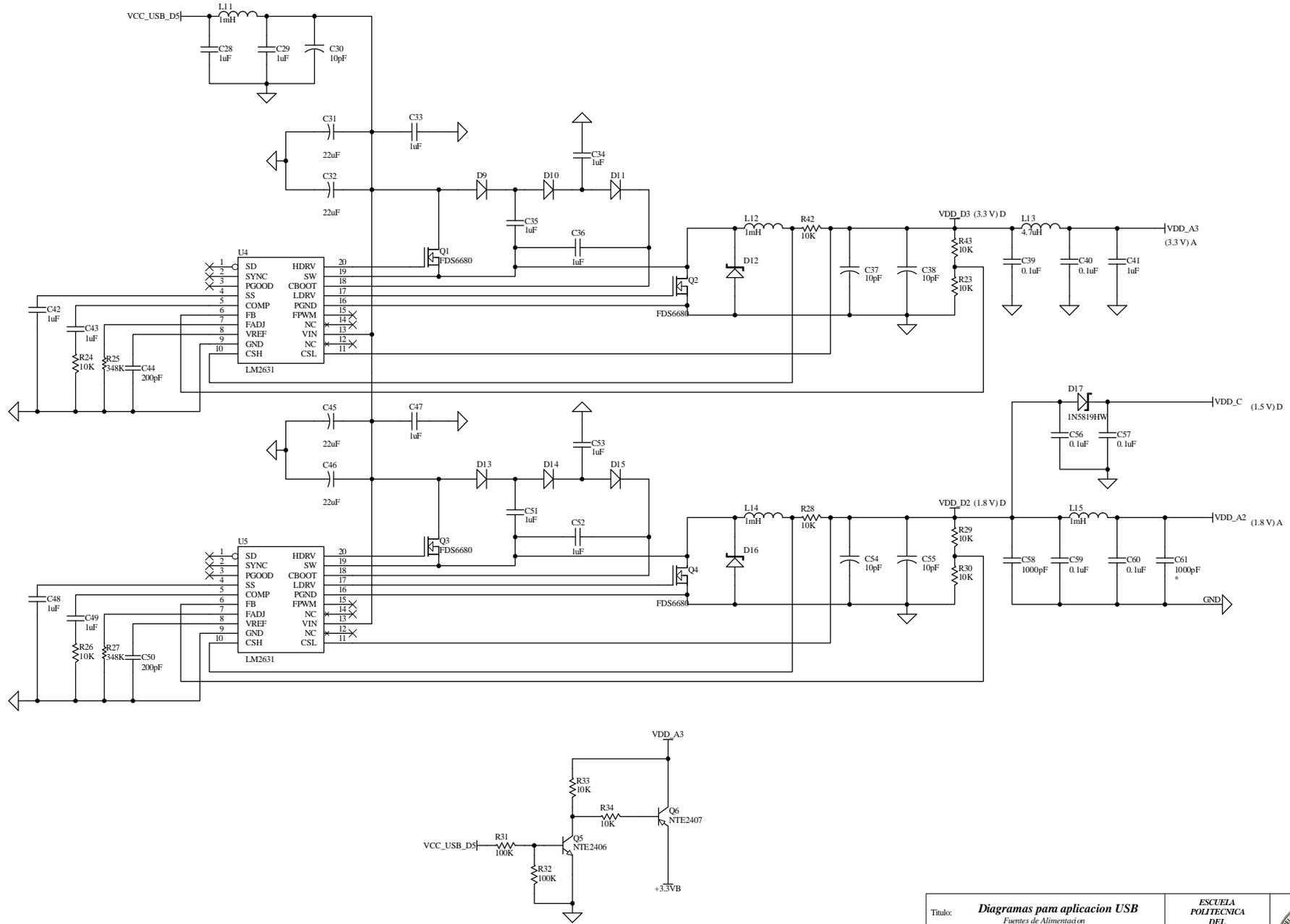




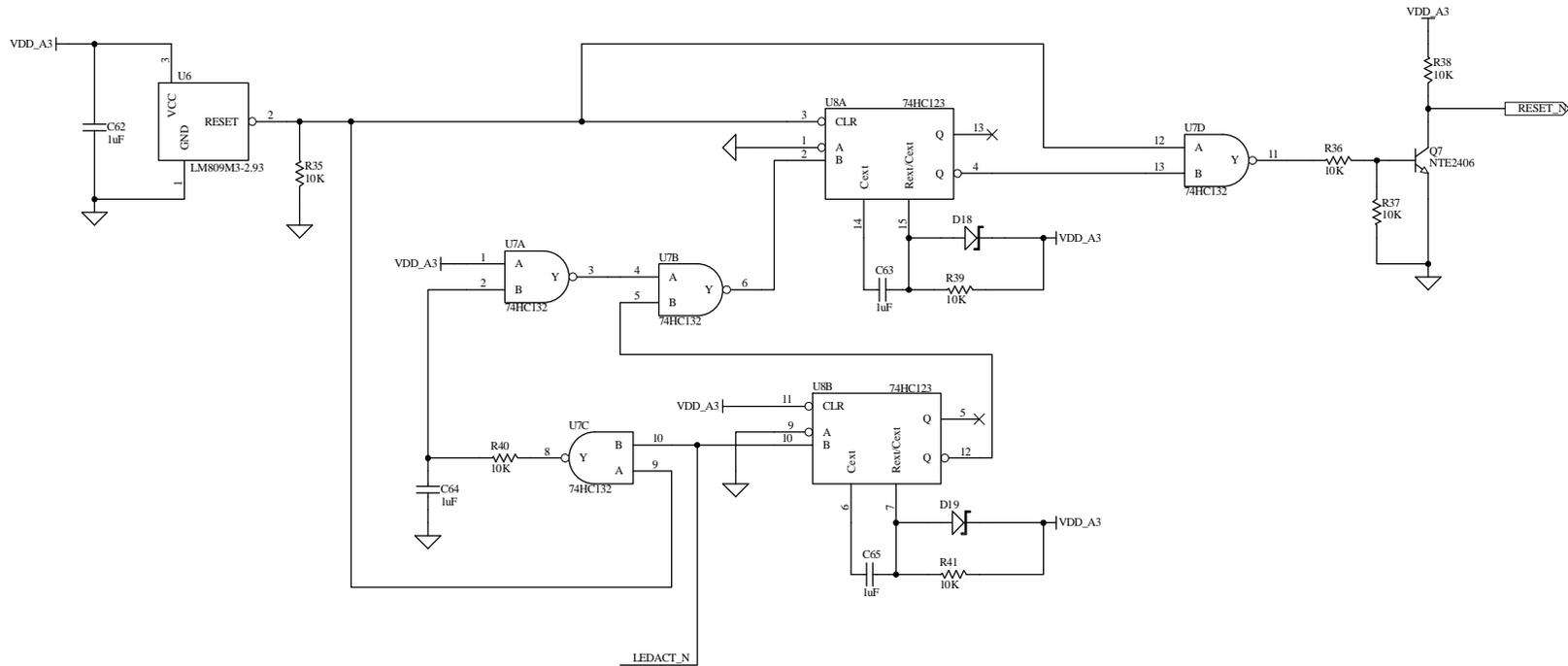
Título: <b>Diagramas para aplicacion USB</b> Conexiones INT5200		
Tamaño: A4	Aplicación: USB	Revisión: 1.7
Fecha: 26/09/05	Por: Luis Quisnachaca Daniel Roa	Sheet 3 de 8
Archivo: [CD]:DISEÑO PROTELIXP_1\Schematics\Conexiones INT5200.SCHDOC		

**ESCUELA POLITÉCNICA DEL EJÉRCITO**  
 PROYECTO DE TESIS DE GRADO  
 Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PC2 y USB)

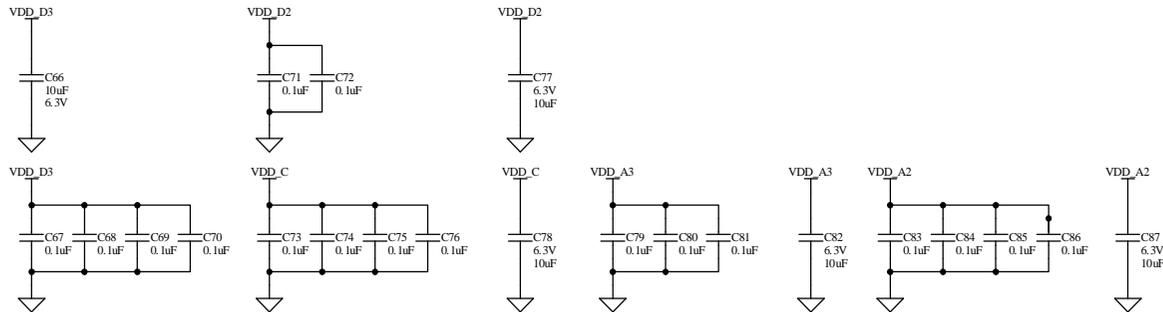




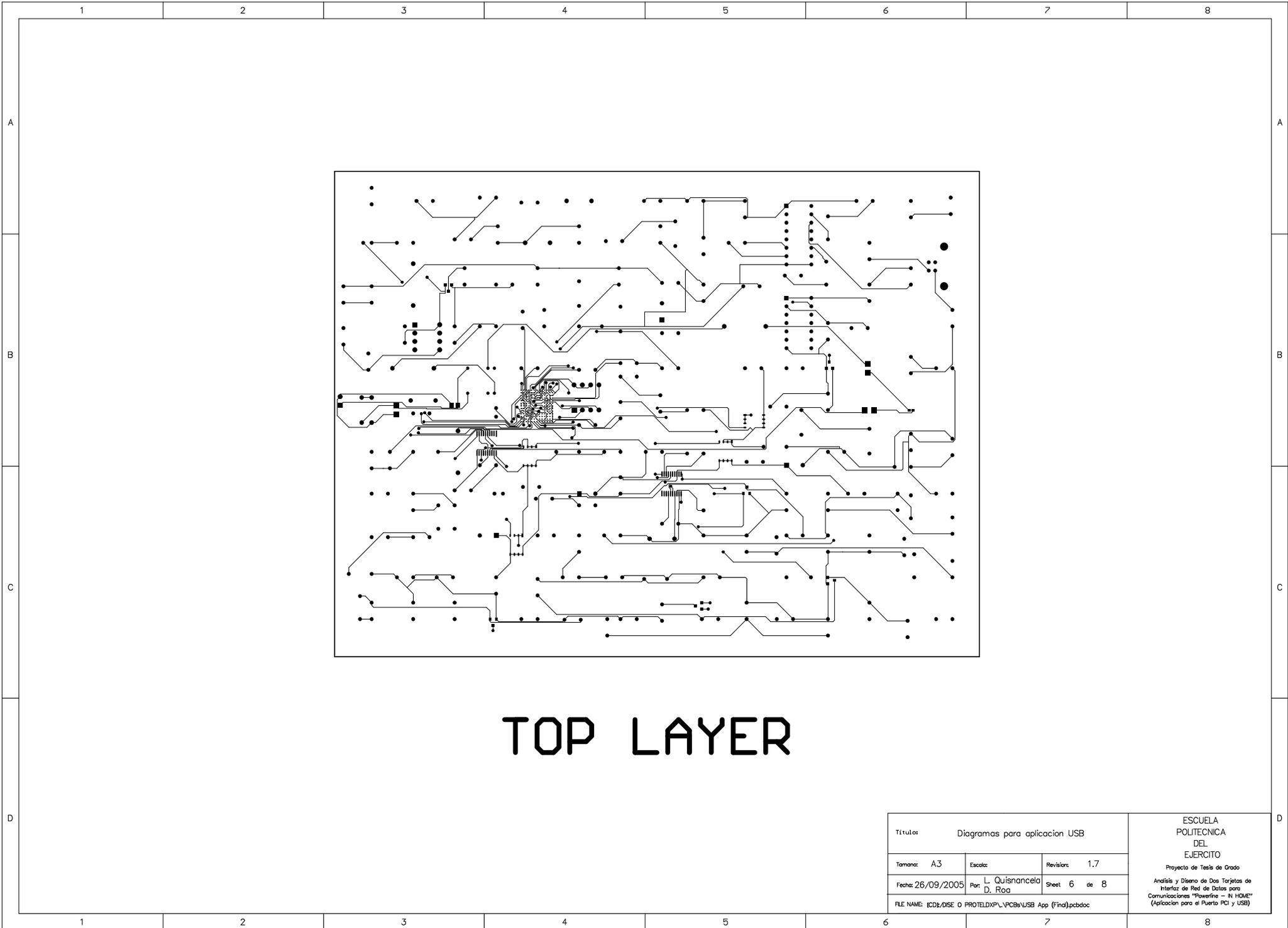
<b>Título:</b> <i>Diagramas para aplicacion USB</i> <i>Fuentes de Alimentacion</i>			
Tamaño: A4	Aplicación: USB	Revisión: 1.7	
Fecha: 26/09/05	Por: Luis Quismancela Daniel Roa	Sheet 4 de 8	
Archivo: (CD):DISEÑO PROTEL.DXP\Schematics\Fuentes de Alimentacion.SCHDK			
PROYECTO DE TESIS DE GRADO Análisis y Diseño de dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Power Line - IN HOME" Aplicación para Puerto PC2 y USB			



**CAPACITORES DESACOPLADORES**

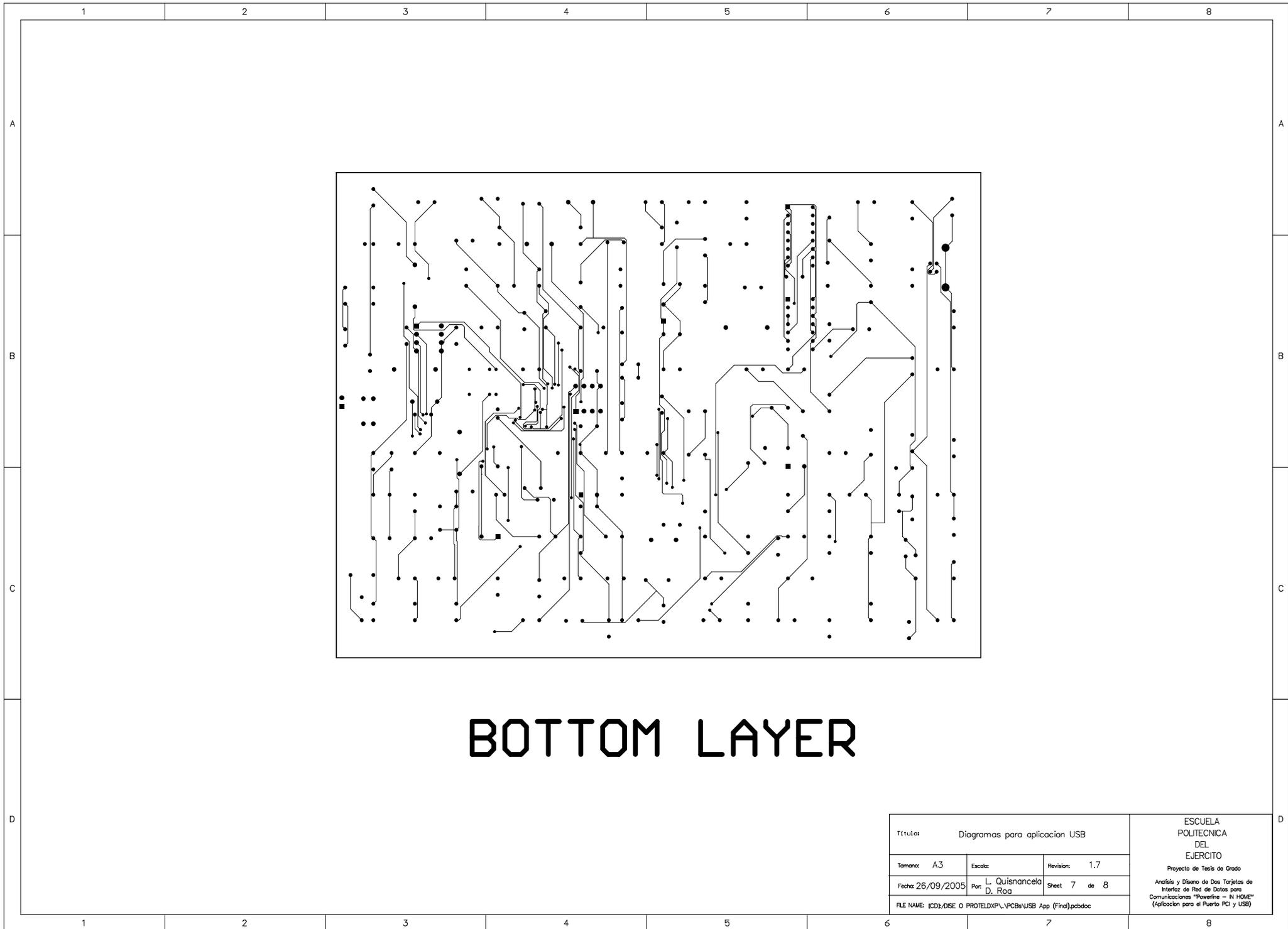


Título: <b>Diagramas para aplicacion USB</b> Circuito Reset			<b>ESCUELA POLITECNICA DEL EJERCITO</b> PROYECTO DE TESIS DE GRADO Analisis y Diseño de dos Tarjetas de Interface de Red de Datos para Comunicaciones "Power Line - IN HOME" (Aplicación para Puerto PCI y USB)	
Tamaño: A4	Aplicación: USB	Revisión: 1.7		
Fecha: 26/09/05	Por: Luis Quismancala Daniel Roa	Sheet 5 de 8		
Archivo: [CD]:DISEÑO PROTELXP_1\Schematics\Circuito Reset.SCHDOC				



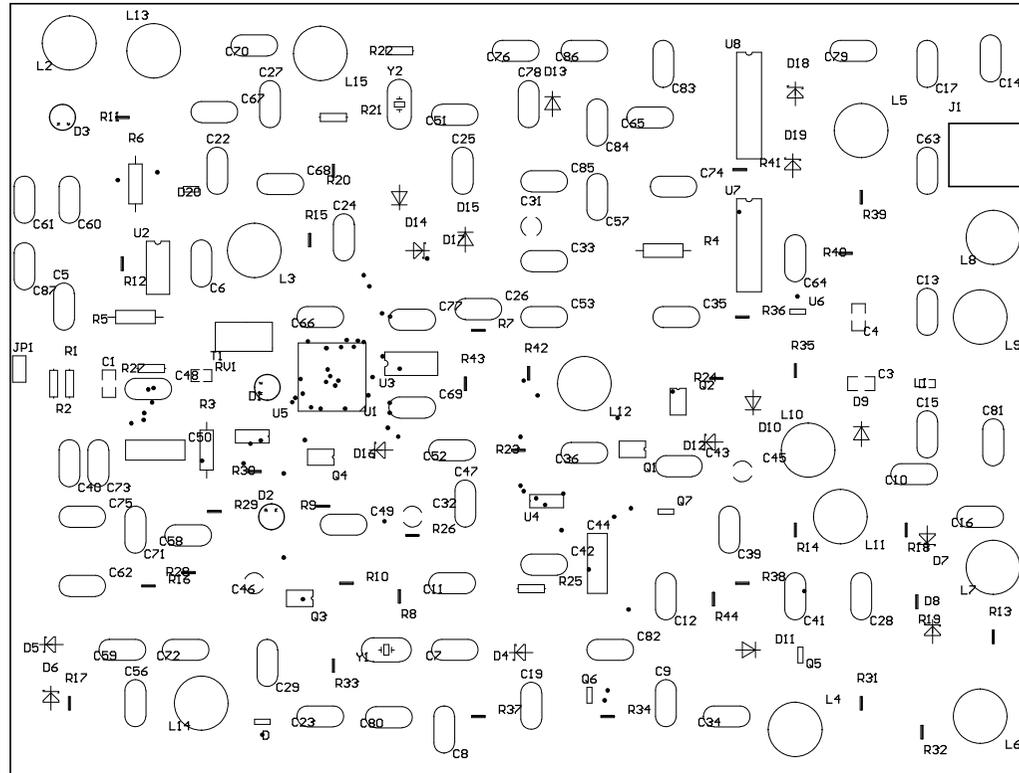
# TOP LAYER

Título: Diagramas para aplicacion USB			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Analisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - IN HOME" (Aplicacion para el Puerto PCI y USB)
Tamaño: A3	Escala:	Revisión: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 6 de 8	
FILE NAME: ICDL/DISE O PROTELDP\PCBa\USB App (Final).pcbdoc			



# BOTTOM LAYER

Título: Diagramas para aplicación USB			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Análisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - IN HOME" (Aplicación para el Puerto PCI y USB)
Tamaño: A3	Escalas:	Revisión: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 7 de 8	
FILE NAME: ICDL/DISE O PROTELDP\_\PCBa\USB App (Final).pcbdoc			



# TOP OVERLAY

Título: Diagramas para aplicacion USB			ESCUELA POLITECNICA DEL EJERCITO Proyecto de Tesis de Grado Analisis y Diseño de Dos Tarjetas de Interfaz de Red de Datos para Comunicaciones "Powerline - IN HOME" (Aplicacion para el Puerto PCI y USB)
Tamaño: A3	Escalas:	Revision: 1.7	
Fecha: 26/09/2005	Por: L. Quisnancela D. Roa	Sheet 8 de 8	
FILE NAME: ICDE\OISE O PROTLEDXP\PCBs\USB App (Final).pcbdoc			

## **ANEXO 3**

### **COSTO PROTOTIPO PCI**

**COSTOS PROTOTIPO PCI.**

NOMBRE	VALOR	COMPONENTE	CANTIDAD	COMPONENTE ID	DISTRIBUIDOR	PRECIO PROMEDIO	SUBTOTAL
<b>CIRCUITO TARJETA PCI</b>							
Diodo LED	-	Diode Led	26	D1, D2, D3, D4, D5, D6, D7	Electrónica Nacional (EC)	0,20	5,20
				D8, D11, D12, D13, D14, D15	Tecompertes (EC)		
				D16, D17, D18, D19, D20, D21	Electrónica La Colon (EC)		
				D22, D23, D24, D25, P2, Y1	Laboratorio Tecnico (EC)		
Cristal	25MHz	Cristal	1	Y2	ACME (EC)	2,00	2,00
Capacitor	100pF	RAD-0.3	8	C13, C26, C27, C28, C32, C33	Electrónica Nacional (EC)	0,60	
				C46, C47	Tecompertes (EC)		
Resistencia	10K	Resistor Axial 0.2	34	R1, R4, R5, R6, R7, R8, R9	Electrónica Nacional (EC)	0,15	5,10
				R10, R11, R12, R15, R16, R17	Tecompertes (EC)		
				R19, R20, R21, R22, R23, R25	Electrónica La Colon (EC)		
				R26, R27, R28, R29, R30, R31	-		
				R32, R33, R34, R35, R36, R37	-		
				R38, R39, R40	-		
Resistor	1K	AXIAL-0.3	2	R13, R14	Electrónica Nacional (EC)	0,10	0,20
Inductor	1mH	Inductor (Axial)	6	L1, L2, L3, L4, L5, L6	Arrow Components (US)*	3,06	18,36
Capacitor Cerámico	1uF	Capacitor Ceramico	50	C1, C2, C3, C4, C5, C6, C7	Electrónica Nacional (EC)	0,23	11,50
				C8, C9, C10, C11, C12, C14	Tecompertes (EC)		
				C15, C16, C17, C18, C19, C20	Electrónica La Colon (EC)		
				C21, C22, C23, C24, C25, C29	-		
				C30, C31, C34, C35, C36, C38	-		
				C39, C40, C41, C43, C44, C45	-		
				C48, C49, C50, C52, C53, C54	-		
				C57, C58, C59, C60, C61, C62	-		
				C63	-		
				Capacitor	200pF		
Resistor	348K	AXIAL-0.3	2	R18, R24	Electrónica Nacional (EC)	0,18	0,36
Dual Retriggerable Monestable Multivibrator	74HC123	74HC123 (DIP16)	1	U12	RADIOCOM (EC)	4,47	4,47
Quad 2-Pin Positive NAND Schmitt Trigger	74HC132	74HC132 (DIP14)	1	U13	RADIOCOM (EC)	4,47	4,47
Octal D-type transparent latch; 3-state	74HC373	74HC373 (DIP20)	2	U6, U7	RADIOCOM (EC)	4,47	8,94
Serial EEPROM	93LC46	AT93C46 (DIP8)	2	U2, U4	ATMEL (EC)	2,00	4,00
(256Kx8) Flash Memory	AT29C020	AT29C020 (DIP32)	1	U5	ATMEL (EC)	5,00	5,00
BAV99, SWITCHING DIODE, SURFACE MOUNT	BAV99	BAV99 (SOT-23)	2	D9, D10	Electronica La Colon (EC)	2,36	4,72
Mosfet Tipo N	Codigo	FDS6680 (SOIC-8)	4	Q1, Q2, Q3, Q4	Arrow Components (US)*	3,06	12,24
MAC Device	DP83816	DP83816(Quad144)	1	U3	National Semiconductors (US)*	13,50	13,50
Puerto Acoplador	FEMALEJACK6PORT	FemaleJack6Puerto	1	JP2	Tecompertes (EC)	0,17	0,17
Header, 3-Pin	Header 3	HDR1X3	1	JP1	Tecompertes (EC)	0,21	0,21
PHY Controller	INT5200	INT5200 (BGA144x13)	1	U1	Intellon (US)*	29,70	29,70
Dual Mosfet	IRF7105	IRF7105 (SO-8)	2	Q5, Q6	Arrow Components (US)*	4,13	8,25
Buck Converter	LM2631	LM2631(SOP20)	2	U8, U9	Arrow Components (US)*	8,23	16,46
3.3V Regulator	LM3940IMP-3.3	LM3940IMP-3.3	1	U10	Arrow Components (US)*	3,32	3,32
3-Pin Microprocesor Reset Circuit	LM809M3-2.93	LM809M3-2.93	1	U11	Arrow Components (US)*	2,61	2,61
T-NPN, Si, Gen Purp Amp	NTE2406	NTE2406 (SOT-23)	1	Q7	Tecompertes (EC)	0,65	0,65
Resistor	Res1	AXIAL-0.3	2	R2, R3	Electrónica Nacional (EC)	0,15	0,30

CIRCUITO CIRCUITO ACOPLADOR							
Resistencia	10K	Resistor Axial 0.2	4	R3, R4, R5, R6	Electrónica Nacional (EC)	0,15	0,60
Inductor	1mH	Inductor (Axial)	1	L1	Electrónica Nacional (EC)	0,48	0,48
Capacitor Cerámico	1uF	Capacitor Cerámico	2	C3, C4	Electrónica Nacional (EC)	0,23	0,46
Resistor	200K(1/4W)	AXIAL-0.3	2	R1, R2	Electrónica Nacional (EC)	0,16	0,32
Capacitor Cerámico	4.7uF	Capacitor Cerámico	1	C1	Electrónica Nacional (EC)	0,24	0,24
Varistor	ERZ-V07D471	Varistor	1	RV1	Tecompartes (EC)	0,89	0,89
Header, 2-Pin	Header 2	HDR1X2	1	JP2	Tecompartes (EC)	0,28	0,28
Header, 4-Pin	Header 4	HDR1X4	1	JP1	Tecompartes (EC)	0,36	0,36
Transformador Toroidal	TRANSFORMADOR	Transformador Toroidal	1	T2	ACME	10,00	10,00

**NOTA:** (\*) Los precios de este distribuidor incluyen el precio del shipping, mas el proporcional del impuesto del aduanaje.

<b>TOTAL I</b>	176,11
<b>Fabricacion PCB</b>	187,00
<b>Implementacion</b>	85,00
<b>Importacion</b>	35,00

<b>TOTAL II</b>	483,11
-----------------	--------

## **ANEXO 4**

### **COSTO PROTOTIPO USB**

**COSTOS PROTOTIPO USB**

NOMBRE	VALOR	COMPONENTE	CANTIDAD	COMPONENTE ID	DISTRIBUIDOR	PRECIO PROMEDIO	SUBTOTAL
Diodo LED	-	Diode Led	13	D1, D2, D3, D9, D10, D11, D12 D13, D14, D15, D16, D18, D19	Electronica Nacional (EC) Tecompertes (EC)	0,20	2,60
Capacitor Ceramico	0.1uF	Capacitor Ceramico	27	C10, C13, C24, C25, C39, C40 C56, C57, C59, C60, C67, C68 C69, C70, C71, C72, C73, C74 C75, C76, C79, C80, C81, C83 C84, C85, C86	Electrónica Nacional (EC) Tecompertes (EC) Electrónica La Colon (EC) Laboratorio Tecnico (EC) -	0,17	4,59
Resistencia	1.5K	Resistor Axial 0.2	1	R44	Laboratorio Tecnico (EC)	0,10	0,10
Capacitor Cer? ico	1000pF	Capacitor Ceramico	2	C58, C61	Laboratorio Tecnico (EC)	0,42	0,84
Resistencia	100K	Resistor Axial 0.2	3	R8, R31, R32	Laboratorio Tecnico (EC)	0,12	0,36
Capacitor	100pF	CAPR5-4X5	4	C31, C32, C45, C46	Laboratorio Tecnico (EC)	0,33	1,32
Resistencia	10K	Resistor Axial 0.2	25	R7, R12, R14, R15, R16, R17 R18, R19, R23, R24, R26, R28 R29, R30, R33, R34, R35, R36 R37, R38, R39, R40, R41, R42 R43	Electrónica Nacional (EC) Electrónica Nacional (EC) Electrónica Nacional (EC) Electrónica Nacional (EC) Electrónica Nacional (EC)	0,15	3,75
Capacitor Ceramico	10pF	Capacitor Ceramico	3	C9, C11, C12	Tecompertes (EC)	0,22	0,66
Capacitor Ceramico	100F	Capacitor Ceramico	6	C19, C66, C77, C78, C82, C87	Tecompertes (EC)	0,25	1,50
Inductor	10uH	C1005-0402	1	L1	Arrow Components (US)*	2,15	2,15
Inductor	120nH	Inductor (Axial)	2	L2, L3	Arrow Components (US)*	2,15	4,30
Semiconductor Resistor	130	AXIAL-0.5	2	R3, R4	Electrónica La Colon (EC)		0,00
Inductor	1mH	Inductor (Axial)	10	L5, L6, L7, L8, L9, L10, L11 L12, L14, L15	Arrow Components (US)*	2,15	21,48
Diodo Zener	1N5819HW	Diodo Zener (DO41)	5	D5, D6, D7, D8, D17	Electrónica La Colon (EC)	0,90	4,50
Diodo Zener	1SMB5915B	Diodo Zener (DO41)	1	D4	Electrónica La Colon (EC)	0,87	0,87
Capacitor Cer? ico	1uF	Capacitor Ceramico	23	C14, C15, C16, C17, C28, C29 C33, C34, C35, C36, C41, C42 C43, C47, C48, C49, C51, C52 C53, C62, C63, C64, C65	Laboratorio Tecnico (EC) Laboratorio Tecnico (EC) Laboratorio Tecnico (EC) Laboratorio Tecnico (EC)	0,23	5,29
Inductor	2.2uH	Inductor (Axial)	1	L4	Arrow Components (US)*	2,15	2,15
Resistor	200K(1/4W)	AXIAL-0.3	2	R1, R2	Tecompertes (EC)	0,16	0,32
Capacitor	200pF	RAD-0.3	2	C44, C50	Laboratorio Tecnico (EC)	0,37	0,74
Capacitor Cer? ico	20pF	Capacitor Ceramico	1	C7	Tecompertes (EC)	0,28	0,28
Resistencia	22	Resistor Axial 0.2	1	R13	Laboratorio Tecnico (EC)	0,14	0,14
Capacitor Cer? ico	22pF	Capacitor Ceramico	2	C5, C6	Tecompertes (EC)	0,24	0,48
Capacitor Cer? ico	24pF	Capacitor Ceramico	2	C26, C27	Tecompertes (EC)	0,25	0,50
Cristal	25MHz (25ppm)	Crystal Oscilator	1	Y2	ACME (EC)	2,00	2,00
Resistencia	270	Resistor Axial 0.2	3	R9, R10, R11	Laboratorio Tecnico (EC)	0,17	0,51
Resistencia	3.4K(1%)	Resistor Axial 0.2	1	R20	Laboratorio Tecnico (EC)	0,16	0,16
Resistor	348K	AXIAL-0.3	2	R25, R27	Laboratorio Tecnico (EC)	0,18	0,36
Inductor	4.7uH	Inductor (Axial)	1	L13	Arrow Components (US)*	2,15	2,15
Capacitor Cer? ico	43pF	Capacitor Ceramico	2	C22, C23	Tecompertes (EC)	0,65	1,30
Capacitor (Semiconductor SIM Model)	47nF	C3216-1206	1	C1	Electronica Nacional (EC)	0,87	0,87
Cristal	48MHz	Crystal Oscilator	1	Y1	Arrow Components (US)*	4,20	4,20
Semiconductor Resistor	5.1 (1/8W)	AXIAL-0.5	2	R5, R6	Laboratorio Tecnico (EC)	0,22	0,44

PROTOTIPO USB

COSTOS PROTOTIPO USB

Capacitor (Semiconductor SIM Model)	680pF	C3216-1206	2	C3, C4	Laboratorio Tecnico (EC)	0,57	1,14
Dual Retriggerable Monostable Multivibrator	74HC123	74HC123 (DIP16)	1	U8	RADIOCOM (EC)	4,47	4,47
Quad 2-Pin Positive NAND Schmitt Trigger	74HC132	74HC132 (DIP14)	1	U7	RADIOCOM (EC)	4,47	4,47
Capacitor Ceramico	8200pF	Capacitor Ceramico	1	C8	Tecompertes (EC)	0,65	0,65
Serial EEPROM	93LC46	AT93C46 (DIP8)	2	U2, U3	ATMEL (EC)	2,00	4,00
BAV99, SWITCHING DIODE, SURFACE MOUNT	BAV99	BAV99 (SOT-23)	2	D, D20	Electrónica La Colon (EC)	2,36	4,72
Mosfet Tipo N	Codigo	FDS6680 (SOIC-8)	4	Q1, Q2, Q3, Q4	Arrow Components (US)*	2,31	9,24
Female Jack USB	Female Jack USB	FEMALEJACKUSB	1	J1	Tecompertes (EC)	3,20	3,20
Header, 2-Pin	Header 2	HDR1X2	1	JP1	Tecompertes (EC)	0,24	0,24
PHY Controller	INT5200	INT5200 (BGA144x13)	1	U1	Intellon (US)*	29,70	29,70
Buck Converter	LM2631	LM2631(SOP20)	2	U4, U5	Arrow Components (US)*	7,48	14,96
3-Pin Microprocesor Reset Circuit	LM809M3-2.93	LM809M3-2.93	1	U6	Arrow Components (US)*	2,57	2,57
T-NPN, Si, Gen Purp Amp	NTE2406	NTE2406 (SOT-23)	2	Q5, Q7	Tecompertes (EC)	0,65	1,30
T-PNP, Si, Gen Purp Amp	NTE2407	NTE2406 (SOT-23)	1	Q6	Tecompertes (EC)	0,65	0,65
Resistor	Res1	AXIAL-0.3	2	R21, R22	Laboratorio Tecnico (EC)	0,30	0,60
Transformador Toroidal	TRANSFORMADOR	Transformador Toroidal	1	T1	ACME (EC)	10,00	10,00
Varistor (Voltage-Sensitive Resistor)	VARISTOR	R2012-0805	1	RV1	Tecompertes (EC)	0,89	0,89

<b>TOTAL I</b>	155,21
<b>Fabricacion PCB</b>	187,00
<b>Implementacion</b>	85,00
<b>Importacion</b>	35,00
<b>TOTAL II</b>	462,21

## **ANEXO 5**

### **ESTÁNDARES PLC**

Existen estándares americanos y europeos que tratan de regularizar este tipo de tecnología. Se parte del hecho de que la línea eléctrica es interferida por señales de radio frecuencia, entonces se puede dar el caso inverso en el sentido de que la línea eléctrica puede funcionar como una gran antena y las señales que pasan por ella pueden generar señales electromagnéticas que pueden interferir con señales de radio frecuencia.

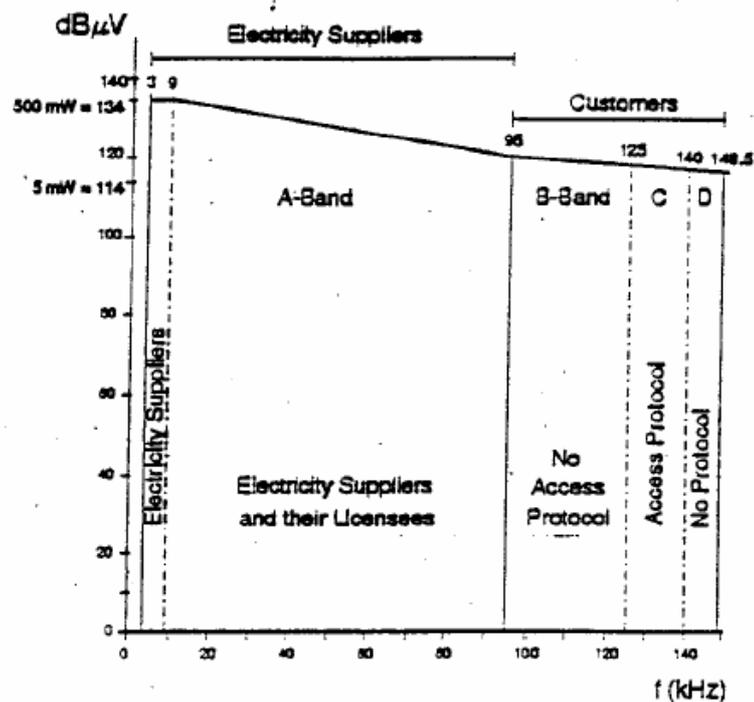


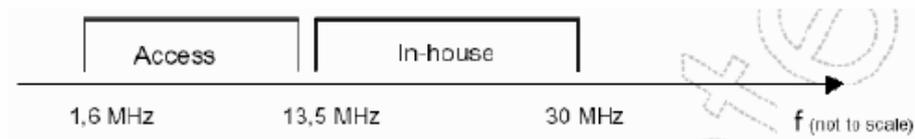
Figura. 1. Estándar 50065.1 de CENELEC.

En Europa, CENELEC está encargada de normalizar este tipo de tecnología la cual especifica en la norma 50065.1 el uso del espectro de frecuencia en 5 diferentes canales en la banda de 3 – 148.5[KHz] y cada uno con un propósito. En Europa este tipo de normalización tiene gran aceptación, lo que no sucede con la normalización que propone ETSI.

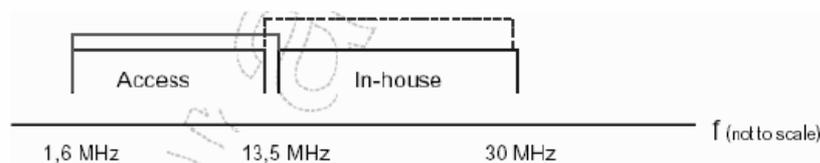
ETSI estipula que las características de propagación y EMC (Electromagnetic Compatibility) deben estar restringidas desde 1 [MHz] hasta 10 [MHz] mientras que la mayoría de compañías de telecomunicaciones ocupan de 2 [MHz] hasta 30 [MHz], por lo que CENELEC ha creado un borrador de la normativa llamada “Power Line

Telecommunications (PLT) Coexistence of Access-House Systems PLT Phase I”, que parece tomar más fuerza en las compañías de telecomunicaciones, por lo que faltaría ser aprobada por todos los miembros que componen CENELEC.

La idea principal es dividir las frecuencias en dos rangos (In-House y Access) de manera que uno de ellos pueda ser usado por los usuarios dentro de su red privada, mientras que la otra será la usada en los tramos públicos de la red eléctrica, y deberá regirse por unos criterios comunes. Los rangos escogidos para la separación son ilustrados en las siguientes figuras:



**Figura. 2. Borrador de una Normativa de CENELEC para sistemas de 1ª Generación.**



**Figura. 3. Borrador de una Normativa de CENELEC para sistemas de 2ª Generación.**

Los sistemas más modernos (2ª Generación) permiten un cierto solapamiento de las frecuencias puesto que el control sobre ellas puede ser más preciso. En América, se conoce que la IEEE ha creado un nuevo estándar de esta tecnología llamado IEEE 802.2u.

## **ANEXO 6**

### **DISPOSITIVOS DE MONTAJE SUPERFICIAL**

En la siguiente figura se muestran las formas de pines más comunes en dispositivos de montaje superficial.



**Figura. 1. Tipos de terminales más comunes para encapsulados de dispositivos de montaje superficial.**

La forma de pines tiene relación con el tipo de dispositivo:

- Los de extremos metalizados son usados en chips de resistores y capacitores cerámicos.
- Los más usados en circuitos integrados son los “ala de gaviota” y los de forma de “J”; mientras que los terminales de pin doblado se usan en capacitores de tantalio.
- Los terminales de forma de “cuña” y los de forma de “I”, no han logrado popularidad en el ámbito práctico.

“Pitch” es un término importante que se maneja en este tipo de encapsulados, el mismo que hace referencia a la distancia entre centro y centro de dos pines contiguos. Un “pitch” implica distancias iguales o mayores de 0,8[mm], un “fine pitch” abarca distancias menores de 0,8[mm], sin embargo, el “fine pitch” de 0,12[mm] torna muy difícil el tratar de mantener baja la tasa de error en un proceso de fabricación en serie.

La siguiente tabla muestra la denominación comercial de los diferentes tipos de encapsulados, más empleados, en dispositivos de montaje superficial.

TIPO DE DISPOSITIVO	TIPO DE ENCAPSULADO
Pasivos	Flat Chip`s, Melf
Condensadores de Tantalio	TANTA, TANTB, TANTC, TANTD.
Transistores	SOT
Circuitos Integrados	SOJ, SOIC, TSOP, PLCC, QFP, BGA

**Tabla. 1. Denominación comercial para encapsulados de dispositivos de montaje superficial.**

## FORMA DE DISTRIBUCIÓN

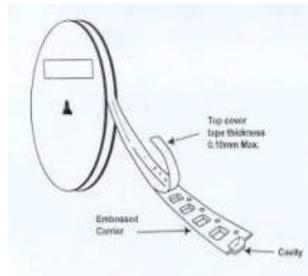
Para distribuir dispositivos de montaje superficial, dependiendo del encapsulado, la forma de suministrarlos puede ser:

- **Varillas:** están disponibles en diferentes medidas de acuerdo al dispositivo que se necesite almacenar, permitiendo así que estos corran por su interior, conservando el orden en que han sido ubicados los dispositivos.



**Figura. 2. Varillas de diferente medida para almacenar circuitos integrados.**

- **Cinta (“tape&reel”):** conocidas como “blister”, tienen un ancho de 8, 12, 16, 24, 32 y 44[mm], son de material plástico con cavidades para alojar los dispositivos y disponen de un rollo donde la cinta cobertora mantiene el dispositivo en su lugar.



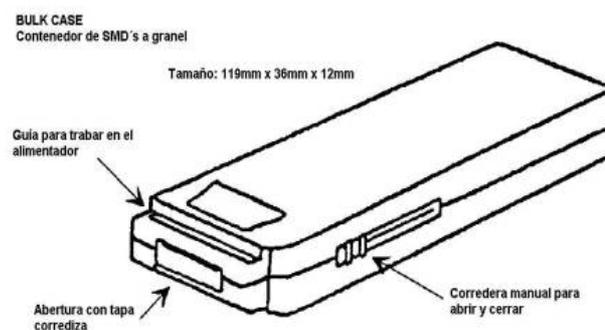
**Figura. 3. Rollo de cinta para almacenar dispositivos de montaje superficial.**

- **Planchas o trays:** la distribución de sus alojamientos sigue un orden matricial y son elaborados a base de material plástico antiestático.



**Figura. 4. Planchas para almacenar dispositivos de montaje superficial.**

- **Bulk Case:** está formado por un contenedor plástico hermético con una salida capaz de ser adaptada a máquinas encargadas de tomar y colocar los componentes.



**Figura. 5. Bulk case para almacenar dispositivos de montaje superficial.**

## **ANEXO 7**

### **TECNOLOGIA DE MONTAJE SUPERFICIAL**

Esta tecnología utiliza dispositivos de montaje superficial SMD (Surface Mount Device) que a diferencia de los dispositivos de tecnología THT (Through-Hole Technology), el propio encapsulado posee extremos metalizados cortos y rígidos de diversas formas.

En la tecnología de montaje superficial, los dispositivos pueden ir montados sobre el lado de la soldadura de la tarjeta de circuito impreso, sobre el lado de los componentes o de ambos lados. Estas técnicas, se describen con mayor detalle a continuación:

- **Montaje sobre el lado de los componentes.** Se realiza una impresión serigráfica de pasta de soldar, basada en aleación de estaño microgranulado y flux, sobre las áreas de contacto del circuito impreso. Los dispositivos son tomados de su embalaje y colocados en las coordenadas programadas mediante máquinas colocadoras llamadas “chipeadoras”, Pick&Place o Collect&Place. Luego, la placa es introducida en un horno continuo para desarrollar un ciclo térmico que abarca precalentamiento, fusión del estaño, reflujo del mismo y enfriamiento, este proceso es conocido como soldadura “reflow” y emplea hornos infrarrojos o de convección forzada. Existe también la opción de soldadura en atmósfera inerte, que mediante la inyección de nitrógeno logra desplazar el oxígeno para evitar oxidaciones durante la soldadura.

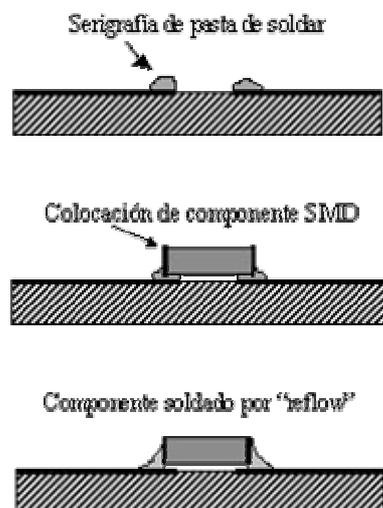


Figura. 1. SMT empleando la técnica de soldadura por “reflow”

- **Montaje sobre el lado de soldadura.** Los componentes son fijados mediante un proceso de adhesión con una máquina dispensadora de gotas o mediante serigrafía de pegamento. Luego de colocar el dispositivo sobre la gota de pegamento, la placa de circuito impreso es introducida en un horno, estático o continuo, desarrollándose ahí el proceso de “curado” o endurecimiento del pegamento; luego de este proceso, la placa queda lista para ser soldada por baño de ola. La soldadura por ola se emplea normalmente para componentes THT y para determinados componentes de montaje superficial.

En la soldadura por ola se hace pasar la tarjeta con los componentes a soldar sobre la superficie de una ola de soldadura en fase líquida, previamente y para mejorar el soldado, se rocía la superficie de la tarjeta con flux.



Figura. 2. SMT empleando la técnica de soldadura por “baño de ola”

- **Montaje mixto:** es una técnica en la que se combina tecnología THT con alguno o ambos procesos SMT. Esto se produce por razones de costo o por no justificarse un cambio de proceso o por bajos volúmenes de producción, por lo que se siguen colocando THT’s.

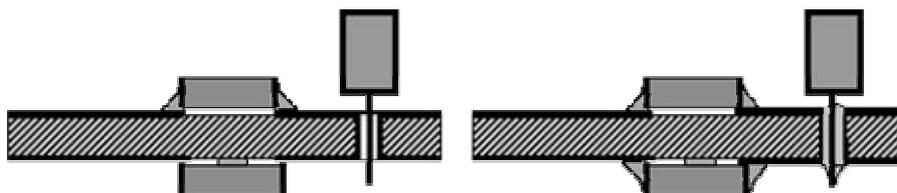


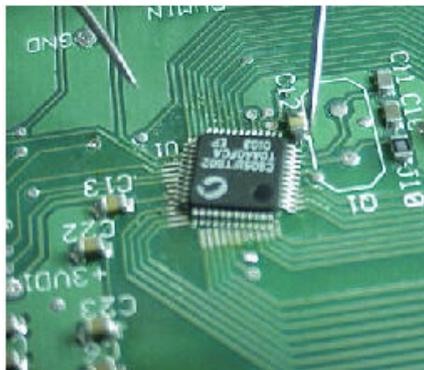
Figura. 3. Técnica de montaje mixto.

## **ANEXO 8**

### **PROCESO PARA SOLDAR Y DESOLDAR DISPOSITIVOS QFP**

## SOLDAR

- Los pads sobre la PCB deben estar limpios y libres de cualquier soldadura.
- Se debe colocar cuidadosamente el dispositivo QFP sobre la PCB usando pinzas o algún otro método seguro, especialmente cuando se manipulan dispositivos antiestáticos.



**Figura. 1. QFP listo para ser alineado.**

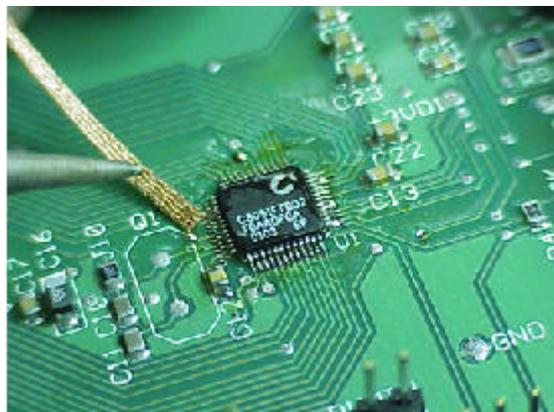
- Alinear el dispositivo sobre los pads, empleando una herramienta adecuada para empujar el dispositivo, permitiendo así orientar el dispositivo de forma correcta (considerar la orientación del pin 1).



**Figura. 2. QFP alineado.**

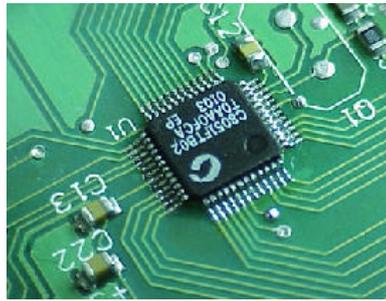
- Ajustar la temperatura de la estación de soldadura a aproximadamente 385[°C].

- Poner una pequeña cantidad de suelda sobre la punta de la herramienta soldadora.
- Mientras se mantiene el QFP alineado con una herramienta adecuada, adicionar una pequeña cantidad de “solder flux” en dos esquinas opuestas del dispositivo a soldar, para fijar el QFP alineado con suelda para que este no se mueva. El “Flux” es una sustancia que aplicada a un pieza de metal hace que esta se caliente uniformemente dando lugar a soldaduras más suaves y de mayor calidad.
- Chequear nuevamente el alineamiento, y de ser el caso, hacer los ajustes requeridos o remover el dispositivo y volver a realizar el proceso de fijamiento hasta lograr un resultado perfecto de posicionamiento sobre la PCB.
- Adicionar suelda a la punta de la herramienta de soldadura, sin olvidar el distribuir “flux” sobre todos los pines para mantenerlos húmedos.
- Tocar la punta de la herramienta de soldadura en el extremo final de cada pin del dispositivo QFP, hasta ver que se vayan soldando a la PCB. Adicionar pequeñas cantidades de suelda según se necesite. En el caso de usar cautín, se debe mantener la punta metálica paralela a los pines que están siendo soldados.
- Luego de soldar, empañar los pines con “flux” para reforzar la suelda y evitar posibles corto-circuitos.



**Figura. 3. Proceso para evitar posibles corto-circuitos**

- Luego del proceso de soldadura, es necesario inspeccionar la tarjeta usando, preferentemente, herramientas de aumento visual.
- Una vez terminada la inspección, se procede a retirar el “flux” de la tarjeta PCB, para lo cual se emplea un cepillo mojado con alcohol, tomando cuidado en no aplicar presión excesiva sobre la placa.
- Después, es necesario secar la tarjeta con un compresor de aire caliente o nitrógeno.



**Figura. 4. Placa limpia luego de la soldadura.**

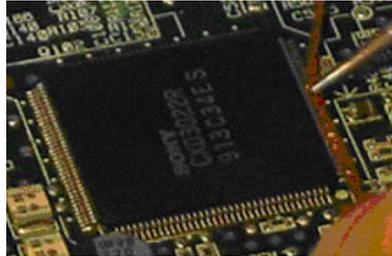
- Finalmente, se debe reinspeccionar la tarjeta y de ser el caso realizar las correcciones necesarias, siguiendo los pasos ya descritos.



**Figura. 5. Proceso final de inspección.**

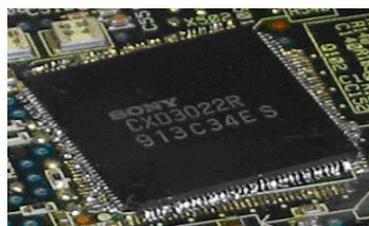
## DESOLDAR

- Primero se trata de eliminar todo el estaño posible de los pines del dispositivo soldado, utilizando malla de desoldadura con flux.



**Figura. 6. Proceso para eliminar el estaño de las patillas del dispositivo a desoldar.**

- Una vez retirado todo el estaño posible, se procede a desoldar el dispositivo (para este caso usando un cautín). Para ello, se pasa por debajo de los pines de un costado un hilo de cobre, lacado, muy fino.
- Uno de los extremos del cable se suelda a cualquier parte del PCB y con el extremo libre del cable se va tirando de el suavemente mientras se calienta los pines del integrado que están en contacto con el.
- Se debe repetir este procedimiento en los cuatro lados del integrado, asegurándose que se calientan los pines bajo los cuales va a pasar el hilo de cobre para separarlos de los pads y hacerlo sin forzar.



**Figura. 7. Dispositivo desoldado.**

- Luego de quitar completamente el circuito integrado, se debe eliminar los restos de estaño de los pads. Para esto se puede aplicar mecha de desoldadura sobre los pads apoyándola y pasando el soldador sobre esta. No se debe mover la mecha sobre los pads arrastrándola ya que algún pad se puede pegar a la mecha y al tirar de esta se puede desprender.

---

## ÍNDICE DE FIGURAS

<b>Figura. 1.1. Diagrama de Bloques del Esquema de la Tesis.....</b>	<b>8</b>
<b>Figura. 2.1. Red Eléctrica en Edificio o Casa en un Barrio Residencial.....</b>	<b>12</b>
<b>Figura. 2.2. Desglose de la Red Eléctrica.....</b>	<b>13</b>
<b>Figura. 2.3. Sistema PLC de prueba .....</b>	<b>15</b>
<b>Figura. 2.4. Detalle de la Conformación de la Red en Patorp.....</b>	<b>16</b>
<b>Figura. 2.5. Bandas de Frecuencia en el Estándar CENELEC.....</b>	<b>16</b>
<b>Figura. 2.6. Datos Adquiridos del Parámetro P in Febrero (a) y Mayo (b). Cada mes es mostrado en una resolución de 24 Horas (0-23), las cruces representan la media y la línea continua representa los valores mínimos y máximos. Los tres valores mínimos y máximos están representados por puntos. ....</b>	<b>19</b>
<b>Figura. 2.7. El número de viviendas que experimenta retransmisión, en el mes de febrero (a) y Mayo (b). Cada mes es mostrado en una resolución de 24 Horas (0-23), las cruces representan la media y la línea continua representa los valores mínimos y máximos. Los tres valores mínimos y máximos están representados por puntos. ....</b>	<b>19</b>
<b>Figura. 2.8. Desempeño de los canales asociados a las terminales en la red (promedio 24h) en el mes de febrero. Las terminales están en orden ascendente de acuerdo a la distancia. Cada barra en cada terminal, representa un día de la semana .....</b>	<b>20</b>
<b>Figura. 2.9. Promedio del Desempeño de los Canales asociados a las terminales en la red. Las cruces representan la media y la línea continua representa los valores mínimos y máximos. Los tres valores mínimos y máximos están representados por puntos. ....</b>	<b>22</b>
<b>Figura. 2.10. El Promedio de la Probabilidad de Retransmisión de todos los canales (P), y el Comportamiento de Cargas durante una semana. El Comportamiento de Cargas es mostrado en Barras y la Probabilidad de Retransmisión en líneas.....</b>	<b>225</b>
<b>Figura. 2.11. Densidad Espectral de Potencia del ruido debida a diferentes fuentes. ....</b>	<b>26</b>
<b>Figura. 2.12. Puntos de Discontinuidad .....</b>	<b>26</b>
<b>Figura. 2.13. Espectro de Potencia del Ruido en la terminal 443 en la fase 1 (a) y fase 3 (b). 28</b>	
<b>Figura. 2.14. Espectro de Potencia del Ruido en la terminal 444 en la fase 1 (a) y fase 3 (b). 28</b>	
<b>Figura. 2.15. Espectro de Potencia del Ruido en la terminal 447 en la fase 1 (a) y fase 3 (b)..</b>	<b>29</b>

**Figura. 2.16. Espectro Potencia de la Señal Recibida y el Ruido en la terminal 443. La línea superior es la señal Recibida, la del medio es el ruido máximo y la inferior es el promedio de los niveles del ruido.....29**

**Figura. 2.17. Espectro Potencia de la Señal Recibida y el Ruido en la terminal 444. La línea superior es la señal Recibida, la del medio es el ruido máximo y la inferior es el promedio de los niveles del ruido.....29**

**Figura. 2.18. Espectro Potencia de la Señal Recibida y el Ruido en la terminal 444. La línea superior es la señal Recibida, la del medio es el ruido máximo y la inferior es el promedio de los niveles del ruido.....30**

**Figura. 2.19. Configuración de la Red Medida .....31**

**Figura. 2.20. Función de Transferencia de la Red Medida .....3161**

**Figura. 3.1. Modulador OFDM .....33**

**Figura. 3.2. Ejemplo de cuatro subportadoras dentro de un símbolo OFDM. ....33**

**Figura. 3.3. Espectro de subportadoras individuales. ....34**

**Figura. 3.4. Efecto de multicamino con señal cero en el tiempo de guarda; la subportadora 2 retardada causa ICI sobre la subportadora 1 y viceversa. ....35**

**Figura. 3.5. Símbolo OFDM con extensión cíclica. ....35**

**Figura. 3.6. Ejemplo de una señal OFDM con tres subportadoras en un canal multicamino dos-rayos. La línea punteada representa un componente multicamino retardado. ....36**

**Figura. 3.7. Constelación 16-QAM para un enlace OFDM de 48 subportadoras con un canal multicamino dos-rayos, el segundo camino es 6dB menor que el primero. a) retardo < tiempo de guarda; b) el retardo excede el tiempo de guarda en 3% del intervalo FFT; c) el retardo excede el tiempo de guarda en 10% del intervalo FFT. ....36**

**Figura. 3.8. Extensión cíclica OFDM y windowing.  $T_s$  es el tiempo de símbolo,  $T$  el intervalo FFT,  $T_G$  el tiempo de guarda,  $T_{prefix}$  el intervalo de preguarda,  $T_{postfix}$  el intervalo de postguarda, y  $b$  es el factor de roll-off. ....37**

**Figura. 3.9. Símbolo OFDM para un canal multicamino de dos rayos .....37**

**Figura. 3.10. Diagrama de bloques de un transmisor DS-SS para PLC.....40**

**Figura. 3.11. Diagrama de bloques modificado de un transmisor DS-SS para PLC.....40**

**Figura. 3.12. Generación de una señal spread-spectrum modulada con BPSK.....41**

**Figura. 3.13. Receptor de una señal DS-SS para PLC. ....41**

**Figura. 3.14. GMSK implementada por modulación FSK con FM-VCO. ....45**

**Figura. 3.15. GMSK implementada por un método de cuadratura en banda-base ..... 45**

**Figura. 3.16. Respuesta truncada y escalada del filtro gaussiano pasa-bajos .....46**

**Figura. 4.1. Esquema con iniciador y alvos en un computador PCI compatible. ....51**

**Figura. 4.2. Esquema que indica la dirección de todas las señales de interfaz del slot PCI....53**

Figura. 4.3. Distribución de pines de los slots PCI.....	54
Figura. 4.4. Capas de software necesarias para la comunicación vía USB.....	60
Figura. 4.5. Secuencia de eventos desde la conexión de la placa hasta la inicialización de los drivers. ....	60
Figura. 4.6. Ejemplo de topología, resaltando las conexiones de dispositivos USB. ....	62
Figura. 4.7. Esquema envolviendo el Controlador Host.....	62
Figura. 4.8. Conector A-Macho. ....	63
Figura. 4.9. Conector B-Macho. ....	63
Figura. 4.10. Distribución de hilos dentro de un cable USB ....	63
Figura. 4.11. Esquema físico de las señales USB, especificación 1.0/1.1. Valores típicos de resistores: $R1 = 15K?$ y $R2=1,5K?$ . ....	64
Figura. 4.12. Esquema físico para un enlace a 12[Mbps] o 480[Mbps], especificación 2.0 ....	65
Figura. 5.1. Eventos que ocurren cuando una aplicación usa un VxD.....	69
Figura. 5.2. Relación entre VxD de Usuario y VxD del Sistema.....	70
Figura. 6.1. Diagrama esquemático de la etapa de diseño.....	74
Figura. 6.2. Diagrama Estándar de un Controlador MAC.....	79
Figura. 6.3. Diagrama del Diseño para el Puerto PCI.....	86
Figura. 6.4. Circuito Acoplador, permite la conexión entre la línea eléctrica y el INT5200...87	
Figura. 6.5. Interfaz MII (Media Independent Interface).....	88
Figura. 6.6. Circuito de Reloj a 25MHz ....	91
Figura. 6.7. Circuito de Reloj para el funcionamiento del DP83816.....	93
Figura. 6.8. Conexión Puerto PCI y DP83816.....	93
Figura. 6.9. Circuito recomendado por National Semiconductors para el LM2631.....	95
Figura. 6.10. Diagrama del Filtro en el DP83816 para Contrarrestar el Ruido. ....	101
Figura. 6.11. Diagrama de Bode del Filtro LC Diseñado para el DP83816.....	102
Figura. 6.12. Diagrama de Bode del Filtro LC Diseñado para el DP83816.....	103
Figura. 6.13. Diagrama del Diseño para el Puerto USB. ....	104
Figura. 6.14. Circuito Acoplador, permite la conexión Línea eléctrica e INT5200 ....	105
Figura. 6.15. Conexión entre el Puerto USB e INT5200.....	105
Figura. 6.16. Calculo de Impedancias y Ancho de las pistas en el PCB, en PROTEL DXP..107	
Figura. 6.17. Detalle de la sección del tipo de PCB a usar en el proyecto.....	108
Figura. 6.18. Prototipo Aplicación PCI, contiene las Capas MAC y PHY. ....	109
Figura. 6.19. PCB Aplicación PCI, contiene etapa de Acople para la Línea Eléctrica.....	109
Figura. 6.20. Prototipo Aplicación USB.....	110
Figura. 7.1. Esquema de conexión interna de dispositivos con encapsulado TQFP. ....	118
Figura. 7.2. Esquema de conexión interna de dispositivos LQFP Power Quad 2. ....	118
Figura. 7.3. Esquema de conexión interna de dispositivos con encapsulado EPAD-TQFP ..	119

<b>Figura. 7.4. Evolución de los encapsulados de dispositivos SMD.....</b>	<b>123</b>
<b>Figura. 7.5. Distribución matricial de pines del encapsulado BGA. ....</b>	<b>124</b>
<b>Figura. 7.6. Corte transversal de un MCM-D basado en un sustrato de silicio. ....</b>	<b>128</b>
<b>Figura. 7.7. Técnica de interconexión flip-chip.....</b>	<b>128</b>
<b>Figura. 7.8. Wirebonding de un chip a un sustrato cerámico mediante hilo de oro.....</b>	<b>129</b>
<b>Figura. 7.9. Comparación de los efectos de cambio de forma del encapsulado y la placa. ...</b>	<b>131</b>
<b>Figura. 7.10. Bolas a lo largo del borde del BGA afectadas por el cambio de forma del encapsulado y de la placa.....</b>	<b>131</b>
<b>Figura. 7.11. Representación gráfica de un conjunto de datos.....</b>	<b>135</b>
<b>Figura. 7.12. Calidad del enlace indicado por el software de configuración del fabricante ..</b>	<b>143</b>
<b>Figura. 7.13. Detección e Identificación de dispositivos que conforman la red de datos.....</b>	<b>144</b>
<b>Figura. 7.14. Ventana de Configuración del Protocolo TCP/IP para el adaptador PLC ....</b>	<b>144</b>
<b>Figura. 7.15. Configuración de Red para equipos remotos.....</b>	<b>145</b>
<b>Figura. 7.16. Asistente para Configuración de Red .....</b>	<b>145</b>
<b>Figura. 7.17. Estado de la Conexión .....</b>	<b>146</b>
<b>Figura. 7.18. Creación de una sub-red de datos incluyendo dispositivos PowerLine .....</b>	<b>146</b>

## ÍNDICE DE TABLAS

<b>Tabla. 2.1. Rango AWG. ....</b>	<b>14</b>
<b>Tabla. 2.2. Distancia Asociada a la Terminal. ....</b>	<b>20</b>
<b>Tabla. 3.1. Descripción de los esquemas de modulación ....</b>	<b>50</b>
<b>Tabla. 4.1. Tipos de comandos. ....</b>	<b>56</b>
<b>Tabla. 4.2. Número de interrupción asignado para cada IRQ.....</b>	<b>56</b>
<b>Tabla. 4.3. Estados lógicos de las señales USB . ....</b>	<b>66</b>
<b>Tabla. 6.1. Tabla Comparativa entre Dispositivos de Capa de Enlace. ....</b>	<b>82</b>
<b>Tabla. 6.2. Configuración de los registros en la Memoria Serial EEPROM para el AFE. ....</b>	<b>89</b>
<b>Tabla. 6.3. Tabla para Ajustar los valores de Ganancia en el DAC.....</b>	<b>90</b>
<b>Tabla. 6.4. Tabla para el Ajuste del Filtro Digital .....</b>	<b>90</b>
<b>Tabla. 6.5. Detalle de pines vinculados a la memoria EEPROM 93C46.....</b>	<b>91</b>
<b>Tabla. 6.6. Versiones de Windows compatibles con la NIC para Puerto PCI.....</b>	<b>111</b>

## GLOSARIO

- BGA:** ball grid array
- BQFP:** bumpered quad flat package
- BQFPH:** bumpered quad flat package with heat spreader
- CBGA:** ceramic ball grid array
- CCC:** ceramic chip carrier (sin plomo)
- CerDIP:** ceramic dual in-line package
- CerPack:** ceramic flatpack
- CERQUAD:** ceramic quad in-line package
- CLCC:** ceramic leadless chip carrier
- CMPAK:** compact mini package (Diodos Hitachi)
- CMPAK:** compact mini package (Transistores Hitachi)
- CPGA:** ceramic pin grid array
- CSP:** chip size package
- DFP:** dual flat package
- DIL:** dual in-line (8,14,16,18,20,22,24,28,32,40,48)
- DIMM:** dual in-line memory module
- DIP:** dual in-line package
- DPAK:** deca-watt package (Transistores Hitachi)
- DSO:** dual small outline package
- EBGA:** enhanced ball grid array
- ERP:** extremely small resin package (Diodos Hitachi)
- FC:** flip chip
- FPAK:** flat package (Diodos Hitachi)
- FPBGA:** fine pitch ball grid array
- FPQFP:** fine pitch quad flat package
- FPT:** fine pitch technology

**FQFP:** fine pitch quad flat package  
**HDBPAK:** huge deca-watt package (Transistores Hitachi)  
**HQSOP:** hermetic QSOP (20, 24)  
**LCBGA:** low cost ball grid array  
**LCC:** leadless chip carrier  
**LCCC:** leadless ceramic chip carrier  
**LDBPAK:** large deca-watt package (Diodos Hitachi)  
**LLD:** leadless diode (Diodos Hitachi)  
**LRP:** large resin package (Diodos Hitachi)  
**LGA:** land grid array  
**MELF:** metal electrode face  
**MOP:** mini oct-lead package (Transistores Hitachi)  
**MPAK:** mini package (Transistores Hitachi)  
**MPAK:** mini package (Transistores Hitachi)  
**MQFP:** metric quad flat package  
**MQFP2:** metric quad flat package with heat sink  
**MQFPH:** metric quad flat package with heat spreader  
**MQUAD:** metric quad (encapsulado plano)  
**PBGA:** plastic ball grid array  
**PDIL:** plastic dual in-line package  
**PDIP:** plastic dual-in-line package  
**PGA:** pin grid array package  
**PLCC:** plastic leaded chip carrier (20, 28, 32, 44, 52, 68, 84)  
**PLCCH:** plastic leaded chip carrier with heat spreader  
**PQ2:** power quad flat package type 2  
**PQFP:** plastic quad flat package  
**PSO:** plastic small outline package  
**QFP:** quad flat-pack (44S10, 44S14, 48S10, 64REC, 80REC, 100REC, 120,128,160)  
**QIL:** quad in-line package  
**QIP:** quad in-line package  
**QSOP:** quarter size small outline package (16, 20, 24, 28) o quality small-outline package  
**QTCP:** quad tape carrier package  
**QUAD:** quad in-line package  
**QUIL:** quad in-line package

**QUIP:** quad in-line package  
**SD:** side-brazed ceramic dual in-line package  
**SDIP:** shrink dual in-line package  
**SGA:** solder grid array  
**SHRDIL:** shrink dual in-line (20, 24, 32, 42, 52, 64)  
**SIL:** single in-line (9, 13, 17)  
**SIMM:** single in-line memory module  
**SIP:** single in-line package  
**SMPAK:** super mini package (Transistores Hitachi)  
**SO:** small outline (8, 14, 16, 20, 24, 28, 32, 28)  
**SOD:** small outline diode  
**SOG:** small outline IC\* with gull-wing leads  
**SOIC:** small outline integrated circuit (same as SO)  
**SOJ:** small outline j-lead package  
**SONB:** small outline narrow-body IC\* with gull-wing leads  
**SOP:** small outline package  
**SOT:** small outline transistor  
**SP-10:** single in line package 10 pin (Transistores Hitachi)  
**SP-12:** single in line package 12 pin (Diodos Hitachi)  
**SPAK:** small package (Transistores Hitachi)  
**SQFP:** shrink quad flat-pack (32, 48, 64, 80,208,240)  
**SQFP2:** shrink quad flat package with heat sink  
**SQFPH:** shrink quad flat package with heat spreader  
**SRP:** small resin package (Diodos Hitachi)  
**SSO:** single small-outline package  
**SSOP:** shrink small outline package (20, 24, 28, 48, 56)  
**SSP:** super small resin package (Diodos Hitachi)  
**TAB:** tape automated bonding  
**TBGA:** tape ball grid array package  
**TCP:** tape carrier package  
**TD:** top-brazed ceramic dual in-line package  
**TO:** transistor single outline package  
**TQFP:** thin quad flat package  
**TQFP2:** thin quad flat package with heat sink

**TQFP:** thin quad flat package with 1.0 mm body thickness

**TSOP:** thin small-outline package

**TSOPII:** thin small-outline package type II

**TSQFP:** thin shrink quad flat-pack (44, 64,100)

**TSSOP:** thin shrink small outline package (20, 24, 28, 48, 56)

**UMD:** ultra mini diode (Transistores Hitachi)

**UPAK:** uni-watt package (Diodos Hitachi)

**URP:** ultra small resin package (Transistores Hitachi)

**VQFP:** very small quad flat package

**VSO:** very small outline (40, 56)

**VSOP:** very small outline package

**VTQFP:** very thin quad flat package

**VTSOP:** very thin small outline package

**ZIF:** zero insertion force

**ZIP:** zig-zag in-line package

## ÍNDICE DE DATASHEETS

1. 74HC373 (Dip20).
2. AT93C46 (Dip8).
3. AT29C020(Dip32).
4. BAV99(SOT-23).
5. DP83816 (LQFP-144).
6. FDS6680 (SOIC-8).
7. IRF7105(SO-8).
8. LM2631(SOP-20).
9. LM3940IMP3.3.
10. LM809M3-2.93.
11. ZNR Transient/Surge Absorbers (Type D).

Sangolquí, 24 de octubre de 2005.

Elaborado por:

**Luis R. Quisnancela Q.**

**Daniel R. Roa R.**

DECANO DE LA FACULTAD  
DE INGENIERÍA ELECTRÓNICA

**Tern. E. M. Xavier Martínez**

SECRETARIO DE LA FACULTAD  
DE INGENIERÍA ELECTRÓNICA

**Dr. Jorge Carvajal**