



ESPE

UNIVERSIDAD DE LAS FUERZAS ARMADAS
INNOVACIÓN PARA LA EXCELENCIA

DEPARTAMENTO DE ELÉCTRICA Y ELECTRÓNICA

CARRERA DE INGENIERÍA EN ELECTRÓNICA,
AUTOMATIZACIÓN Y CONTROL

RESUMEN DEL PROYECTO DE GRADO PREVIO A LA
OBTENCIÓN DEL TÍTULO DE INGENIERO EN ELECTRÓNICA,
AUTOMATIZACIÓN Y CONTROL

TEMA: CONTROLADOR LÓGICO PROGRAMABLE
BÁSICO CON FPGA Y REDES NEURONALES

AUTOR: JORGE LUIS RAMÍREZ TORRES

DIRECTOR: ING. VÍCTOR PROAÑO, MSc.

CODIRECTOR: ING. ABG. DARWIN ALULEMA, MSc.

SANGOLQUÍ

ABRIL, 201

RESUMEN

En el presente documento se estructura una RNA (Red Neuronal Artificial) en una tarjeta FPGA (Field Programmable Gate Array) XC3S500E haciendo uso del Lenguaje para Descripción y Modelado de Circuitos VHDL, para diseñar la funcionalidad de un Controlador Lógico Programable que consta de cuatro entradas digitales y una salida digital. La arquitectura de la RNA modelada sobre la tarjeta FPGA está conformada por cuatro neuronas en la capa de entrada, tres neuronas en la capa oculta y una neurona en la capa de salida. Se implementó el algoritmo de aprendizaje de retro-propagación en Matlab para el entrenamiento de la RNA mediante una HMI (Interfaz Humano Maquina) la cual requiere que el usuario ingrese una o más respuestas en relación a las entradas para hacer posible el entrenamiento. Mediante la misma HMI se transfieren los resultados del entrenamiento hacia la RNA implementada en la FPGA, brindando así la posibilidad de reprogramar el Controlador Lógico Programable según los requerimientos del caso. Para la transferencia de los datos en la tarjeta se implementó un módulo de recepción serial que se encarga de recibir los pesos, y direccionarlos a cada neurona, las mismas que tienen memoria propia, y la capacidad para determinar cuáles pesos les corresponden.

PALABRAS CLAVE:

FPGA

RNA

PLC

VLSI

CONROL

CHIP

ABSTRACT

In this paper it has been structure an Artificial Neural Network ANN into a FPGA(Field Programmable Gate Array) card XC3S500E using the Description and Modeling Language for VHDL circuits, with the purpose of designing the functionality of a Programmable Logic controller with four digital inputs and one digital output. The ANN architecture modeled on the FPGA card is structured by four neurons in the input layer, three neurons in the hidden layer and one neuron in the output layer. Besides the back-propagation learning algorithm was incorporated using Matlab, for the training of the ANN, using a HMI (Human Machine Interface) which requires the user to enter one or more outputs in relation to inputs for running the training. Using the same HMI training results are transferred to the RNA implemented in the FPGA, giving the chance to reprogram the Programmable Logic controller that has been incorporated, according to its requirements. For the data transfer, on the card was implemented a module of serial reception that is responsible to receive the weights, and direct to them to each neuron, thereof having own memory and the ability to determine which weights correspond to them.

KEY WORDS:

FPGA

ANN

PLC

VLSI

CONTROL

CHIP