



Desarrollo de un sistema de RF prototipo para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz

Ordóñez Moya, Abigail Doménica y Requelme Balcázar, Richard Alejandro

Departamento de Eléctrica, Electrónica y Telecomunicaciones

Carrera de Ingeniería Electrónica y Telecomunicaciones

Trabajo de titulación, previo a la obtención del título de Ingeniero en Electrónica y
Telecomunicaciones

Ing. León Vásquez, Rubén Darío PhD.

03 de febrero del 2022



Tesis_Ordenez_Requelme_Final2.pdf

Scanned on: 14:35 February 3, 2022 UTC



Overall Similarity Score



Results Found



Total Words in Text

Identical Words	273
Words with Minor Changes	62
Paraphrased Words	42
Ommited Words	0

Firma



RUBEN DARIO
LEON VASQUEZ

LEON VASQUEZ, RUBEN DARIO

C.C.: 1801654284



**DEPARTAMENTO DE ELÉCTRICA ELECTRÓNICA Y
TELECOMUNICACIONES**

**CARRERA DE INGENIERÍA EN ELECTRÓNICA Y
TELECOMUNICACIONES**

CERTIFICACIÓN

Certifico que el trabajo de titulación, "**Desarrollo de un sistema de RF prototipo para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz**" fue realizado por los señores **Ordoñez Moya Abigail Doménica y Requelme Balcázar Richard Alejandro** el cual ha sido revisado y analizado en su totalidad por la herramienta de verificación de similitud de contenido; por lo tanto cumple con los requisitos legales, teóricos, científicos, técnicos y metodológicos establecidos por la Universidad de las Fuerzas Armadas ESPE, razón por la cual me permito acreditar y autorizar para que lo sustente públicamente.

Sangolquí, 03 de febrero del 2022

Firma:



Verificar autenticidad por:
**RUBEN DARIO
LEON VASQUEZ**

Ing. León Vasquez, Rubén Dario

C.C.: 1801654284



**DEPARTAMENTO DE ELÉCTRICA ELECTRÓNICA Y
TELECOMUNICACIONES**

**CARRERA DE INGENIERÍA EN ELECTRÓNICA Y
TELECOMUNICACIONES**

RESPONSABILIDAD DE AUTORÍA

Nosotros, Ordoñez Moya Abigail Doménica con CI: 1722254321, y Requelme Balcázar Richard Alejandro con CI: 1725475188, declaramos que el contenido, ideas y criterios del trabajo de titulación: "Desarrollo de un sistema de RF prototipo para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz" es de nuestra autoría y responsabilidad, cumpliendo con los requisitos legales, teóricos, científicos, técnicos, y metodológicos establecidos por la Universidad de las Fuerzas Armadas ESPE, respetando los derechos intelectuales de terceros y referenciando las citas bibliográficas.

Sangolquí, 03 de febrero del 2022

Firma

Ordoñez Moya Abigail Doménica

C.C.: 1722254321

Firma

Requelme Balcázar Richard Alejandro

C.C.: 1725475188



**DEPARTAMENTO DE ELÉCTRICA ELECTRÓNICA Y
TELECOMUNICACIONES**

**CARRERA DE INGENIERÍA EN ELECTRÓNICA Y
TELECOMUNICACIONES**

AUTORIZACIÓN DE PUBLICACIÓN

Nosotros Ordoñez Moya Abigail Doménica con CI: 1722254321, y Requelme Balcázar Richard Alejandro con CI: 1725475188, autorizamos a la Universidad de las Fuerzas Armadas ESPE publicar el trabajo de titulación: **“Desarrollo de un sistema de RF prototipo para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz”** en el Repositorio Institucional, cuyo contenido, ideas y criterios son de nuestra responsabilidad.

Sangolquí, 03 de febrero del 2022

Firma

Ordoñez Moya Abigail Doménica

C.C.: 1722254321

Firma

Requelme Balcázar Richard Alejandro

C.C.: 1725475188

DEDICATORIA ABIGAIL ORDONEZ

Quiero dedicar este trabajo en primer lugar a mi padre Héctor Ordoñez por darme la guía, la base y el ejemplo para seguir sus pasos, por no dudar de mí pero sobre todo por enseñarme a no dudar de lo que puedo llegar a ser. A mi madre Deyci Moya por creer siempre en mí, por su cariño y amor incondicional, por sus palabras mágicas de aliento que día a día me inspiraron para ser una mejor persona y ahora una mejor profesional. A mi hermano Yannik Ordoñez, mi Mamiita María Elena Zurita, a mi abuelita María Orfelina Aguas a mi Papito Guilberto Moya. A Erick Lomas y a toda mi familia.

Ustedes me han guiado y han sido mi soporte en este camino tan incierto, alocado y maravilloso, por esta razón ahora yo dedico este esfuerzo y trabajo, a su amor, confianza, ánimo y seguridad indudable que han tenido en mí.

A finalmente me gustaría dedicar este trabajo a futuros ingenieros y estudiantes, el aprendizaje es la base del conocimiento. Y el conocimiento es la base de todo.

DEDICATORIA RICHARD REQUELME

Dedico este trabajo a mi mamita, que a pesar de perder a su padre a los 10 años, luchó toda su vida por sus sueños y a través del trabajo duro, la honestidad y perseverancia supo salir adelante con su familia. Que siempre me abrió su corazón, me brindó su cariño y su apoyo incondicional no solo en el transcurso del presente trabajo, pero de toda mi vida.

A mi padre, que nunca deja de luchar por cumplir sus metas y me enseñó el valor del trabajo. A mi hermana, que me demuestra a diario que el aprendizaje y la dedicación siempre van de la mano. A mi tía Carmita, que siempre me compartió sus valores y me enseñó a ser una mejor persona. A mi novia Angie, que me enseñó a abrir mi corazón hacia los demás. A mis amigas Sofia y Gissela, que me dieron su amistad y apoyo durante toda mi carrera. A Abigail, que aprendió conmigo que la práctica es muy distinta a la teoría durante este trabajo. A mis alumnos de la Comunidad Nina Pacha, que me enseñaron más de lo que yo alguna vez pude enseñarles. Y finalmente, dedico este trabajo a la comunidad Universitaria de las Fuerzas Armadas, que me ha enseñado que la humildad es base para cualquier conocimiento.

AGRADECIMIENTO

Agradezco en primer lugar a Dios por ser mi guía, darme la fortaleza y confianza.

A la Universidad de las Fuerzas Armadas ESPE por abrirme las puertas del aprendizaje.

Al departamento de Eléctrica Electrónica y Telecomunicaciones por todas las enseñanzas inculcadas durante estos años.

A mi tutor el Ing. Rubén León quien ha sido una guía para llevar a cabo este proyecto con toda la seriedad e importancia del caso quien ha estado permanentemente para consultas, consejos, asesoramientos y brindando su apoyo para la solución de los problemas que se pudieron presentar en este proyecto.

A toda mi familia por su amor y seguridad.

Y finalmente a Richard Requelme quién ha sido un excelente compañero de tesis, un apoyo académico, emocional y un excelente amigo.

Abigail Doménica Ordoñez Moya

Quiero dar las gracias a mi padre y a mi hermana que siempre me brindaron ánimo y valor para afrontar las dificultades que se presentaron. A mi novia Angie que siempre me brindó su atención y tiempo para compartirle los tropiezos y logros del presente trabajo. A mis amigos José, Dennis y Liss por darme ánimo y fuerzas para cumplir mis sueños. A mi compañera Abigail, gracias por acompañarme en este proceso y siempre ser un soporte académico y emocional.

Agradezco al Ingeniero Rubén León por brindarnos su apoyo incondicional en el transcurso de este trabajo y siempre compartirnos su conocimiento de la mejor manera.

De igual forma, agradezco al Ingeniero Alexis Tinoco por su ayuda en el laboratorio y por compartirnos su experiencia en el manejo de equipos. Finalmente, agradezco al Departamento de Eléctrica, Electrónica y Telecomunicaciones por brindarnos la oportunidad de alcanzar nuevos aprendizajes.

Richard Alejandro Requelme Balcázar.

Índice de Contenido

Resumen.....	17
Abstract.....	18
CAPITULO I.....	19
Definición del proyecto	19
Introducción.....	19
Antecedentes	19
Justificación e Importancia.....	20
Alcance.....	21
Objetivos.....	22
Objetivo General.....	22
Objetivos Específicos	22
CAPÍTULO II.....	23
Marco Teórico	23
ADRF6807-EVALZ.....	23
Demodulador IQ.....	24
PLL fraccional N integrado.....	27
Detector de errores.....	28
Oscilador controlado por voltaje.....	29
Filtro del bucle	30
Divisor de Frecuencia.....	31

	11
Ruido de Fase	32
Oscilador Local (LO): 700 MHz a 1050 MHz.....	34
Características del ADRF6807	35
Aplicaciones	37
Down-Converter	37
Modulación y demodulación QAM.....	38
Tarjeta de digitalización GAGE CompuScope	39
Características	41
Sistema operativo.....	41
CAPITULO III	42
Desarrollo e Implementación del Sistema.....	42
Diseño general del Sistema	42
Materiales y Métodos	43
Generador E4438C	45
ADRF6807.....	47
Divisor del PLL (Registro 0, 1, 2) y Frecuencia de Referencia	51
Control de parámetros PFD y Charge Pump	54
Octopus CompuScope 83XX	54
Algoritmo de Evaluación	56
CAPITULO IV.....	62
Pruebas y Resultados.....	62

	12
Pruebas	67
CAPÍTULO V.....	80
Conclusiones y Recomendaciones	80
Referencias Bibliográficas	82

Índice de Tablas

Tabla 1	<i>Conexiones Importantes del ADRF6807</i>	35
Tabla 2	<i>Especificaciones del Octopus CompuScope</i>	41
Tabla 3	<i>Materiales utilizados en el sistema</i>	43
Tabla 4	<i>Parámetros de señal transmitida en modulación IQ</i>	46
Tabla 5	<i>Parámetros de evaluación</i>	56
Tabla 6	<i>SER y Correlación de I con una frecuencia de 745.617MHz</i>	68
Tabla 7	<i>SER y Correlación de Q con una frecuencia de 745.617MHz</i>	70
Tabla 8	<i>SER y Correlación de I con una frecuencia de 818.572MHz</i>	73
Tabla 9	<i>SER y Correlación de Q con una frecuencia de 818.572MHz</i>	74
Tabla 10	<i>SER y Correlación de I con una frecuencia de 1.042GHz</i>	76
Tabla 11	<i>SER y Correlación de Q con una frecuencia de 1.042GHz</i>	78

Índice de Figuras

Figura 1	<i>Diagrama de bloques funcionales de la tarjeta ADRF6807</i>	24
Figura 2	<i>Esquema de modulación I/Q</i>	25
Figura 3	<i>Esquema demodulador IQ</i>	26
Figura 4	<i>Señal demodulada</i>	27
Figura 5	<i>Diagrama de bloques del PLL</i>	27
Figura 6	<i>Detector de fase</i>	28
Figura 7	<i>Voltage Controlled Oscillator (VCO)</i>	29
Figura 8	<i>Curvas aceptables de frecuencias</i>	30
Figura 9	<i>Filtro</i>	30
Figura 10	<i>PLL</i>	31
Figura 11	<i>Ruido de fase en componentes PLL</i>	32
Figura 12	<i>Transferencia de ruido de fase en demodulación</i>	33
Figura 13	<i>Transferencia de ruido de fase en demodulación</i>	34
Figura 14	<i>Pines LE, CLK y DATA</i>	36
Figura 15	<i>Cadena típica de señal analógica del receptor con etapas de conversión descendente</i>	37
Figura 16	<i>Cadena de señal del receptor usando un ADC de RF con un DDC</i>	38
Figura 17	<i>Demodulador QAM</i>	39
Figura 18	<i>Tarjeta de digitalización</i>	39
Figura 19	<i>Diagrama de bloques simplificado del Octopus CompuScope</i>	40
Figura 20	<i>Diagrama general del sistema de demodulación a evaluar</i>	42
Figura 21	<i>Equipos utilizados en el sistema</i>	43
Figura 22	<i>Parámetros de modulación IQ en Generador E4438C</i>	45
Figura 23	<i>Sistema de Modulador IQ en Generador E4438C</i>	46
Figura 24	<i>Sistema Operativo Windows XP Service Pack 3</i>	47

Figura 25 Programa de Evaluación	48
Figura 26 EVAL-ADF4XXXZ-USB Adapter Board	48
Figura 27 Test Points de Interfaz SPI.....	49
Figura 28 Test Points de Interfaz SPI.....	50
Figura 29 Test Points LE y DATA.....	50
Figura 30 Test Points LE y DATA.....	51
Figura 31 Registro 0 programable del ADRF6807.....	52
Figura 32 Configuración de Referencia y Reference Path Mux	53
Figura 33 Configuración de Charge Pump.....	54
Figura 34 Instalación de Drivers y Programa de Análisis de señales GageScope	55
Figura 35 Instalación de Tarjeta Octopus CompuScope en Hardware	55
Figura 36 Configuración de Referencia y Reference Path Mux	56
Figura 37 Comparación de señal transmitida y recibida en la tarjeta de modulación...	58
Figura 38 Muestras de señal transmitida y recibida 4-QAM.....	58
Figura 39 Comparación de señal transmitida y recibida en la tarjeta de modulación cuantizada.....	59
Figura 40 Comparación de señal transmitida y recibida en la tarjeta de modulación 16- QAM	60
Figura 41 Muestras de señal transmitida y recibida 16-QAM.....	60
Figura 42 Muestras de señal transmitida y recibida 16-QAM cuantizada	61
Figura 43 Implementación del Sistema	62
Figura 44 Señal REF OUT en estado “unlocked”	63
Figura 45 Oscilador local con ruido de fase	64
Figura 46 Oscilador local sin ruido de fase	65
Figura 47 Señales en fase y cuadratura	65
Figura 48 Comparación de las señales triangulares.....	66

Figura 49 <i>Comparación de la señal senoidal</i>	66
Figura 50 <i>Bits pseudo - aleatorios</i>	67
Figura 51 <i>Señal en el analizador de espectros con una frecuencia de 745.61MHz</i>	68
Figura 52 <i>Correlación de las señales I con una frecuencia de 745.617MHz</i>	69
Figura 53 <i>SER de las señales I con una frecuencia de 745.617MHz</i>	70
Figura 54 <i>Correlación de las señales Q con una frecuencia de 745.617MHz</i>	71
Figura 55 <i>SER de las señales Q con una frecuencia de 745.617MHz</i>	71
Figura 56 <i>Señal en el analizador de espectros con una frecuencia de 818.572MHz</i> ...	72
Figura 57 <i>Correlación de las señales I con una frecuencia de 818.572MHz</i>	73
Figura 58 <i>SER de las señales I con una frecuencia de 818.572MHz</i>	74
Figura 59 <i>Correlación de las señales Q con una frecuencia de 818.572MHz</i>	75
Figura 60 <i>SER de las señales Q con una frecuencia de 818.572MHz</i>	75
Figura 61 <i>Señal en el analizador de espectros con una frecuencia de 1.042GHz</i>	76
Figura 62 <i>Correlación de I con una frecuencia de 1.042GHz</i>	77
Figura 63 <i>SER de I con una frecuencia de 1.042GHz</i>	77
Figura 64 <i>Correlación de Q con una frecuencia de 1.042GHz</i>	78
Figura 65 <i>SER de Q con una frecuencia de 1.042GHz</i>	79

Resumen

Se desarrolló un proyecto de un sistema de recepción de radiofrecuencia utilizando la representación digital de valor complejo desde un proceso analógico de valor real pasabanda entre 700 a 1050 MHz a partir de tarjetas demoduladoras en cuadratura (Con muy alta escala de integración) del tipo Original Equipment Manufacturer (OEM) disponibles en los laboratorios de telecomunicaciones del CICTE de la Universidad de las fuerzas armadas ESPE. El presente proyecto se basa en el análisis de los métodos de demodulación IQ y su balanceo ya que son de fundamental importancia, junto con el proceso de digitalización de las componentes IQ. Se pudo entender y verificar el proceso de balanceo y compensación de las componentes I-Q, así como el respectivo filtrado pasa bajo para procesar un ancho de banda instantáneo. Además se exploró aplicaciones específicas en base a los requerimientos de los sistemas de inteligencia de señales de seguridad y vigilancia, verificando todas las fases de dichos sistemas como detección, identificación, reconocimiento, seguimiento y discriminación del objetivo. También se realizó una evaluación de desempeño de las características típicas de los prototipos de demoduladores en cuadratura I-Q. Asimismo se llevó a cabo la evaluación del desempeño del proceso de digitalización de las componentes I-Q para su posterior procesamiento (detección, identificación, reconocimiento, seguimiento y discriminación del objetivo). Y finalmente, toda la tecnología desarrollada se evaluó experimentalmente en los laboratorios CICTE.

Palabras clave:

- **REPRESENTACIÓN DIGITAL DE VALOR COMPLEJO**
- **DEMODULADORES EN CUADRATURA**
- **PROCESO DE DIGITALIZACIÓN**

Abstract

A project for a radiofrequency reception system was developed using the digital representation of complex value from an analog process of real value bandpass between 700 to 1050 MHz from quadrature demodulator cards (with very high integration scale) of the Original Equipment type. Manufacturer (OEM) available at the CICTE telecommunications laboratories of the University of the Armed Forces ESPE. The present project is based on the analysis of the IQ demodulation methods and their balancing since they are of fundamental importance, together with the digitization process of the IQ components. It was possible to understand and verify the balancing and compensation process of the I-Q components, as well as the respective low-pass filtering to process an instantaneous bandwidth. In addition, specific applications were explored based on the requirements of the intelligence systems of security and surveillance signals, verifying all the phases of said systems such as detection, identification, recognition, tracking and target discrimination. A performance evaluation of the typical characteristics of the I-Q quadrature demodulator prototypes was also carried out. Likewise, the evaluation of the performance of the digitization process of the I-Q components was carried out for their subsequent processing (detection, identification, recognition, tracking and discrimination of the target). And finally, all the technology developed was experimentally evaluated at CICTE Labs.

Key words:

- **DIGITAL REPRESENTATION OF COMPLEX VALUE**
- **QUADRATURE DEMODULATORS**
- **DIGITALIZATION PROCESS**

CAPITULO I

Definición del proyecto

Introducción

El tema a investigar es el “Desarrollo de un sistema de RF prototipo para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz” en el cual se describirá un demodulador de fase y cuadratura y un sistema de digitalización de alta frecuencia de muestreo que dependen del ancho de banda de las componentes en fase y cuadratura para poder obtener anchos de banda instantáneos para el análisis, tendiendo a realizar pruebas de concepto para en un futuro diseñar y construir un sistema propio utilizando FPGAs (Field Programmable Gate Array) y SoC (Systems on Chip).

Antecedentes

Los sistemas de monitoreo del espectro radioeléctrico normalmente utilizan una estructura conocida como superheterodina, en la cual se utiliza un sweep generator, dentro de una banda de interés, que permite tal monitoreo. Sin embargo, la Probabilidad de Detección (POI) es baja por el tiempo que le lleva al sweep generator barrer el ancho de banda del espectro de interés.

Los modernos sistemas de monitoreo espectral utilizan estructuras basadas en la representación de valor compleja ($I + jQ$) de un proceso pasa banda de valor real con un determinado ancho banda instantáneo. Las componentes I y Q son procesos de naturaleza pasa bajos que pueden ser digitalizados con frecuencia de muestreo mayor que dos veces el ancho de banda instantáneo que quiere ser monitoreado. Luego, técnicas de análisis espectral clásicas, paramétricas y otras pueden ser aplicadas vía software para obtener el monitoreo del espectro deseado, proceso que toma mucho

menos tiempo que en el caso superheterodino y por lo tanto con mayor Probabilidad de Detección.

Si bien otros trabajos de titulación han utilizado sistema disponibles en el mercado (BB60C de Signal Hound), como en (Gutiérrez, 2021) y en (Calderón & Reinoso, 2019) que desarrollan un prototipo de monitoreo de señales radioeléctricas por medio del sistema Arturo, el presente proyecto pretende desarrollar un prototipo propio así como realizar un primer abordaje a los sistemas FPGAs y SoC, con el que se entenderá los problemas existentes en la representación de valor compleja de un proceso de naturaleza pasa banda, así como los problemas existentes en la digitalización de las componentes I y Q.

Justificación e Importancia

El presente proyecto busca desarrollar el prototipo de un sistema de RF para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz que permita la detección, identificación, reconocimiento, seguimiento y discriminación de un objetivo, con tecnología desarrollada en laboratorio, es decir; cumpliendo con todas las etapas para desarrollar un proceso coherente de I+D+i.

Los principales problemas que se presentan a la hora de usar sistemas ya existentes en el mercado de Inteligencia de Señales, son a más de los costos de los existentes y de alta reserva, el tiempo de adquisición de estos, muchas veces la falta de soporte, así como también la deficiencia en la transferencia de tecnología por ser sistemas cerrados de producción. En tanto que los sistemas que se desarrollan en base a la investigación aplicada e ingeniería inversa pueden subsanar estos inconvenientes

con costos muy reducidos y con garantía de una transferencia de tecnología real dentro de todos los procesos de implementación.

Por lo tanto, el seguimiento basado en la detección y discriminación de objetivos de RF utilizando la representación digital de valor complejo de un proceso analógico pasabanda (700 – 1050 MHz), superan estas dificultades mediante el uso de diferentes estrategias de demodulación I-Q y de muestreo de procesos pasa bajo, lo que a través de la investigación y desarrollo pueden ser solventados dando como resultado mejores herramientas de detección y seguimiento que sobretodo son parte intrínseca y propietaria soberana del CICTE.

Los sistemas actuales de detección basados en estructuras super heterodinas se ven limitados debido a la baja probabilidad de búsqueda y por tanto su detección se ve imposibilitada, en tanto que los sistemas de monitoreo espectral I-Q a más de detectar un ancho de banda instantáneo con alta probabilidad de interceptación, estaría en condiciones de determinar el ángulo de arribo (DOA) con el adecuado arreglo de antenas y número de receptores I-Q.

Finalmente, considerando que la presente propuesta conlleva tareas específicas de desarrollar procedimientos y metodologías de estudio, análisis, evaluación e implementación de un prototipo, técnicas de representación I-Q, técnicas de digitalización de procesos pasa banda, su evaluación teórica y experimental, el presente proyecto justifica plenamente la participación de dos estudiantes de la carrera de Ingeniería en Electrónica y Telecomunicaciones.

Alcance

El alcance del presente proyecto es disponer de un prototipo eficaz y eficiente para la representación digital de valor complejo de un proceso pasa banda de valor real

en la banda de 700 a 1050 MHz, así como la digitalización de sus componentes I-Q, utilizando el hardware disponible en el CICTE.

Objetivos

Objetivo General

Desarrollar un sistema de RF prototipo para la representación digital de valor complejo de un proceso analógico de valor real pasabanda entre 700 a 1050 MHz.

Objetivos Específicos

- Realizar el diagnóstico y estudio de los diversos dispositivos I-Q y tarjetas de digitalización existentes en el CICTE
- Analizar el estado del arte de las técnicas avanzadas de balanceo y compensación de los demoduladores I-Q, así como de las estrategias de digitalización de procesos pasa banda, en el marco de una aplicación específica del sistema de inteligencia de señales.
- Desarrollar el prototipo y evaluar el desempeño de las características típicas de los prototipos de demoduladores en cuadratura I-Q.
- Realizar la evaluación del desempeño del proceso de digitalización de las componentes I-Q para su posterior procesamiento
- Implementar los algoritmos para la detección, identificación, reconocimiento, seguimiento y discriminación de un objetivo.
- Evaluar el desempeño del sistema prototipo mediante las respectivas pruebas de campo.

CAPÍTULO II

Marco Teórico

ADRF6807-EVALZ

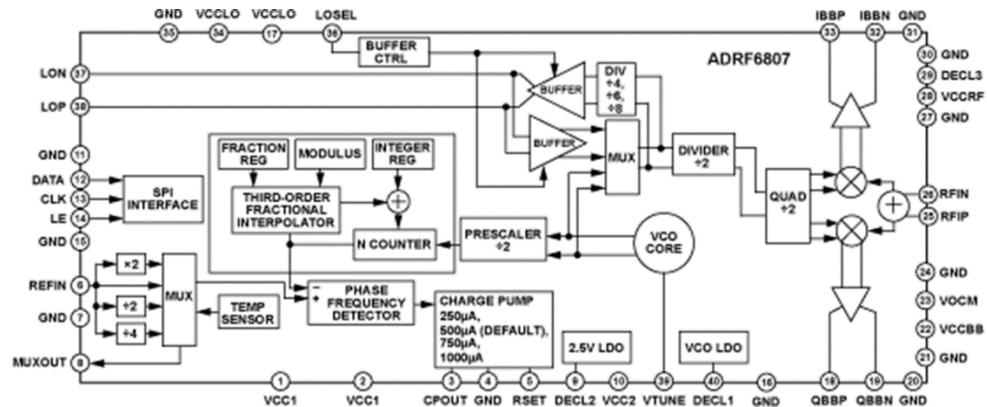
Analog Devices es una productora multinacional de dispositivos semiconductores que se especializa en desarrollar dispositivos para la representación de valor complejo de un proceso pasa banda de valor real con un determinado ancho de banda instantáneo como lo es el demodulador ADRF6807.

La tarjeta ADRF6807-EVALZ está diseñada para permitir realizar varios tipos de aplicaciones como demodulador IQ de 700MHz a 1050MHz con un bucle de bloqueo y fase integrado PLL y oscilador controlado por voltaje VCO. La misma incluye una interfaz USB para realizar una configuración manejable de la frecuencia VCO, además proporciona entradas SMA para las señales de radiofrecuencia (RF) y de referencia (REFIN) y salidas para las señales I y Q. Para realizar la alimentación de la placa, esta se la realiza mediante cables clip en sus puntos de +5 V, +3.3 V y tierra (Analog Devices Inc., 2011).

En (Analog Devices Inc., s.f.), el sintetizador PLL genera una frecuencia en el rango 2.8 GHz a 4.2 GHz. Un divisor de cuadratura programable (relación de división = 4) divide la frecuencia de salida del VCO hasta la frecuencia requerida del oscilador local (LO) para excitar los mezcladores en cuadratura. Además, un divisor de salida (relación de división= 4 a 8) genera una señal VCO dividida para uso externo, conforme se ilustra en la Figura 1.

Figura 1

Diagrama de bloques funcionales de la tarjeta ADRF6807



Nota: Recuperado de (Analog Devices Inc., s.f.)

La placa ADRF tiene varias características y beneficios los cuales describiremos a continuación:

Demodulador IQ

El demodulador IQ mezcla la entrada de RF diferencial con el oscilador local LO derivado del divisor de cuadratura. En el ADR6807, las rutas de salida diferenciales I y Q tienen una precisión de cuadratura que puede manejar señalización de banda base o IF compleja con anchos de banda de hasta 120 MHz (Analog Devices Inc., 2011).

La modulación de amplitud en cuadratura es una modulación digital avanzada que transporta datos cambiando la amplitud de 2 ondas portadoras las cuales poseen igual amplitud pero desfasadas 90 grados. En este tipo de modulación dos fuentes independientes de datos son transmitidas por el mismo canal. Esto es posible porque una de las señales modula linealmente la envolvente de una señal coseno, mientras que la otra modula independientemente la envolvente de una señal seno (Aleman, Reynoso, & Nunez, 2015).

En (Türkel & Caglar, 2012) se determina que la demodulación de la amplitud y la fase puede realizarse de manera simultánea, y para esto lo que se realiza es la descomposición de la señal en fase conocida como I y cuadratura conocida como Q, ambos componentes son ortogonales. De igual manera, las modulaciones digitales usualmente son representadas con constelaciones bidimensionales IQ.

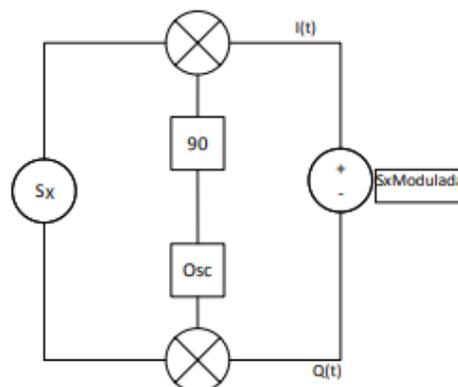
Como bien sabemos el conocer la modulación del transmisor en el receptor facilita el proceso de demodulación, pudiendo de esta manera interpretar los datos y continuar con la demodulación adquiriendo de cada símbolo la fase y la amplitud.

Cada uno de los símbolos se encontrará en rangos de decisión los cuales nos ayudarán a elegir la zona del símbolo recibido. Si el canal fuese ideal el símbolo recibido será el mismo que el símbolos transmitido ya que no afectaría la conducta no lineal del transmisor.

A continuación se muestra en la Figura 2 la modulación IQ

Figura 2

Esquema de modulación I/Q



Nota: Recuperado de (Türkel & Caglar, 2012)

Del esquema se puede mostrar que:

$$I(t) = Sx * \cos(Wc * t)$$

$$Q(t) = Sx * \cos(Wc * t)$$

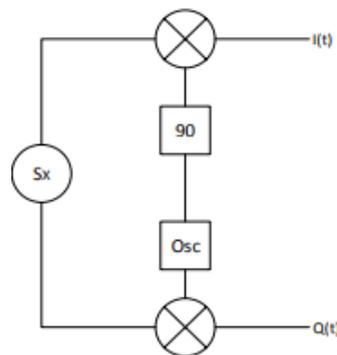
$Wc \rightarrow$ Frecuencia de la señal portadora

$Sx \rightarrow$ Señal de información

Se demodula la señal en el receptor para obtener la información, en la Figura 3 se indica el esquema de demodulación IQ

Figura 3

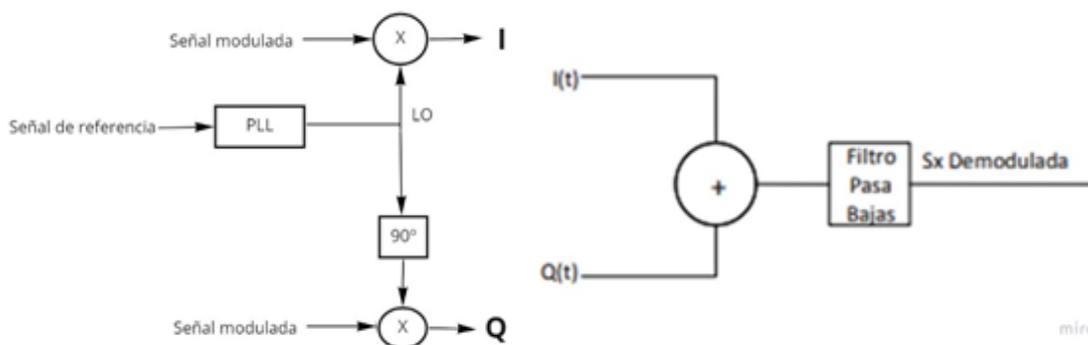
Esquema demodulador IQ



Nota: Recuperado de (Türkel & Caglar, 2012)

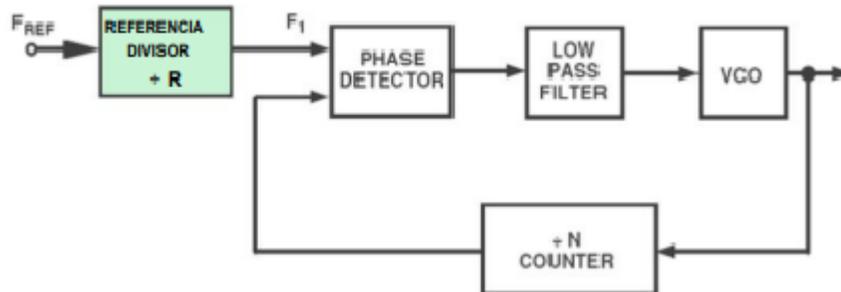
Donde $Sx \rightarrow$ Es la señal recibida modulada

En el receptor se utiliza la misma frecuencia de oscilación tanto en el demodulador como la que se utilizó en la modulación y así obtener los símbolos transmitidos como se ilustra en la Figura 4.

Figura 4*Señal demodulada***PLL fraccional N integrado**

En la tarjeta ADRF6807, la entrada de referencia PLL es compatible desde 9 MHz hasta 160 MHz. La salida del filtro de bucle se aplica luego a un VCO integrado para poder generar la portadora en el demodulador del receptor. Es decir, a partir de una frecuencia baja se obtiene una alta frecuencia y así generar la señal de oscilador local (Analog Devices Inc., s.f.).

Los PLL o bucle de bloqueo de fase como se muestran en su diagrama en la Figura 5 es un componente esencial de los circuitos de RF y se los puede encontrar en radios, teléfonos móviles, TV, routers WIFI, etc.

Figura 5*Diagrama de bloques del PLL*

Nota: Recuperado de (Analog Devices , 2009)

Existen 4 componentes principales en el bucle: El detector de errores, el oscilador controlado por voltaje, el filtro de bucle y el divisor de frecuencia. Veamos estos elementos:

Detector de errores

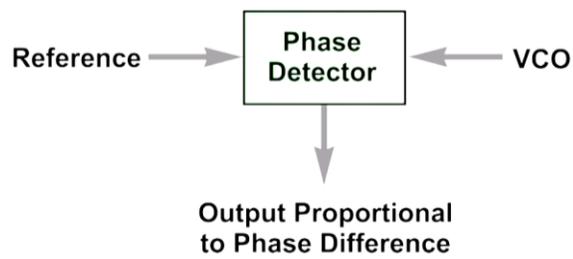
En el detector de errores se produce una retroalimentación negativa obligando a la señal de error acercarse a cero, generando que a la salida del divisor y la referencia el lazo se sincronice en fase y frecuencia. (Capaldi, 2010)

Este módulo está constituido por dos elementos importantes los cuales son el Detector de fase y el Charge pump

Detector de fase.- O PFD es el elemento clave del bucle ya que toma señales de la referencia y del oscilador controlado por voltaje y produce un voltaje proporcional a la diferencia de fase entre estas dos señales, conforme se ilustran en la Figura 6.

Figura 6

Detector de fase



Nota: Recuperado de (Electronics Notes, s.f.)

Charge pump.- Denominado también CP o bomba de carga se encuentra ubicado a la salida del PFD. El PFD alimenta al CP para así conseguir una corriente constante a la salida (Se debe tener en cuenta que a la salida del detector de fase se

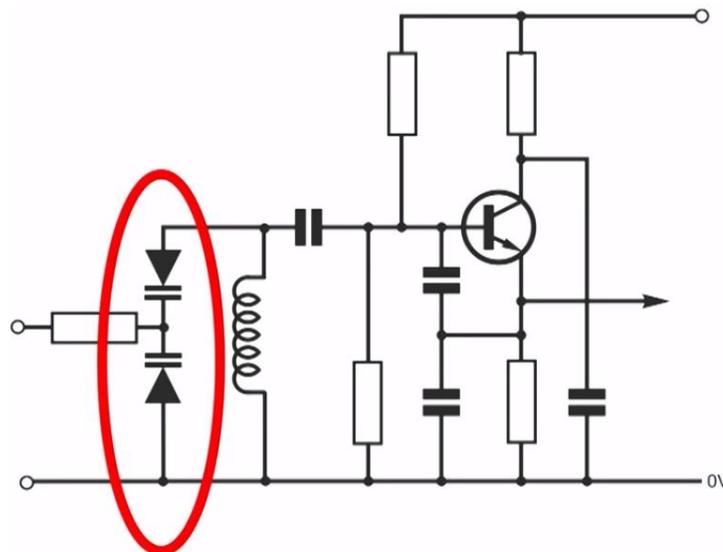
tiene una fuente de corriente y no de voltaje) (Capaldi, 2010). Esto favorece a la ganancia DC del lazo de control abierto permitiendo tener un error de fase de 0° cuando el lazo se engancha, obteniendo así un PLL con bajos niveles de jitter, bajo consumo de potencia y disminución de errores de fase presentados por el VCO. (Deepshikha, 2015)

Oscilador controlado por voltaje

O también denominado VCO. El diagrama que se indica en la Figura 7, es el más común, se puede observar que parte del circuito sintonizado se forma a partir de los diodos conectados a través de una resistencia al terminal de control, al aplicar voltaje cambia la capacitancia de los diodos y por lo tanto la frecuencia de salida será proporcional al voltaje de entrada en el terminal de salida del VCO como se muestra en la Figura 8.

Figura 7

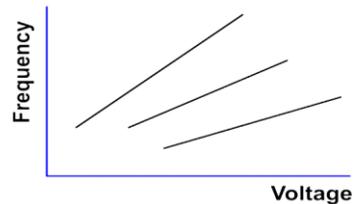
Voltage Controlled Oscillator (VCO)



Nota: Recuperado de (Electronics Notes, s.f.)

Figura 8

Curvas aceptables de frecuencias



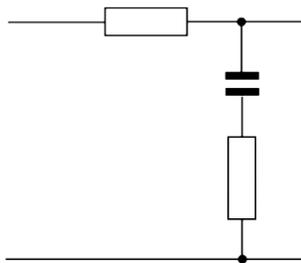
Nota: Recuperado de (Electronics Notes, s.f.)

Filtro del bucle

Su objetivo es proporcionar un voltaje de control de CC cercano a la entrada de control del VCO; también determina gran parte las características del ruido de fase de la señal de salida controla la agilidad de la frecuencia y finalmente gobierna la estabilidad del bucle, su diagrama se puede observar en la Figura 9.

Figura 9

Filtro



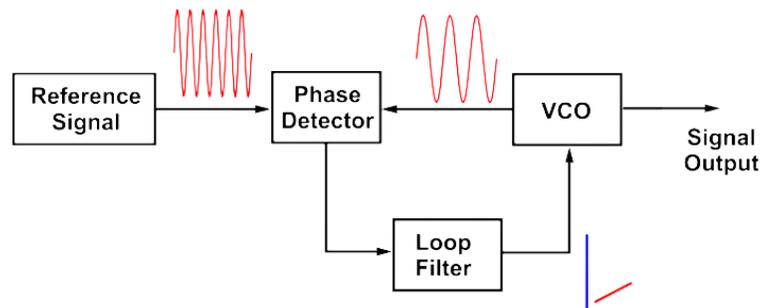
Nota: Recuperado de (Electronics Notes, s.f.)

Al observar el bucle de bloqueo de fase podemos ver que sus bloques principales son el detector de fase interconectado, toma entradas tanto de la referencia como del oscilador controlado por voltaje y produce una salida proporcional a la

diferencia de fase entre ellos. Este voltaje diferencial luego pasa a través del filtro de bucles para reducir las componentes de alta frecuencia y luego es aplicado al VCO para controlar su frecuencia, el voltaje de error del detector de fase trata de reducir la diferencia de fase entre el VCO y la señal de referencia, ya que, si hay una diferencia de fase fija entre las dos señales, significa que la frecuencia de la referencia y el VCO son exactamente iguales, el bucle está bloqueado, también el VCO requiere un cierto voltaje para conducirlo a la frecuencia correcta y este hecho significa que siempre habrá un diferencia de fase entre la referencia y el VCO por pequeña que sea, el diagrama dese lo puede observar en la Figura 10.

Figura 10

PLL



Nota: Recuperado de (Electronics Notes, s.f.)

Divisor de Frecuencia

Es un componente el cual puede programarse para establecer una conexión entre la frecuencia de referencia y la frecuencia a la salida del PLL. (Analog Devices , 2009)

Ruido de Fase

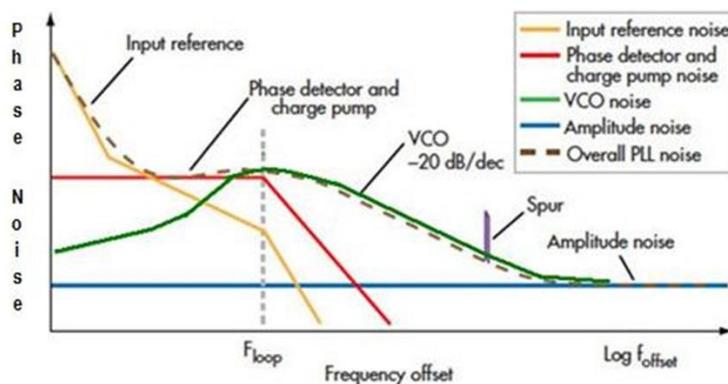
Un sistema PLL combina varios elementos, como osciladores controlados por voltaje y comparadores de fase, para mantener un ángulo de fase constante relativo a una señal de referencia. Estos elementos interfieren en la estabilidad de frecuencia del oscilador. Se pueden presentar variaciones randómicas o periódicas como componentes de ruido de espectro amplio “broad” o picos espurios.

Mientras que los espurios pueden ser causados por frecuencias de la señal de referencia, interferencia con la alimentación eléctrica, mixers o componentes transitorios, la interferencia de tipo “broad” o espectro amplio es causada por el fenómeno conocido como ruido de fase (Analog Devices , 2009).

En el caso de altas frecuencia, el ruido de fase es una medida importante en la variación de señal, medida en el dominio de la frecuencia, pero variación observada en el dominio del tiempo conocida como jitter. En el PLL, es una compilación de varios componentes en el circuito que contribuyen en la señal final. En la Figura 11 se puede observar el comportamiento de manera gráfica del ruido de fase .

Figura 11

Ruido de fase en componentes PLL

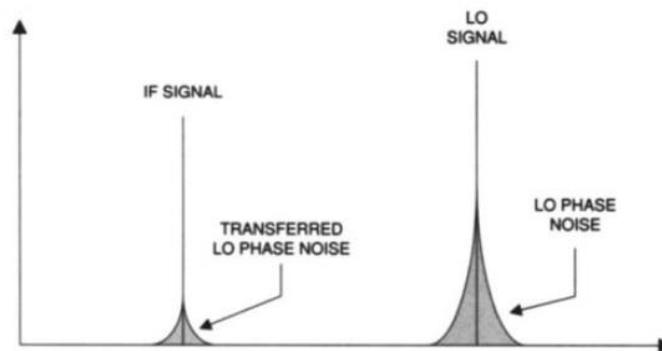


Nota: Recuperado de (Herzel, Osmany, Scheytt, & Schmalz, 2007)

La contribución del VCO y de referencia es la mayor en cuando a ruido de fase cuando existe mayor desfase de la frecuencia de oscilador. Y en cuanto a pequeños desfases, el ruido del charge pump domina. (Herzel, Osmany, Scheytt, & Schmalz, 2007)

Figura 12

Transferencia de ruido de fase en demodulación

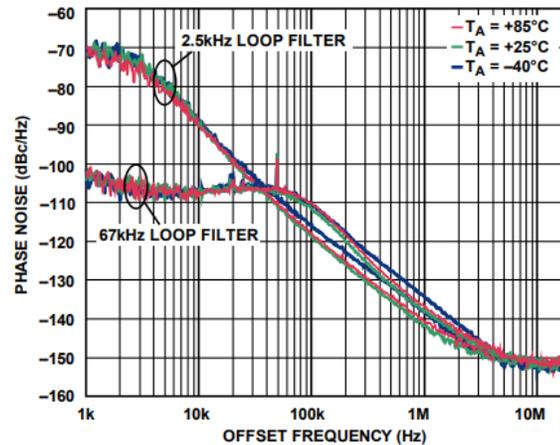


Nota: Recuperado de (Herzel, Osmany, Scheytt, & Schmalz, 2007)

Este ruido de fase total del PLL en el oscilador local del demodulador, se transfiere a las componentes demoduladas IQ en el proceso de mixer produciendo jitter en la información demodulada como se observa en la Figura 12 y la Figura 13. Este efecto depende del filtro de lazo utilizado, en el caso del ADRF6807 se tiene un filtro de 67KHz o 2.5KHz dependiendo la configuración de la corriente del charge Pump que determina el valor total del ruido presente.

Figura 13

Transferencia de ruido de fase en demodulación



Nota: Comportamiento del Phase Noise del Fractional N-PLL en la tarjeta de evaluación ADRF6807. Recuperado de (Analog Devices Inc., 2011)

Oscilador Local (LO): 700 MHz a 1050 MHz

Es el dispositivo encargado en producir una señal senoidal con una frecuencia la cual permite que el receptor pueda generar la frecuencia resultante adecuada o frecuencia intermedia (IF).

Para esto debemos entender que es una IF o frecuencia intermedia la cual se encuentra entre la frecuencia de banda base y la frecuencia de la portadora, por lo general se encuentran en los receptores de RF.

La utilidad del empleo de una frecuencia intermedia radica en el hecho de que todos los circuitos sintonizados existentes a partir de la etapa en que se efectúa la mezcla, trabajan a una frecuencia fija (la de la FI) y por tanto son más fáciles de ajustar. De este modo se mejora la selectividad y se facilita el diseño de las etapas amplificadoras. Si no se empleara la frecuencia intermedia, sería preciso diseñar

circuitos sintonizadores que tuvieran al mismo tiempo una gran selectividad y un gran rango de selección de frecuencias (Tomasi, Hernández, & Pozo, 2003).

Características del ADRF6807

Los métodos de alimentación del ADRF6807 son realmente sencillos requiriendo del pin VCC con 5 [V] y en el pin 3P3V_FORCE con 3.3 [V] para operar de manera correcta. A continuación se indica los detalles en la Tabla 1.

Tabla 1

Conexiones Importantes del ADRF6807

Componentes	Parámetros	Comentario
RFIN	700 MHz – 1050 MHz, hasta 13dBm	Entrada RF
REFIN	9 MHz – 160 MHz, hasta 1Vpp	Entrada de referencia
VCC	5 V	Fuente de alimentación
3P3V_FORCE	3.3 V	Fuente de alimentación
IOUT_SE		Salida de Fase
QOUT_SE		Salida de cuadratura
FILTRO PASABAJOS	170 MHz, 3dB	A la salida de I/Q

Nota: Basada en (Analog Devices Inc., 2011)

La placa otorga funciones programables a través de una interfaz de control SPI (que es una interfaz periférica serial empleada para la transferencia de información), la misma que se utiliza para programar los siete registros internos.

Para poder observar el correcto funcionamiento de la tarjeta, la misma presenta los pines de la Figura 14 LE, CLK y DATA los cuales pueden indicarnos:

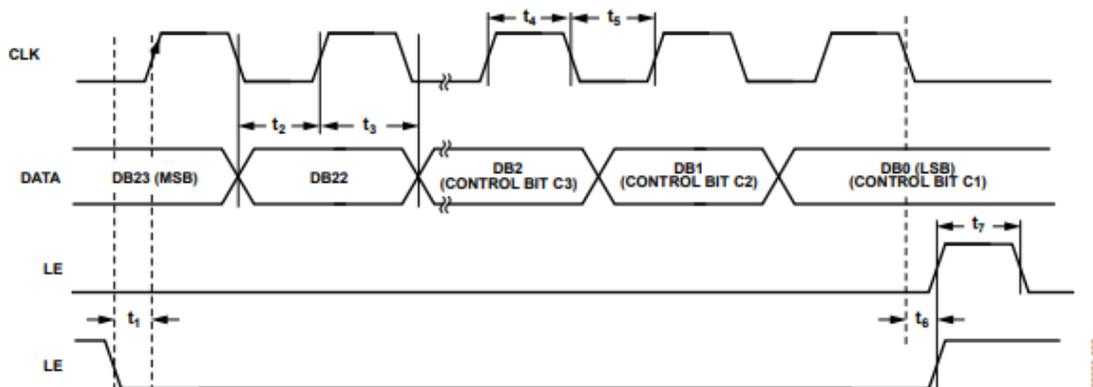
DATA: La entrada de datos en serie

CLK: Registra los datos en serie en los registros

LE: Cuando el pin LE se encuentra en alto, los datos almacenados en el registro de desplazamiento se cargan

Figura 14

Pines LE, CLK y DATA



Nota: Recuperada de (Analog Devices Inc., 2011)

El SPI proporciona un mecanismo de control del PLL y VCO interno, así como también varias características de control del núcleo del demodulador como la frecuencia de referencia y sus funciones de monitoreo. Además, se debe tener en cuenta la calibración interna del PLL, para que la misma no afecte se recomienda ejecutar la

configuración en orden descendente de los registros comenzando en el 7 y terminando en el Registro 0.

Aplicaciones

- Demoduladores QAM / QPSK RF / IF
- Celular W-CDMA / CDMA / CDMA2000
- Radios de microondas punto a (multipunto)
- Banda ancha inalámbrica y WiMAX

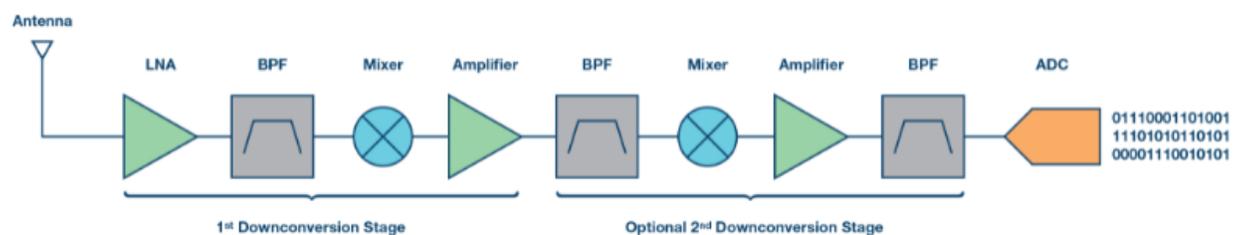
Down-Converter

El DDC o convertidor digital descendente es aquel que convierte una frecuencia intermedia a banda base centrada en frecuencia cero. El DDC también puede ser utilizado en varios sistemas de comunicación como en los receptores de radio, implementado el mismo con matrices de puertas programables o circuitos integrados propios para distintas aplicaciones (Techopedia, 2016).

Según (Harris, 2016), Analog Devices ilustra tal arquitectura en la Figura 15. Se puede introducir esto en aplicaciones como comunicaciones, sector aeroespacial, defensa, instrumentación, etc.

Figura 15

Cadena típica de señal analógica del receptor con etapas de conversión descendente.



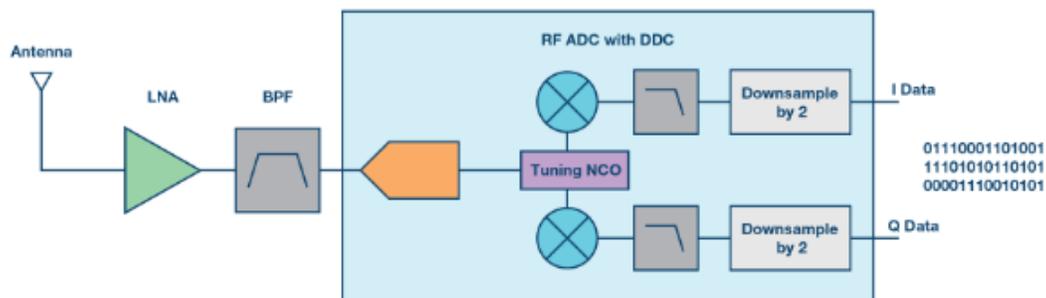
Nota: Recuperado de (Harris, 2016)

Otra solución más eficiente es un convertidor análogo digital de RF con un down converter el cual suspende las etapas extras de conversión descendente, indicadas en la figura anterior, permitiendo que la frecuencia de RF se cambie directamente a banda base, aliviando así varias conversiones en el dominio analógico, lo que permite mejorar el rango dinámico y la SNR (Harris, 2016).

A continuación en la Figura 16 se puede observar lo anteriormente explicado.

Figura 16

Cadena de señal del receptor usando un ADC de RF con un DDC.

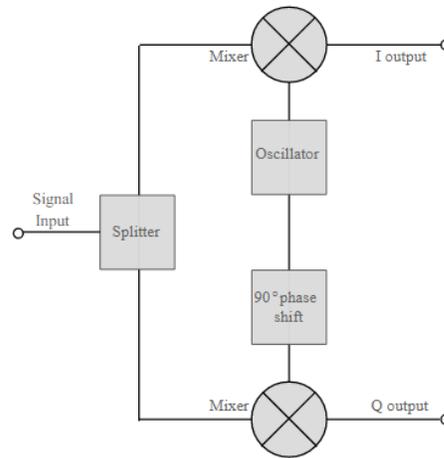


Nota: Recuperada de (Harris, 2016)

Modulación y demodulación QAM

La modulación de amplitud en cuadratura o QAM puede manipular tanto la fase como la frecuencia. La modulación y demodulación de QAM utilizan circuitos integrados para proporcionar la capacidad de poder modular componentes en fase y cuadratura (I y Q) de la señal de modulación en la portadora (Inmaculada, s.f.).

Existen dos señales portadoras las cuales tienen una diferencia de fase de 90° entre las mismas como se indica en la Figura 17, estos se modulan en amplitud con I o flujo de fase y Q o flujo de cuadratura ambos se generan en banda base.

Figura 17*Demodulador QAM*

Nota: Recuperada de (Inmaculada, s.f.)

Tarjeta de digitalización GAGE CompuScope

GaGe CompuScope está enfocada en soluciones del desarrollo de aplicaciones para sistemas de digitalización o personalizadas. La tarjeta PCI comprende de 8 canales un muestreo hasta de 125 Ms/s por canal y 4GB de memoria, podemos observarla en la Figura 18. (Gage Technologies Applied, 2013).

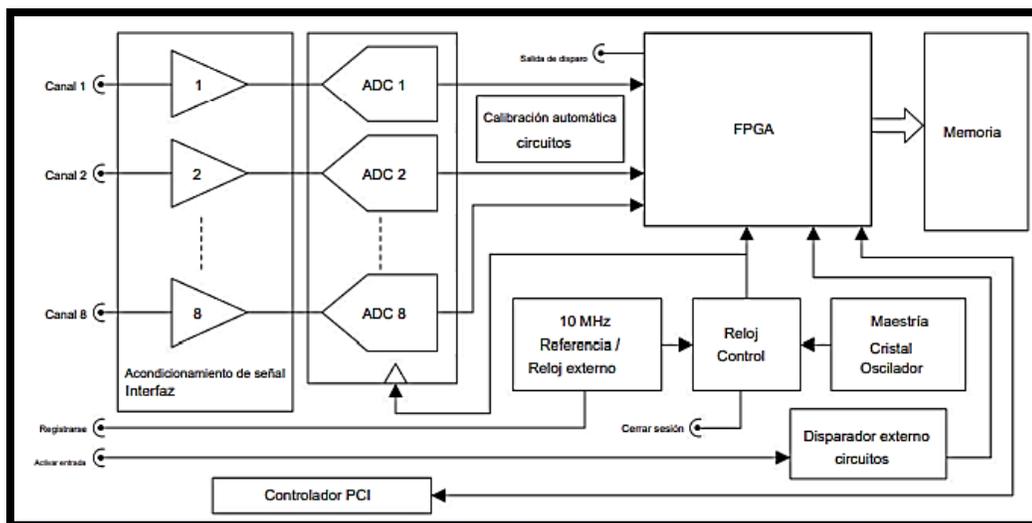
Figura 18*Tarjeta de digitalización*

Nota: Imagen recuperada de (Gage Technologies Applied, 2013).

La tarjeta tiene un puerto PCI de 66MHz para transferencia de 200MB/s a la PC con funciones de control de software posibilitando la integración del reloj de entrada con el de salida puede realizar la captura de señales con las características de la Tabla 2. Se puede visualizar en la Figura 19 su diagrama.(Gage Technologies Applied, 2013).

Figura 19

Diagrama de bloques simplificado del Octopus CompuScope



Nota: Recuperado de (Gage Technologies Applied, 2013)

Características

Tabla 2

Especificaciones del Octopus CompuScope

Componentes	Parámetros
Número de entradas	2,4,8
Resolución	16 Bits
SNR	10,7 bits
Impedancia	1 MW o 50 W
Rangos de voltaje de entrada	$\pm 100mV, \pm 200mV, \pm 500mV, \pm 1, \pm 5V$
Rango de voltaje	$\pm 1, \pm 5$
Sistema Operativo	Windows XP

Sistema operativo

El sistema operativo implementado en el software tanto de la tarjeta de digitalización como de la tarjeta demoduladora ADRF6807 fue Windows XP.

En el presente capítulo se han descrito los temas fundamentales para comprender el proyecto y en el capítulo a continuación se desarrollará la explicación de la implementación de todo el sistema.

CAPITULO III

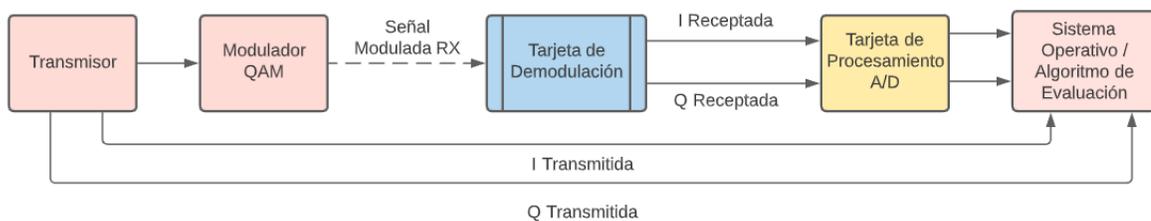
Desarrollo e Implementación del Sistema

Diseño general del Sistema

En el capítulo 2 se detalló acerca de las características de un demodulador IQ basado en PLL al igual que las características necesarias para lograr una demodulación eficiente. En esta sección se detalla la operación del prototipo para evaluar el desempeño en la demodulación por medio del análisis de las componentes IQ esto se explica con el diagrama de la Figura 20.

Figura 20

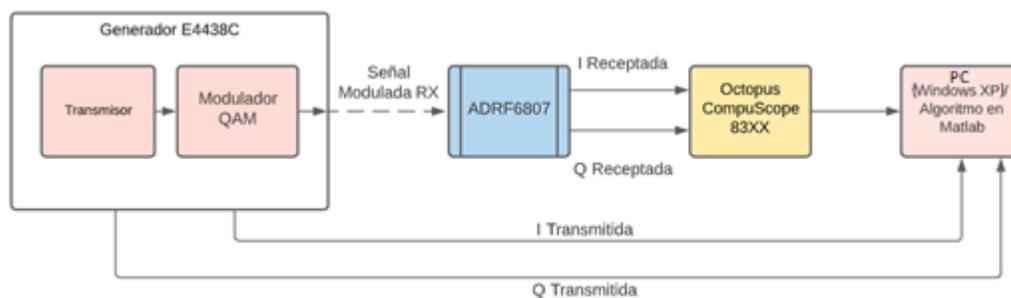
Diagrama general del sistema de demodulación a evaluar.



En la Figura 21 se evidencia el sistema, utilizaremos como transmisor el generador E4438C que implementará los esquemas de modulación 4-QAM y 16-QAM. La señal será transmitida por un medio cableado hasta nuestro demodulador, en este caso, la tarjeta ADRF6807, la cual se encarga de realizar la función de Down converter y demodular las componentes IQ. Se procesará dichas señales por medio de la tarjeta de procesamiento Octopus CompuScope 83XX que convertirá las señales análogas a digitales en un sistema operativo de Windows XP. Esta información será procesada mediante algoritmos de Matlab.

Figura 21

Equipos utilizados en el sistema



Nota: Diagrama general especificado los equipos y dispositivos utilizados en las pruebas.

El estudio de la tarjeta se realiza con varios equipos como se visualiza en la Tabla 3, estos ayudaran al manejo y comprensión del funcionamiento de la ADRF6807.

Materiales y Métodos

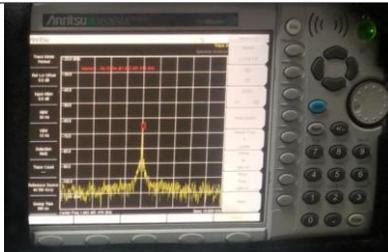
Tabla 3

Materiales utilizados en el sistema

Equipo	Descripción	Comentario
Generador de Señales Agilent E4438C y Anritsu MG3700A	 	Este equipo se utiliza para generar la señal de RF

Analizador de espectro

Anritsu MS2036A



Analizará las señales de salida en el dominio de la frecuencia

Osciloscopio Tektronix

MSO4104



Este equipo analizará las señales de salida IQ en el dominio del tiempo

Fuentes BK Precisión

1761



Alimentará a la tarjeta en los pines VCC con +5 [V] y 3PV3_FORCE con +3.3 [V]

Multímetro HP 3401A



Utilizado para realizar las mediciones en los diferentes pines

Computadora de

escritorio, con sistema operativo Windows XP SP3



Utilizada para realizar las configuraciones de la tarjeta ADRF6807 y obtención de datos de la tarjeta de digitalización

Cable tipo BNC macho a SMA hembra



Utilizado para realizar las conexiones entre el osciloscopio y la tarjeta

Cable tipo N macho a
SMA hembra



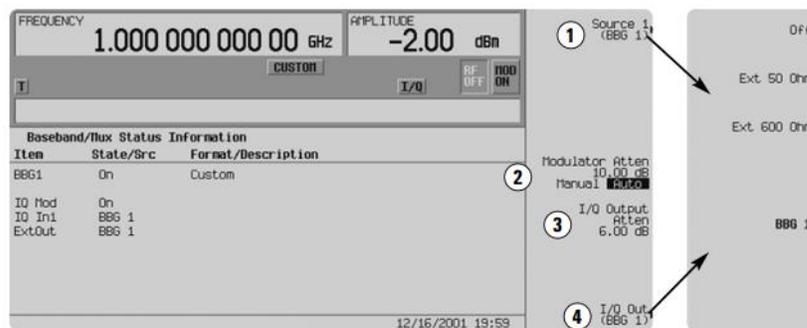
Utilizado para realizar las conexiones entre el generador - la tarjeta, y el analizador de espectro - la tarjeta

Generador E4438C

El generador E4438C será utilizado como transmisor de la señal modulada QAM. Este equipo tiene distintos modos para generar las señales IQ de información, como se observa en la Figura 22. Utilizaremos el generador en tiempo real IQ “Custom Real Time IQ Baseband generator”. Este modo simula un canal de comunicación unidireccional y permite la implementación de diversos tipos de modulación (QAM, PSK, FSK), uso de filtros FIR y modificación de la tasa de símbolo. La información puede ser proporcionada en tiempo real o utilizar formatos predeterminados. En este trabajo se utilizará la secuencia predeterminada PN9, un flujo de datos continuo generado que será utilizado para realizar el análisis de error de bit. (Agilent Technologies, 2008)

Figura 22

Parámetros de modulación IQ en Generador E4438C



Nota: Recuperado de (Agilent Technologies, 2008)

Una vez generadas las componentes IQ estas proceden a ingresar al up converter y a las salidas IQ del generador como se observa en la Figura 23. Estas salidas externas (I/Q ext. Out) serán nuestra información de referencia para la evaluación de señales IQ demoduladas en la tarjeta de adquisición por medio de Matlab tomando en cuenta los parámetros de la Tabla 4.

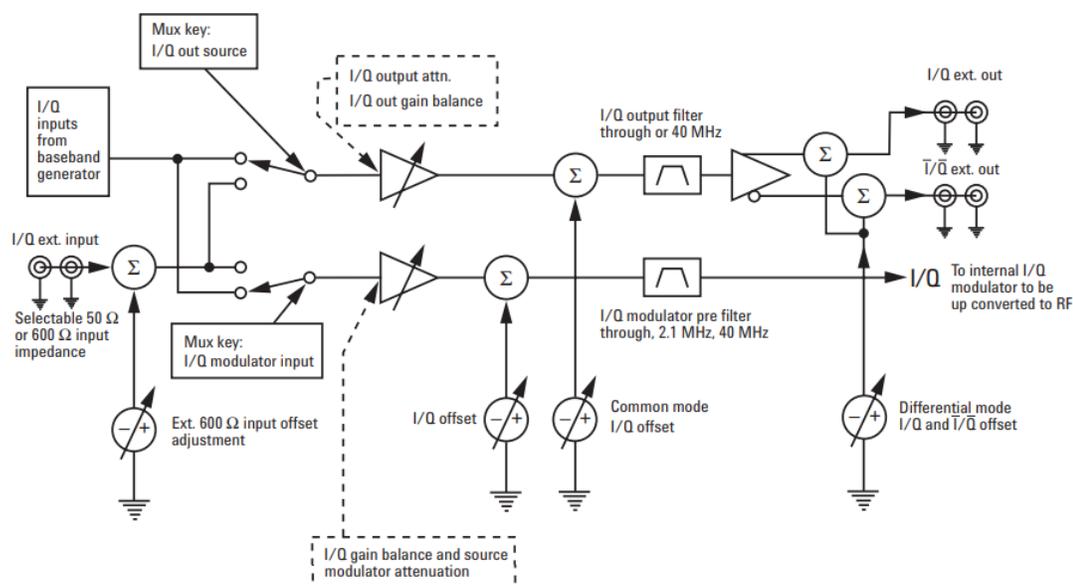
Tabla 4

Parámetros de señal transmitida en modulación IQ

I/Q offset adjustment	± 50%
I/Q gain balance	± 4 dB
I/Q attenuation	0 to 40 dB
I/Q quad skew	0°
I/Q low pass filter	40 MHz

Figura 23

Sistema de Modulador IQ en Generador E4438C



Nota: Circuito interno en el generador que permite la modulación y generación de componentes IQ. Imagen recuperada de (Agilent Technologies, 2008)

ADRF6807

Para configurar el demodulador IQ, debemos comprobar en primera instancia funcionamiento de la interfaz de programación SPI. Una vez comprobada la comunicación entre la PC y el demodulador, se procede a cambiar los parámetros de PLL (frecuencia de oscilador local), señales de “lock detect”, control de dither (es el registro de control de oscilación del modulador), control de VCO y charge pump. Finalmente, se examina el comportamiento del demodulador por medio del analizador de espectros, analizando el ruido de fase y la desviación de portadora presente.

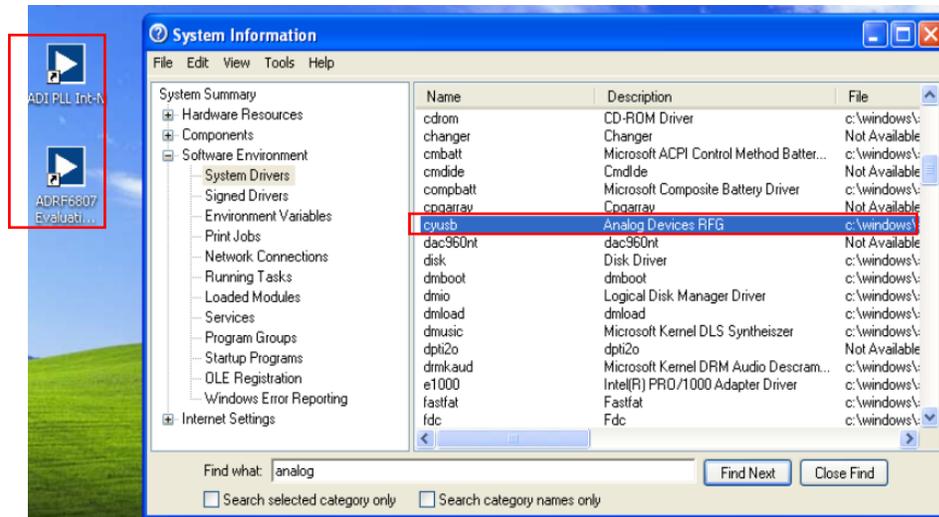
SPI Interface

Es obligatorio para la configuración de la tarjeta de demodulación utilizar un sistema operativo Windows XP Service Pack 3 que posea USB 2.0 como se observa en la Figura 24. La instalación de los drivers correspondientes Analog Devices como se indica en la Figura 25 se encuentra disponibles en la página oficial de analog.com, al igual que el programa de configuración ADR6807 Evaluation Board.

Figura 24

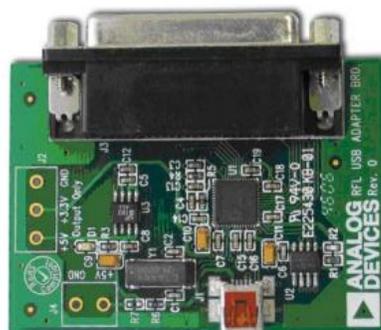
Sistema Operativo Windows XP Service Pack 3



Figura 25*Programa de Evaluación*

Nota: Programa de Evaluación y driver de instalación Cypress Microcontroller en sistema Windows XP.

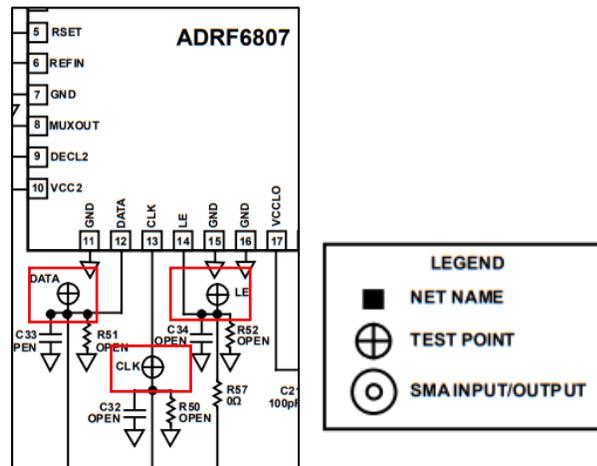
Para que exista comunicación entre la tarjeta demoduladora y el sistema operativo se utiliza un módulo adicional, el adaptador serial a USB 2.0 EVAL-ADF4XXXZ-USB de la Figura 26.

Figura 26*EVAL-ADF4XXXZ-USB Adapter Board*

Nota: Una vez instalados los drivers correspondientes, se conecta el sistema y se procede a verificar la comunicación en la interfaz SPI por medio de las señales de sincronización y datos enviados al microcontrolador de la Figura 27 (CLK, DATA y LE). Estas señales son medidas por medio de los test points en el osciloscopio.

Figura 27

Test Points de Interfaz SPI

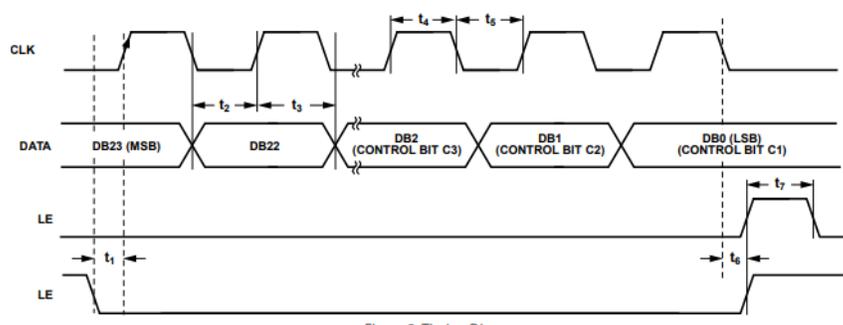


Nota: Imagen recuperada de (Analog Devices Inc., 2011)

Por medio de los diagramas de tiempo, podemos observar el comportamiento de configuración como en la Figura 28. El bus de datos que contiene los ocho registros está presente en la señal DATA. Mientras que la señal LE, funciona como una compuerta que habilita la configuración de registros en el del demodulador. Por último, se tiene la señal CLK para sincronización.

Figura 28

Test Points de Interfaz SPI

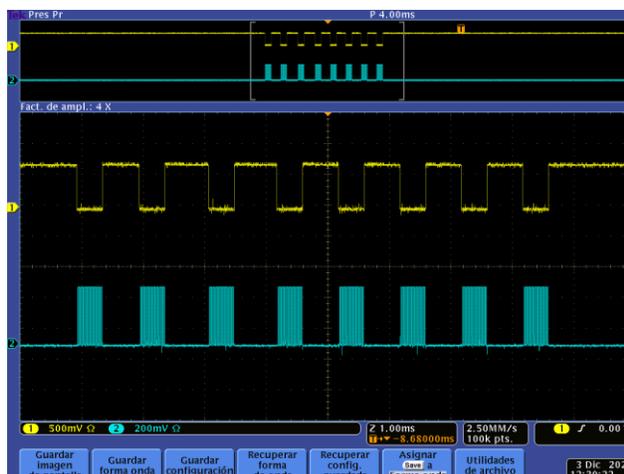


Nota: Imagen recuperada de (Analog Devices Inc., 2011).

Al analizar los test point DATA y LE correspondiente, se puede verificar el comportamiento adecuado proporcionado por los registros de timing en el datasheet. La recepción de los registros en el demodulador es correcta puesto a que la compuerta LE, habilita el almacenamiento de registros correctamente.

Figura 29

Test Points LE y DATA

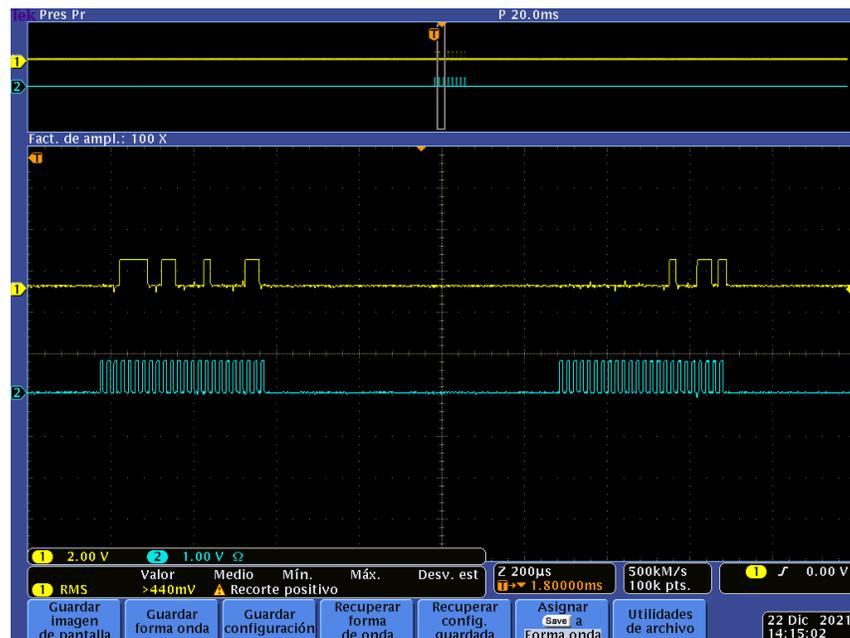


Nota: En la Figura 29 la señal del canal 1 muestra el comportamiento del test point LE, mientras que el canal 2 muestra los registros enviados en el test point DATA.

Por medio del mismo método como se muestra en la Figura 30, para observar la sincronización de cada bit en los registros conectamos los test point de la señal CLK y DATA. A través de esta señal, se puede observar los 23 bits correspondientes a cada uno de los 8 registros con la señal de reloj.

Figura 30

Test Points LE y DATA



Nota: En el envío de los registros de configuración hacia el demodulador existen inconvenientes al utilizar un sistema operativo diferente a Windows XP o Windows Vista o utilizar controlador USB 3.0. Por esta razón el uso de una máquina virtual en sistemas operativos superiores no resuelve problemas de configuración del ADRF6807.

Divisor del PLL (Registro 0, 1, 2) y Frecuencia de Referencia

El divisor del PLL synteshizer nos permiten generar los valores necesarios (INT, FRAC, MOD) en el divisor N counter para que la frecuencia del VCO, utilizando la

frecuencia de referencia en el PFD, sea la necesaria en el lazo para producir la frecuencia de oscilador necesaria.

$$f_{PLL} = 2 f_{PFD} \left(INT + \frac{FRAC}{MOD} \right)$$

f_{PLL} es la frecuencia del VCO cuando el lazo está en “lock”.

f_{PFD} Frecuencia en la entrada del detector de fase

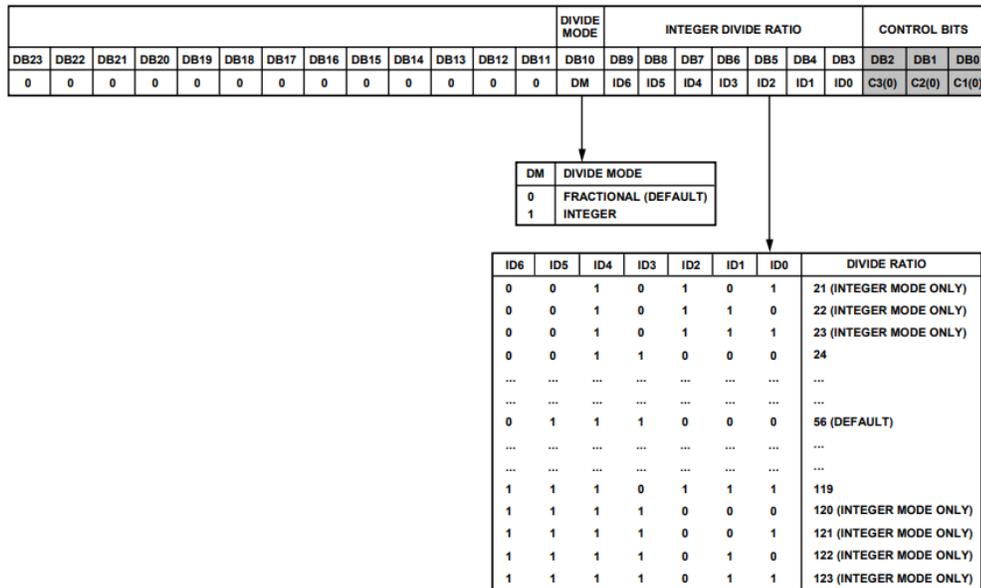
INT Divisor entero programado en el registro 0 puede observarse en la Figura 31.

$FRAC$ Divisor fraccional programado en el registro 2.

MOD Modulo del divisor fraccional programado en el registro 1.

Figura 31

Registro 0 programable del ADRF6807



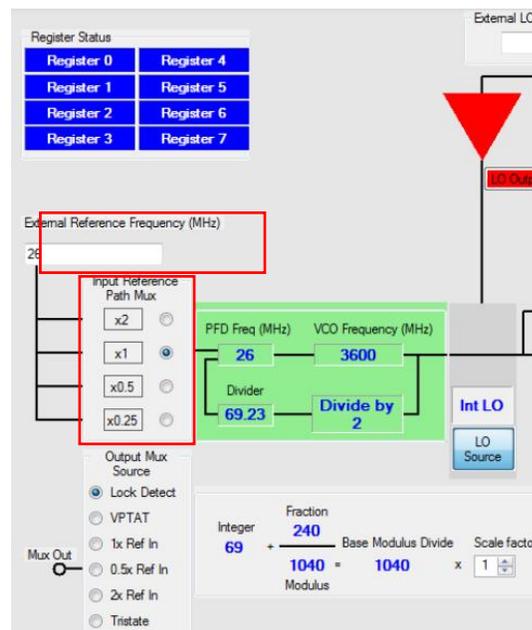
Nota: Los registros del divisor del locked loop se modifican por medio de la frecuencia de referencia y la frecuencia de oscilador local. Estos valores son calculados automáticamente por el programa de configuración, sin embargo, se debe estar

pendiente de las alertas por valores de registro no permitidos. Al usar el modo fraccionario, el rango del valor INT está restringido a 24 hasta 119. De la misma forma que el módulo se encuentra restringido a valores entre 1 a 2047. Imagen recuperada de (Analog Devices Inc., 2011).

En cuanto al valor de referencia, controla el valor de entrada en el PFD. El cual posee una entrada disponible entre 20 a 40 MHz. A pesar de ello, la frecuencia de la referencia puede ser hasta 160 MHz. Esto es posible gracias al multiplexor de referencia (Input Reference Path Mux se indica en la Figura 32), el cual permite modificar esta señal para adaptar al rango permitido del PFD. Se debe tener en cuenta que este multiplexor presenta fallas en la práctica, por lo cual es recomendable utilizar su valor de default (X1).

Figura 32

Configuración de Referencia y Reference Path Mux

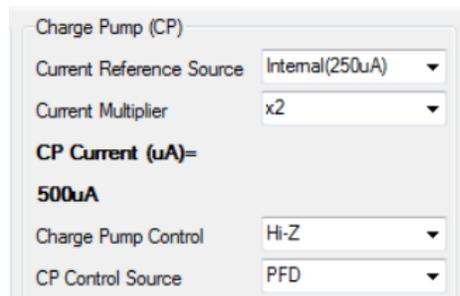


Control de parámetros PFD y Charge Pump

Se utiliza una corriente de Charge Pump interna de 250uA se muestra en la Figura 33 para evitar ruidos de fase altos en frecuencias altas y un control HI-Z debido a su desempeño en altas frecuencias. De igual manera se coloca como control en PFD para disminuir el ruido de fase en el lazo.

Figura 33

Configuración de Charge Pump



Octopus CompuScope 83XX

Para el proceso de adquisición de señal se configura la tarjeta Octopus CompuScope 83XX. Para esta tarjeta es estrictamente necesario un sistema operativo Windows XP Service Pack 3 al igual que para la configuración del ADRF6807. Por otra parte, se requiere que el HW disponga de puertos PCI disponibles y su instalación se puede visualizar en la Figura 35.

Por medio del manual y CD de instalación, se descarga los drivers y programas necesarios para el procesamiento digital como se distingue en la Figura 34. El programa necesario para exportar la información en formato .ASCII es GageScope. En este caso al ser un programa obsoleto la licencia para obtenerlo de manera gratuita o de forma pago ya no se encuentra habilitada, por lo cual se debe seleccionar el periodo

de prueba. Una vez finalizado el periodo de prueba se debe desinstalar todos los componentes e instalar nuevamente desde cero.

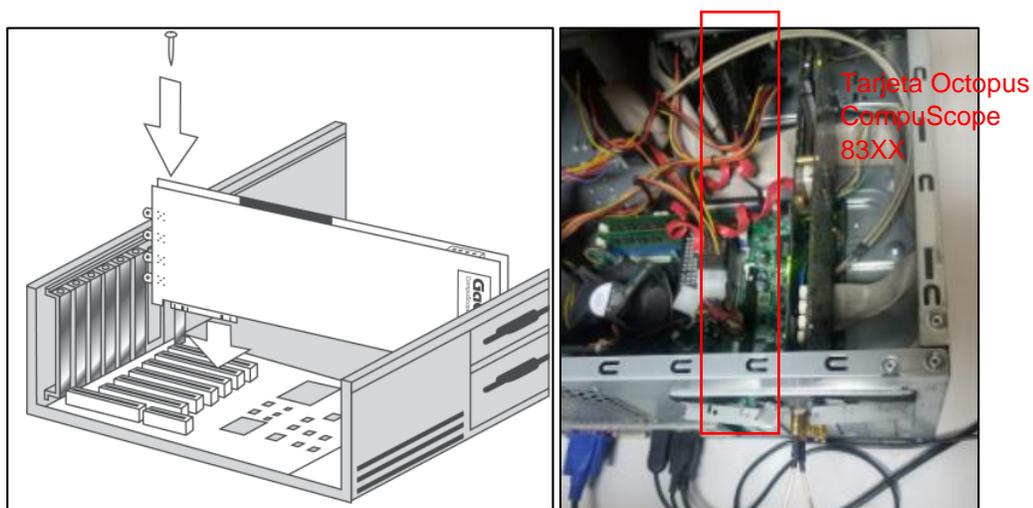
Figura 34

Instalación de Drivers y Programa de Análisis de señales GageScope



Figura 35

Instalación de Tarjeta Octopus CompuScope en Hardware

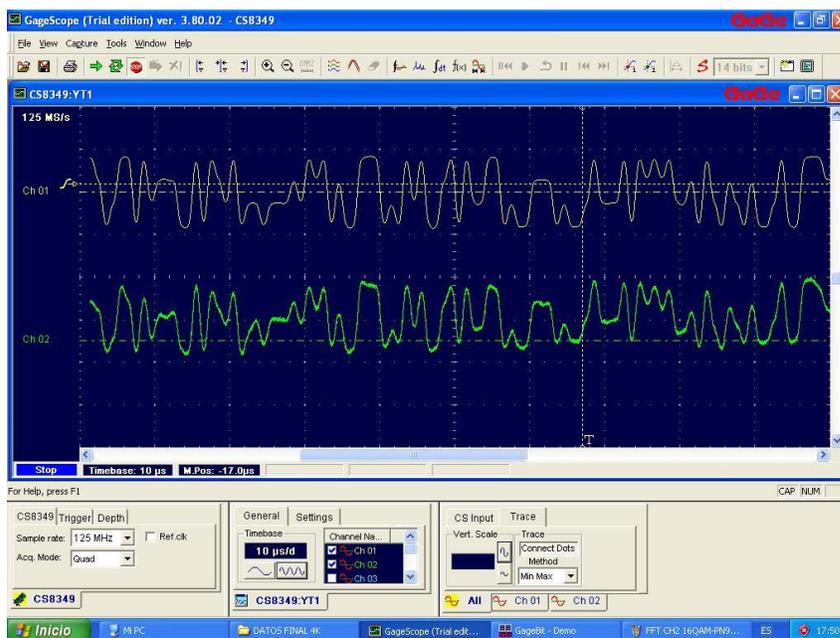


Nota: En la figura se puede observar la instalacion en el puerto PCI de la computadora.

Se debe tomar en cuenta el espacio determinado en el CPU y de igual manera seguir las precauciones electrostaticas para la manipulacion de la misma.

Figura 36

Configuración de Referencia y Reference Path Mux



Algoritmo de Evaluación

Las señales obtenidas, como se observa en la Figura 36, en nuestro prototipo de evaluación poseen las características mostradas en la Tabla 5.

Tabla 5

Parámetros de evaluación

Parámetros	Valor
Frecuencia de Muestreo	25 MHz
Symbol Rates	1 – 3 – 5 – 7 - 10 Msps
Frecuencia de Portadora	750 MHz - 815 MHz– 1.5 GHz
Número de Muestras	14 bits (16384 muestras)

Resolución	16 bits
Modulación	4 -16 QAM

Se selecciona la frecuencia de muestreo de 25MHz para abarcar un mayor número de muestras y bits a analizar.

En el caso de los dos tipos de modulación aplicadas, se desarrolla un algoritmo para 4 QAM y otro para 16 QAM. Para ambos algoritmos se normaliza la señal y se procede a realizar la correlación entre señales y obtener una medida de comparación entre la señal generada y la obtenida como de la Figura 37 a la Figura 42. Para obtener el símbolo se toma una ventana determinada por el periodo de símbolo.

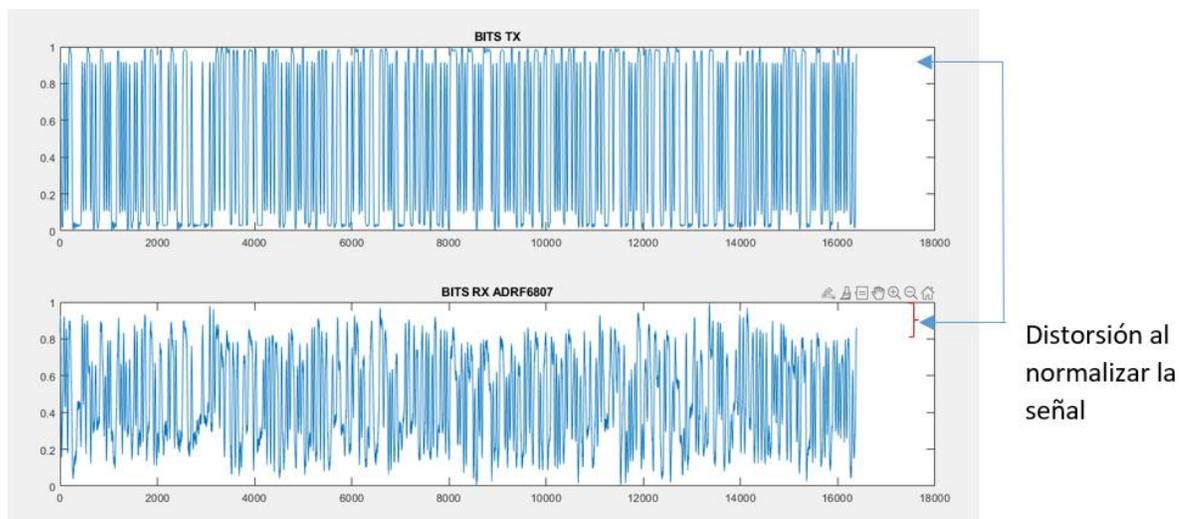
Este periodo de símbolo es obtenido por la tasa de símbolo utilizada:

$$T_s = \frac{1}{F_s}$$

A partir de esto se determina cuantas muestras constituye un símbolo. El proceso de toma de decisiones y cuantización se realiza con la función `quantiz(S1,partition,codebook)`. Donde S1, es la señal, "partition" es el umbral para convertir estos valores discretos a un diccionario determinado por "codebook", es decir, se toma una ventana con este número de muestras por símbolo y por medio de la función `movmean` se obtiene el valor promedio del símbolo. En el caso de 4-QAM se tiene solo dos niveles de símbolo por lo que el diccionario de decisiones planteado es [-1,+1].

Figura 37

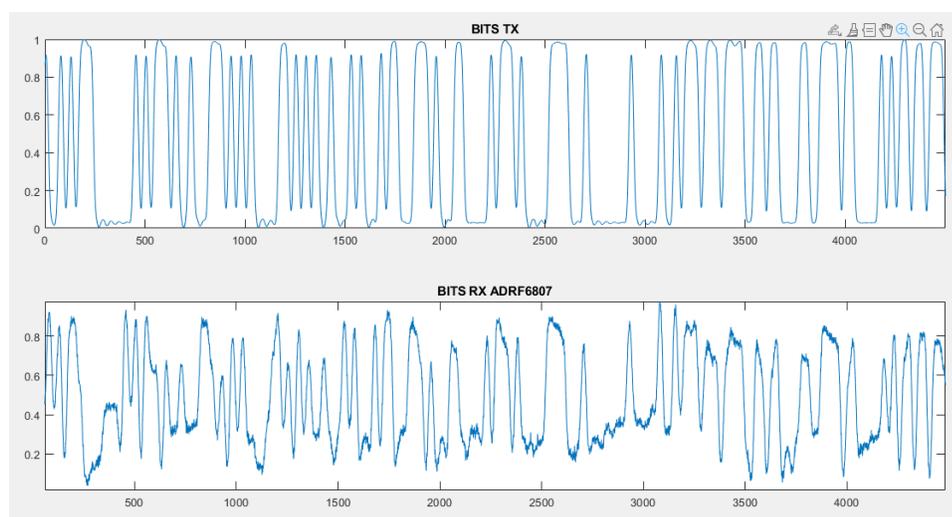
Comparación de señal transmitida y recibida en la tarjeta de modulación



Al normalizar la señal podemos observar cómo existe ruido e interferencia en la señal receptada como se indica en la Figura 37. Este comportamiento no afecta los resultados en el caso de 4-QAM, debido que por medio de la toma de decisiones se ajusta a la señal en los niveles establecidos como se puede observar en la Figura 38.

Figura 38

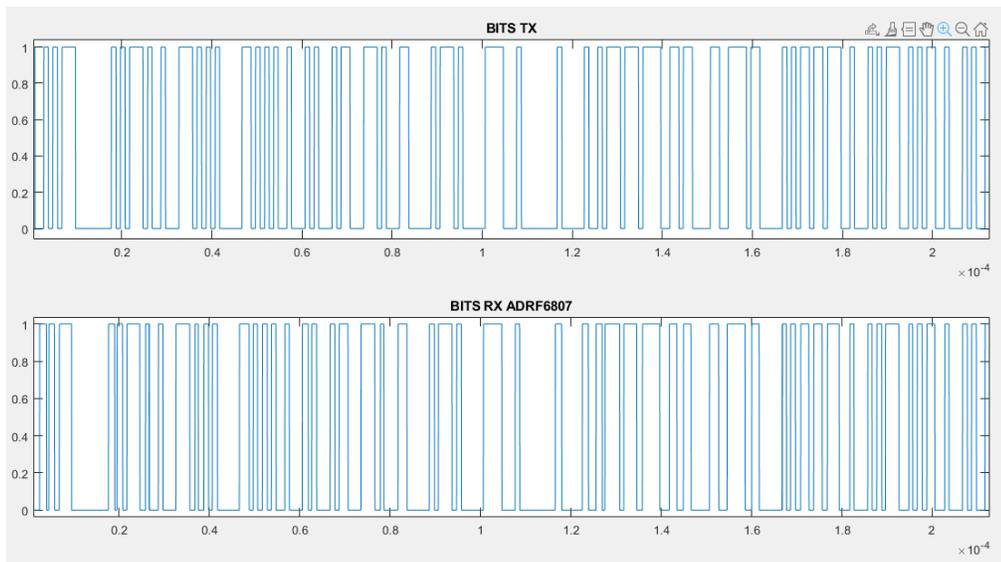
Muestras de señal transmitida y recibida 4-QAM



La distorsión en este esquema de modulación no interfiere debido a que existe poca interferencia entre símbolos. El procesamiento digital nos ayuda a atenuar estos efectos y la tasa de error de símbolo disminuye como se observa en la Figura 39.

Figura 39

Comparación de señal transmitida y recibida en la tarjeta de modulación cuantizada

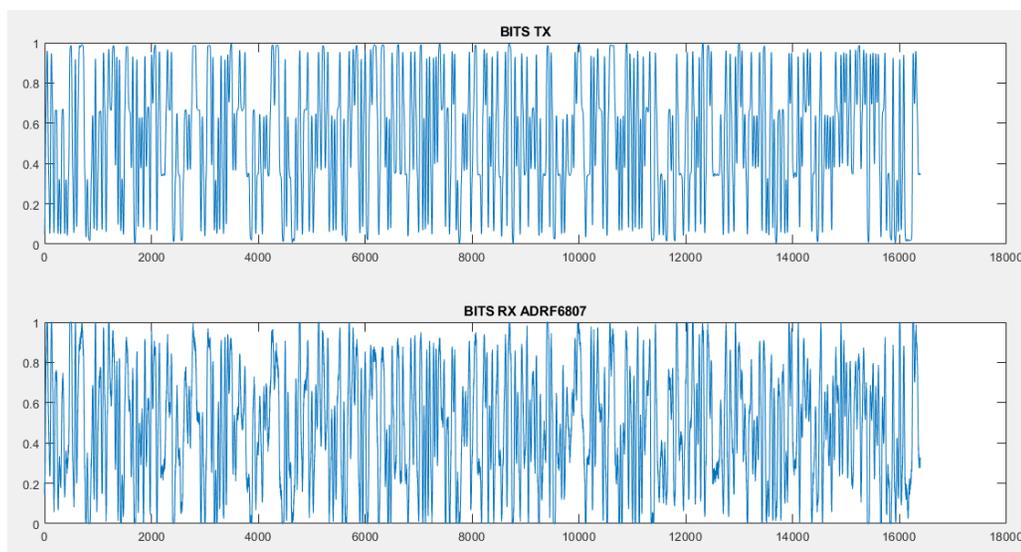


Nota: Efectos de distorsión en la señal se atenúan debido a la cuantización y toma de decisiones en los símbolos.

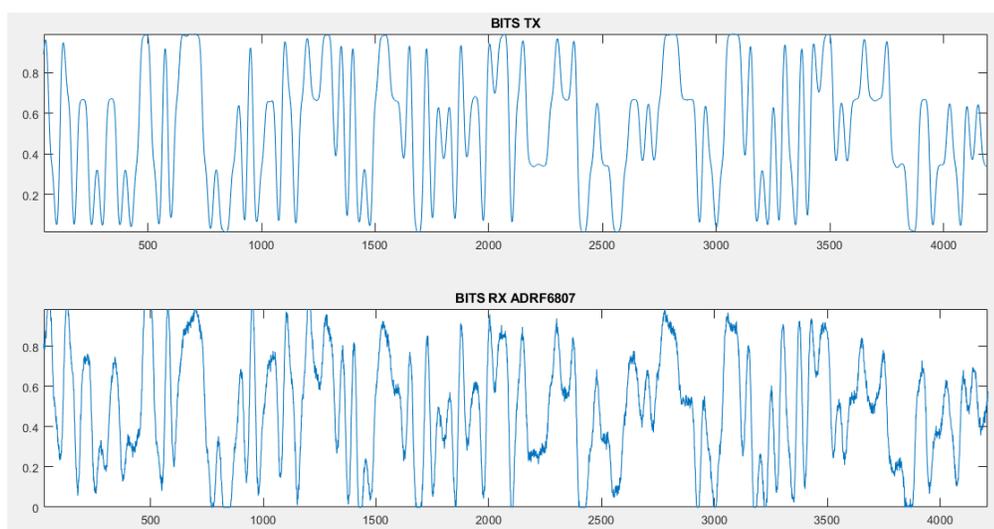
En el caso de 16-QAM, al existir mayor distorsión, se realiza un proceso previo a la normalización, que consiste en eliminar este error de normalización, como se observa en Figura 40. Organizamos los valores para truncar los valores fuera de rango y evitar problemas en las reglas de decisión. Para la toma de decisiones tenemos 4 valores de símbolo [-1, -0.33, +0.33, 1.00].

Figura 40

Comparación de señal transmitida y recibida en la tarjeta de modulación 16-QAM

**Figura 41**

Muestras de señal transmitida y recibida 16-QAM

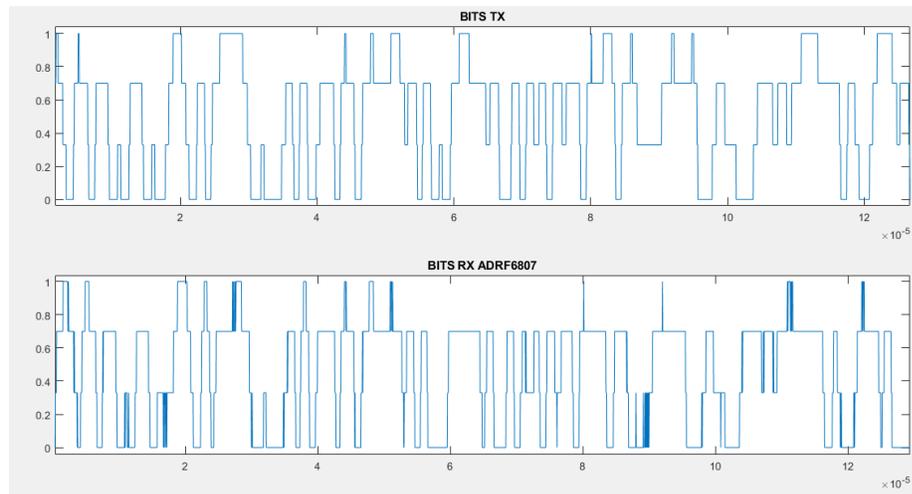


Al cuantizar las señales se observan ciertos espurios dados por la interferencia de señal como en la Figura 41. En el caso de 16-QAM (Figura 42), se deben intentar

varios márgenes en las reglas de decisión para no comprometer el resultado de la tasa de error.

Figura 42

Muestras de señal transmitida y recibida 16-QAM cuantizada



El presente capítulo detalló la operación del prototipo en este capítulo para evaluar el desempeño y la demodulación por medio del análisis de componentes en fase y cuadratura IQ; en el siguiente capítulo se expone las pruebas realizadas y los resultados obtenidos en el campo.

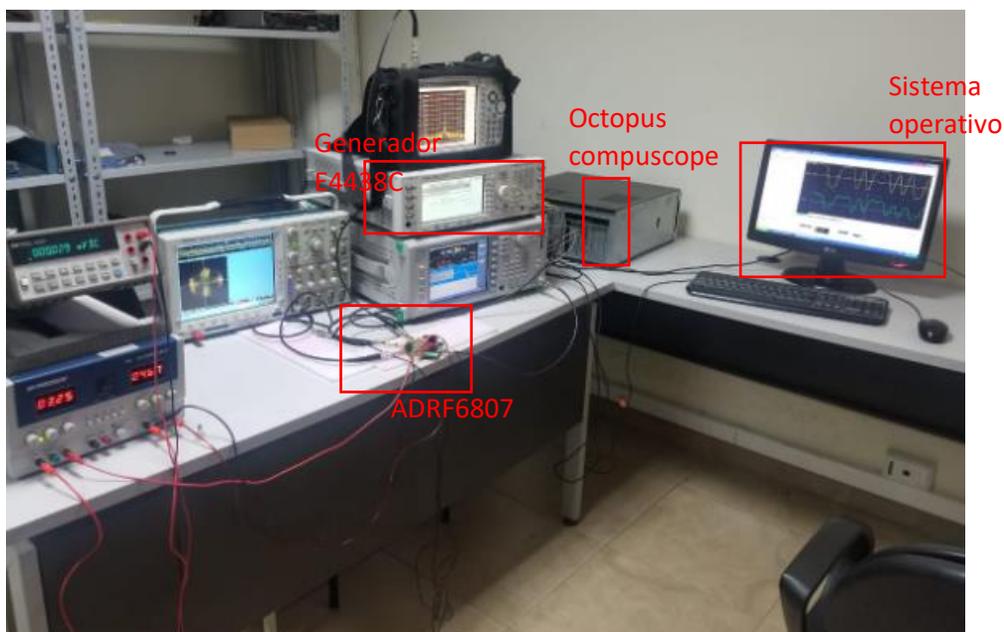
CAPITULO IV

Pruebas y Resultados

Como anteriormente se menciona en el documento, se realiza la alimentación de la tarjeta ADRF6807 con una fuente reguladora de voltaje a 3.3 [V] y 5 [V], se conecta la entrada de referencia al generador con 26MHz y la entrada de RF a la portadora la cual nos dará un segundo generador el que realizará la modulación QAM de nuestra información. Por otra parte, la salida I y Q de la tarjeta ADRF6807 se conectan al osciloscopio para poder visualizar su diagrama de constelación según la señal modulada, a su vez estas salidas se conectan al Octopus CompuScope la cual realizará la digitalización en tiempo real de las señales, obteniendo estas señales a través de la GUI del propio software GaGeScope, estas señales serán analizadas por un algoritmo de Matlab evaluando su desempeño, la implementación de todo el sistema mencionado puede observarse en la Figura 43.

Figura 43

Implementación del Sistema



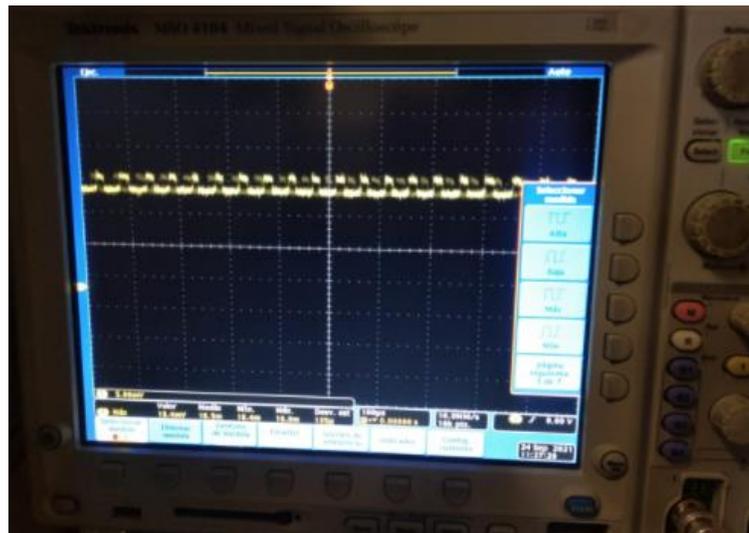
Previo a realizar las pruebas del prototipo, se debe tomar en cuenta dos aspectos clave:

1. Señal de Lock Detect
2. Presencia de Ruido de Fase en el oscilador local

En la etapa de diseño se seleccionó la salida REF OUT una señal de control, denominada "Lock Detect". Esta salida posee una impedancia de 100 ohmios, la cual posee dos estados. Una señal cuadrada como se ilustra en la figura 44, que nos muestra que el PLL no se encuentra en estado "lock" midiendo el error de fase en las entradas del PFD. Por otra parte, cuando se encuentra en lazo obtenemos una señal de 3 [V] constante.

Figura 44

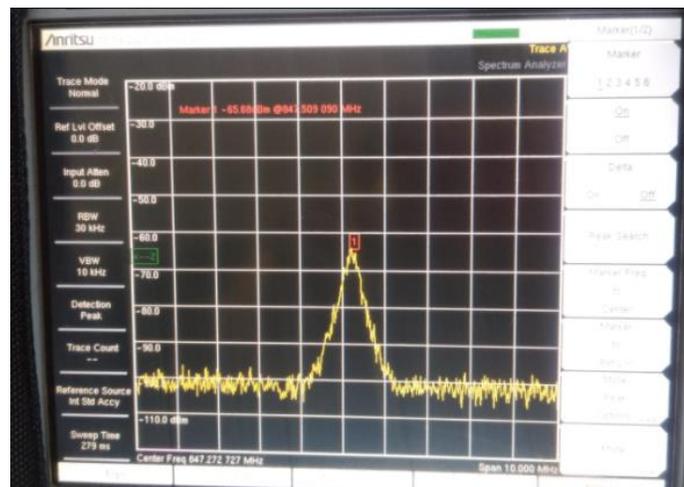
Señal REF OUT en estado "unlocked"



El PLL contiene varios elementos los cuales pueden producir el ruido de fase, interfiriendo en la estabilidad de la frecuencia del oscilador local. El VCO y la frecuencia de referencia influyen en el ruido de fase cuando existe un mayor desfase en la frecuencia, si por el contrario es mínimo el desfase predomina el ruido del charge pump. Y si aumenta la corriente en el charge pump aumenta el ruido en frecuencias altas como se observa en la Figura 45.

Figura 45

Oscilador local con ruido de fase

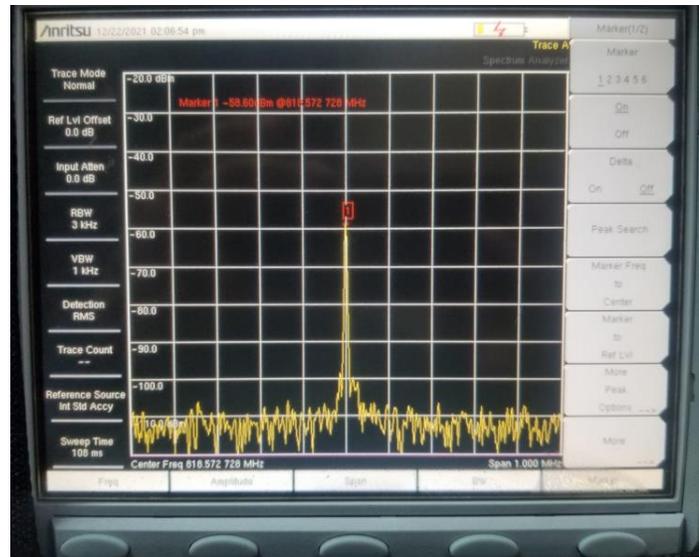


Nota: Al comprobar que se tiene ruido de fase en el oscilador local la demodulación IQ no se genera y esto se verifica en el osciloscopio con el diagrama de constelación.

Por el contrario, si al observar el “local oscilator” este no contiene el ruido de fase debido a la sintonización en la frecuencia de referencia como se observa en la Figura 46 el diagrama de constelación se puede verificar con éxito en el osciloscopio a la salida de I y Q de la tarjeta ADRF6807.

Figura 46

Oscilador local sin ruido de fase



Se realizó la modulación IQ de señales triangulares (Figura 48) y sinusoidales (Figura 49) de 500KHz para analizar las características de fase y cuadratura (Figura 47) presentes en la tarjeta de demodulación previo a los experimentos de QAM. Verificando su funcionamiento y las características proporcionada en el datasheet.

Figura 47

Señales en fase y cuadratura

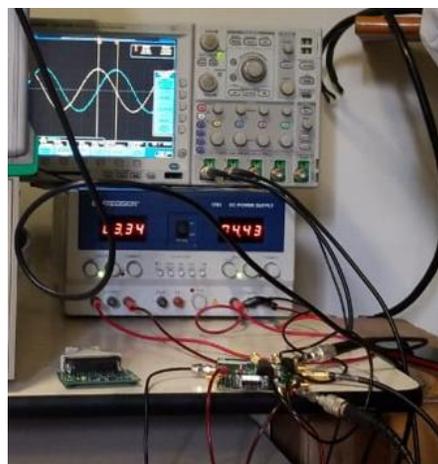
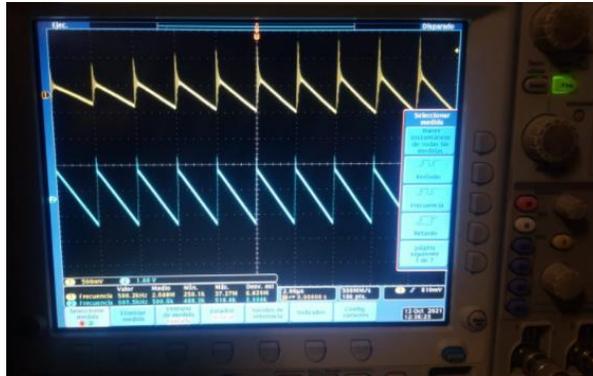


Figura 48

Comparación de las señales triangulares



Nota: La comparación de la señal triangular, siendo I del generador la señal amarilla y de la señal I del ADRF6807 la señal azul.

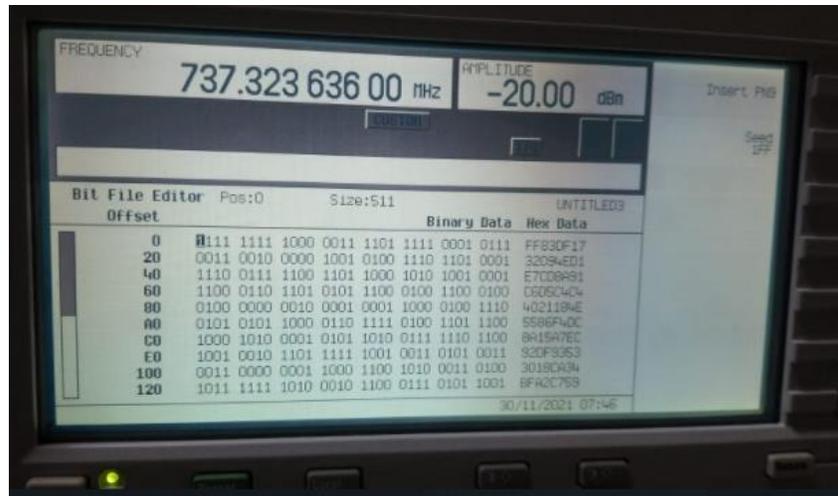
Figura 49

Comparación de la señal senoidal



Nota: Se realizó una comparación entre la señal I del generador (señal amarilla) y la señal I de la tarjeta ADRF6807 (señal azul).

En la Figura 50 se puede observar la serie de bits de información enviada por el transmisor

Figura 50*Bits pseudo - aleatorios*

Nota: El generador envía información en secuencia pseudo-aleatorio

Pruebas

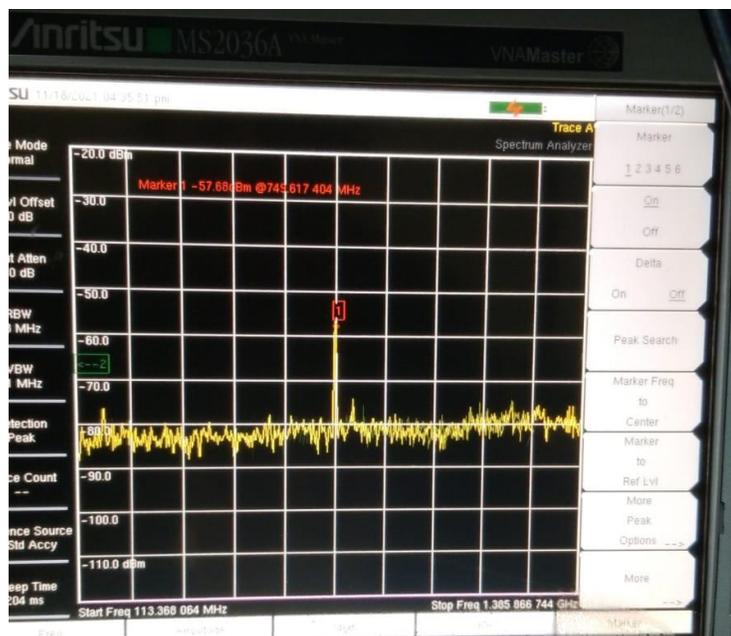
Se realizó la evaluación del desempeño del proceso de digitalización de las componentes I y Q con un algoritmo realizado en el programa de Matlab que además ejecutó la detección, identificación, reconocimiento, seguimiento y discriminación de las señales. Se evaluó mediante pruebas el desempeño obteniendo el SER y la correlación.

CASO 1

Para el primer caso se trabajó con una frecuencia de 700MHz aproximadamente la cual al sintonizar y que no exista ruido de fase nos da una frecuencia en el oscilador local de 745.61MHz esto se puede visualizar en la Figura 51.

Figura 51

Señal en el analizador de espectros con una frecuencia de 745.61MHz



Nota: En la figura se puede observar la frecuencia del oscilador local que en este caso será de 745.61MHz a la salida I o Q, teniendo en cuenta que a la entrada no se introduce la señal modulada para poder observar la frecuencia en el analizador de espectros.

Tabla 6

SER y Correlación de I con una frecuencia de 745.617MHz

Symbol Error Rate (I Signal) Carrier Freq. 745.617 MHz										
Modulación	1MSps		3MSps		5MSps		7MSps		10MSps	
4-QAM	0.9528	0.003	0.8912	0.0737	0.8639	0.0311	0.8718	0.1392	0.7415	0.2164
16-QAM	0.8467	0.1494	0.8357	0.1057	0.9256	0.0742	0.8176	0.3354	0.6379	0.2247

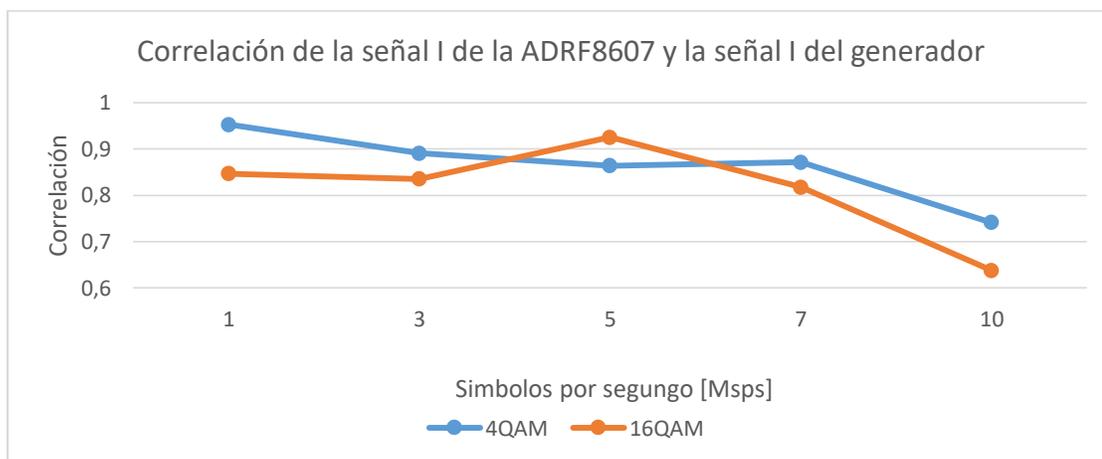
Correlación =	
SER =	

Nota: Se realizó el análisis de datos en el programa de Matlab para poder observar el SER simbol error rate y la correlación entre la I de la tarjeta ADRF6807 y la I del generador de señales, comprobando el funcionamiento adecuado de la tarjeta demoduladora.

Con los datos expuestos en la tabla 6 siendo la columna uno los datos de correlación y la segunda columna los datos de la tasa de error de símbolo realizamos las comparaciones de las modulaciones y los Msps esto se refleja en las Figura 52 y Figura 53

Figura 52

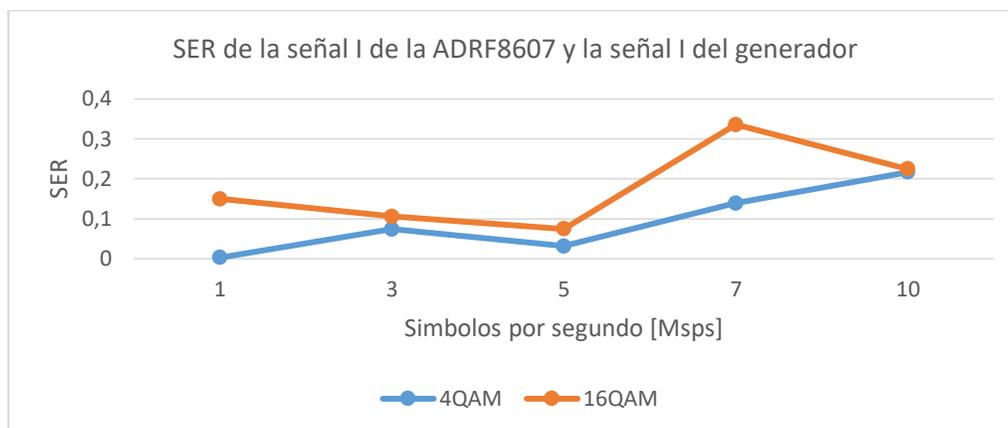
Correlación de las señales I con una frecuencia de 745.617MHz



Nota: Como se puede observar en el grafico a medida que los símbolos por segundo aumentan la correlación de las señales I de la tarjeta y del generador van disminuyendo. Esto podemos decir que es correcto ya que en el datasheet se especifica que se utilice hasta los 5Msps.

Figura 53

SER de las señales I con una frecuencia de 745.617MHz



Nota: En la imagen a medida que los símbolos por segundo [Msps] aumentan el SER de las señales I de la tarjeta y del generador van aumentando.

Esto quiere decir que tanto en la modulación 4QAM como en la modulación 16QAM la correlación es inversamente proporcional al SER

Tabla 7

SER y Correlación de Q con una frecuencia de 745.617MHz

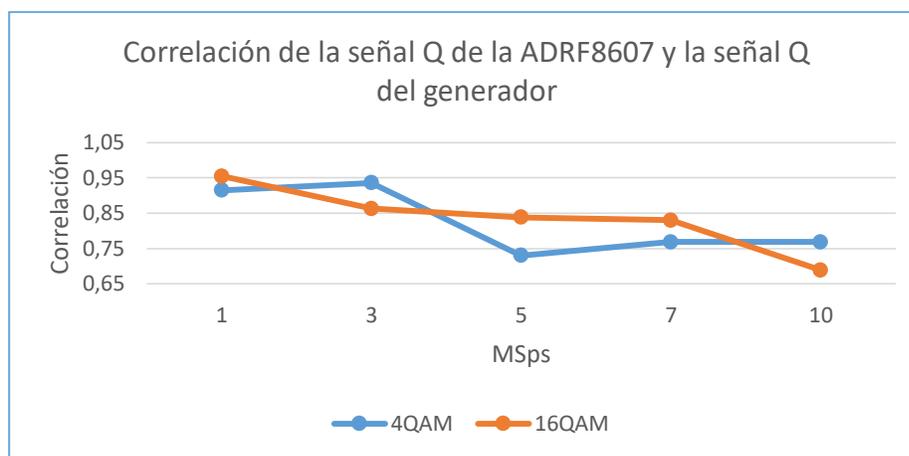
Symbol Error Rate (Q Signal) Carrier Freq. 745.617 MHz										
Modulación	1MSps		3MSps		5MSps		7MSps		10MSps	
4-QAM	0.9153	0.0061	0.9359	0.0537	0.7298	0.1782	0.7681	0.1589	0.7687	0.1657
16-QAM	0.9549	0.0686	0.8635	0.1777	0.8383	0.1587	0.8302	0.1655	0.6885	0.2201

Nota: Así como se observó anteriormente, en la tabla 7 se realizó el análisis de datos en el programa de Matlab para poder observar la correlación entre la Q de la tarjeta ADRF6807 y la Q del generador de señales, realizando así la comprobación del desempeño de la tarjeta.

Con los datos expuestos se realiza las comparaciones mediante las siguientes gráficas de correlación (Figura 54) y del SER (Figura 55)

Figura 54

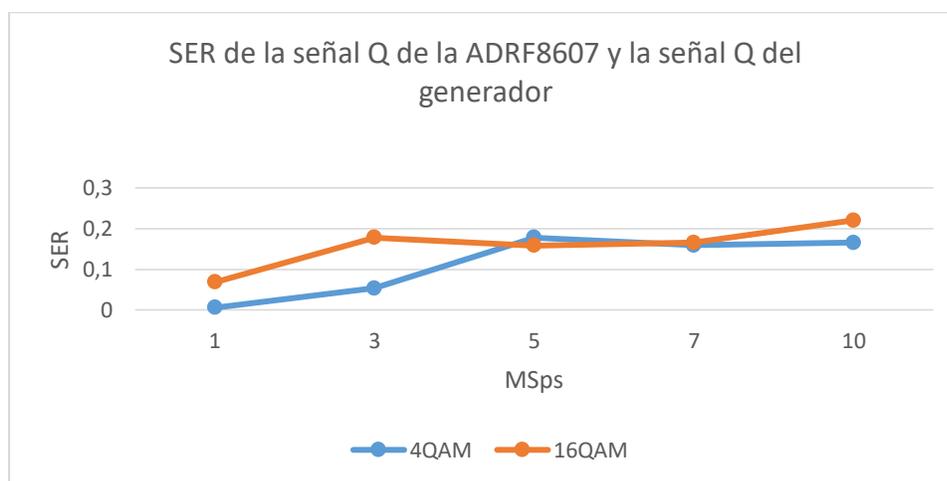
Correlación de las señales Q con una frecuencia de 745.617MHz



Nota: Como se puede observar en la Figura 54 a medida que los símbolos por segundo aumentan la correlación de las señales Q de la tarjeta y del generador van disminuyendo.

Figura 55

SER de las señales Q con una frecuencia de 745.617MHz



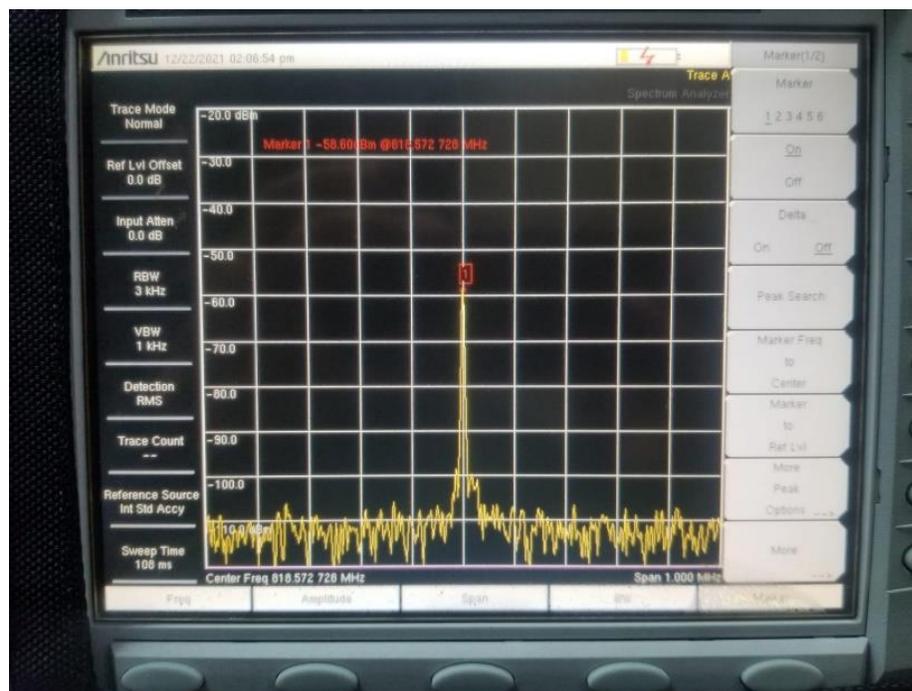
Nota: A medida que va creciendo los [Mps] se tiene mayor tasa de error de símbolo.

CASO 2

Para el segundo caso se trabajó con una frecuencia de 850MHz aproximadamente la cual al sintonizar y que no exista ruido de fase nos da una frecuencia en el oscilador local de 818.572MHz esto se puede visualizar en la Figura 56.

Figura 56

Señal en el analizador de espectros con una frecuencia de 818.572MHz



Nota: En la Figura 56 se puede observar la frecuencia del oscilador local que en este caso es de 818.572MHz a la salida I, teniendo en cuenta que a la entrada no se introduce la señal modulada para poder observar la LO en el analizador de espectros.

Tabla 8

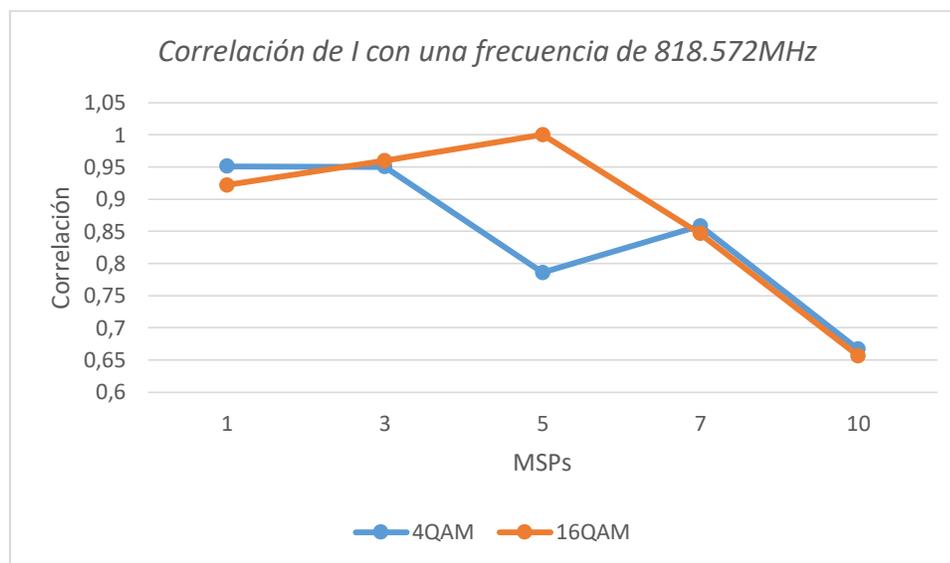
SER y Correlación de I con una frecuencia de 818.572MHz

Symbol Error Rate (I Signal) Freq. 818.572 MHz										
Modulación	1MSps		3MSps		5MSps		7MSps		10MSps	
4-QAM	0.951	0	0.9503	0.0566	0.7857	0.0473	0.8581	0.1284	0.6668	0.2106
16-QAM	0.9216	0.2119	0.9597	0.1265	1	0.0006	0.8463	0.1675	0.6565	0.3111

Con los datos expuestos en la Tabla 8 se realiza las comparaciones mediante las siguientes gráficas de correlación (Figura 57) y del SER (Figura 58)

Figura 57

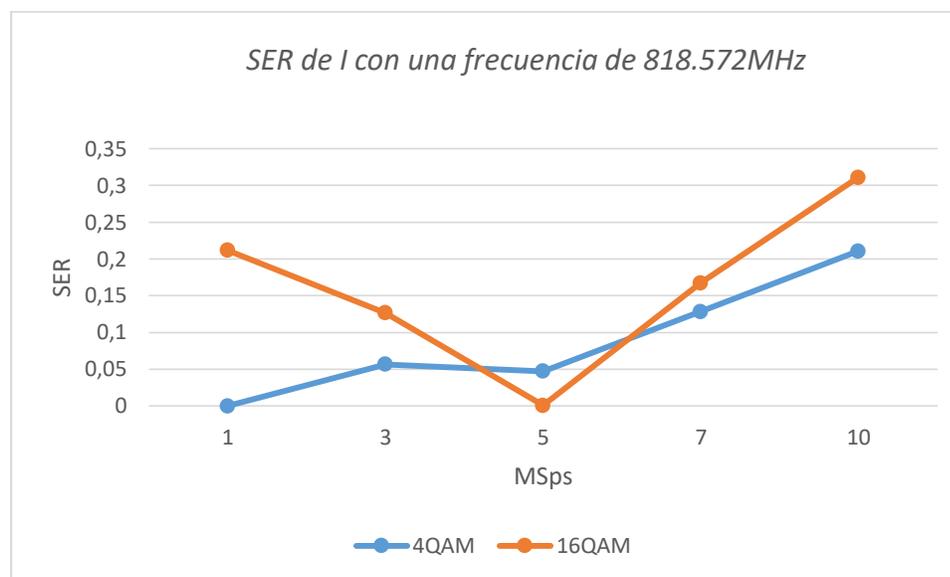
Correlación de las señales I con una frecuencia de 818.572MHz



Nota: Como se puede observar en el grafico a medida que los símbolos por segundo aumentan la correlación de las señales I de la tarjeta y del generador van disminuyendo drásticamente.

Figura 58

SER de las señales I con una frecuencia de 818.572MHz



Nota: A medida que va creciendo los [MSps] se tiene mayor tasa de error de símbolo.

Tabla 9

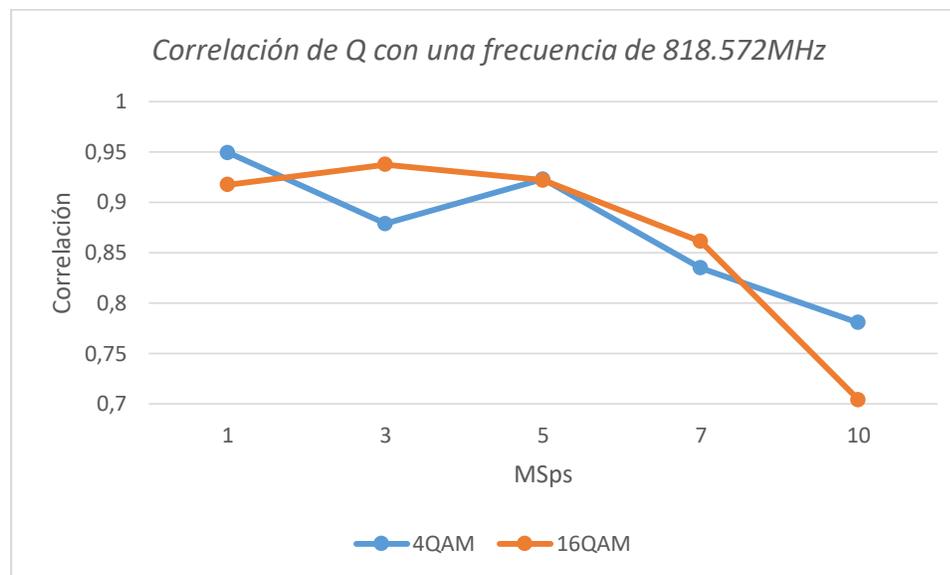
SER y Correlación de Q con una frecuencia de 818.572MHz

Symbol Error Rate (Q Signal) Freq. 818.572 MHz										
Modulación	1MSps		3MSps		5MSps		7MSps		10MSps	
4-QAM	0.9492	0.003	0.8787	0.0918	0.923	0	0.8347	0.1357	0.7806	0.2093
16-QAM	0.9173	0.1128	0.9375	0.1338	0.922	0.1077	0.8612	0.156	0.7042	0.2047

Con los datos expuestos en la Tabla 9 se realiza las comparaciones mediante las siguientes gráficas de correlación (Figura 59) y del SER (Figura 60)

Figura 59

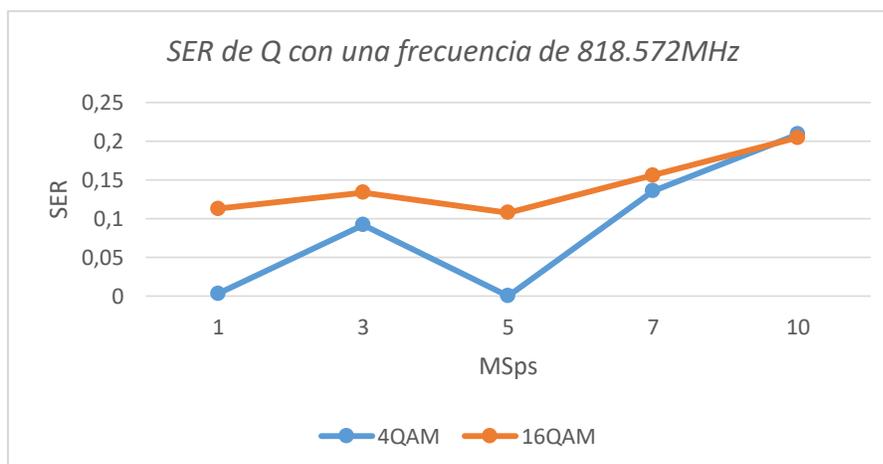
Correlación de las señales Q con una frecuencia de 818.572MHz



Nota: En el grafico se observa que a medida que los símbolos por segundo aumentan la correlación de las señales Q de la tarjeta y del generador van disminuyendo drásticamente.

Figura 60

SER de las señales Q con una frecuencia de 818.572MHz



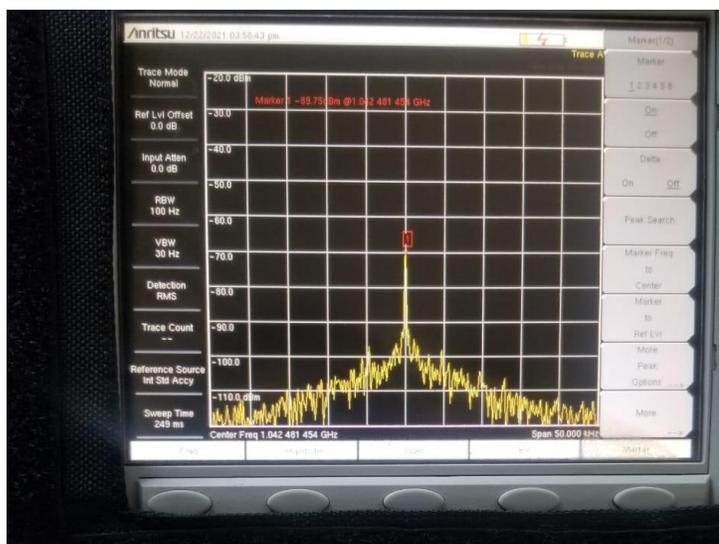
Nota: A medida que va creciendo los [Msps] se tiene mayor tasa de error de símbolo.

CASO 3

Para el tercer caso se trabajó con una frecuencia de 1GHz aproximadamente la cual al sintonizar y que no exista ruido de fase nos da una frecuencia en el oscilador local de 1.042GHz esto se puede visualizar en la Figura 61.

Figura 61

Señal en el analizador de espectros con una frecuencia de 1.042GHz



Nota: En la figura se puede observar la frecuencia del oscilador local que en este caso es de 1GHz a la salida I o Q.

Tabla 10

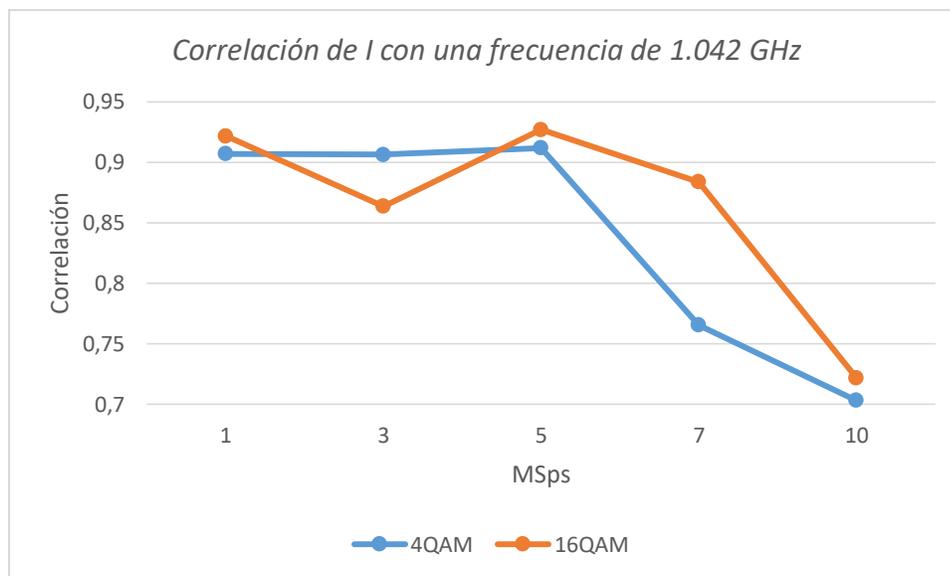
SER y Correlación de I con una frecuencia de 1.042GHz

Symbol Error Rate (I Signal) Freq. 1.042 GHz										
Modulación	1MSps		3MSps		5MSps		7MSps		10MSps	
4-QAM	0.907	0.0259	0.9064	0.0713	0.9119	0.0037	0.7654	0.1785	0.7033	0.2232
16-QAM	0.9216	0.1372	0.8637	0.1846	0.927	0.1013	0.8837	0.1348	0.7219	0.208

Con los datos expuestos en la Tabla 10 se realiza las comparaciones mediante las siguientes gráficas de correlación (Figura 62) y del SER (Figura 63)

Figura 62

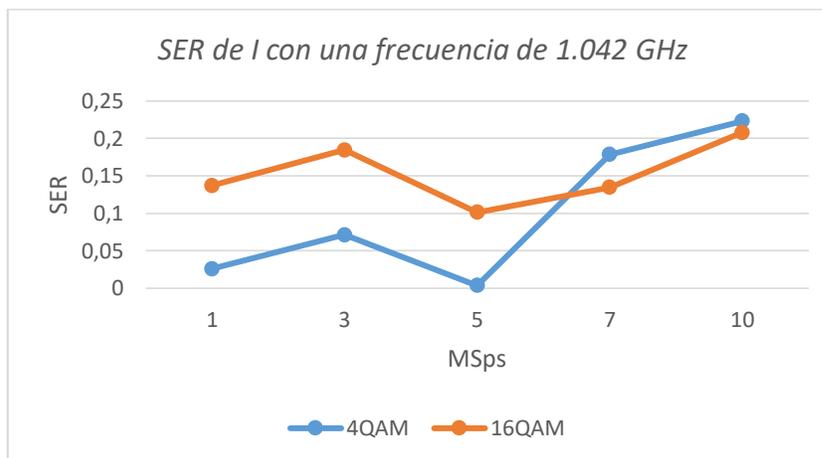
Correlación de I con una frecuencia de 1.042GHz



Nota: En el grafico se observa que a medida que los símbolos por segundo aumentan la correlación de las señales I de la tarjeta y del generador van disminuyendo.

Figura 63

SER de I con una frecuencia de 1.042GHz



Nota: A medida que va creciendo los [Msps] se tiene mayor tasa de error de símbolo.

Tabla 11

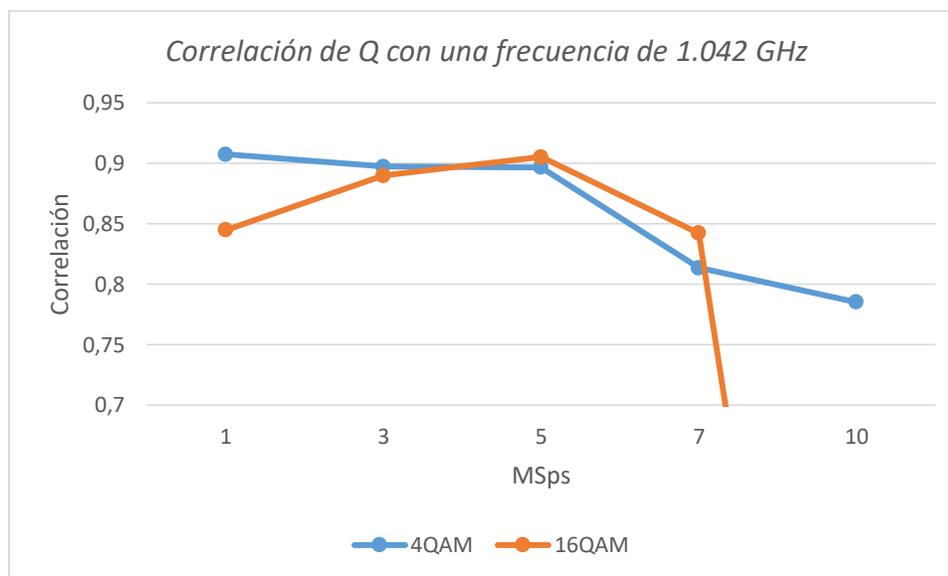
SER y Correlación de Q con una frecuencia de 1.042GHz

Symbol Error Rate (Q Signal) Freq. 1.042 GHz										
Modulación	1MSps		3MSps		5MSps		7MSps		10MSps	
4-QAM	0.9073	0.0168	0.8971	0.0933	0.8964	0.0168	0.1835	0.4595	0.7851	0.2082
16-QAM	0.8447	0.2226	0.8898	0.2612	0.905	0.1233	0.8421	0.1772	0.0012	0.3156

Con los datos expuestos en la Tabla 11 se realiza las comparaciones mediante las siguientes gráficas de correlación (Figura 64) y del SER (Figura 65).

Figura 64

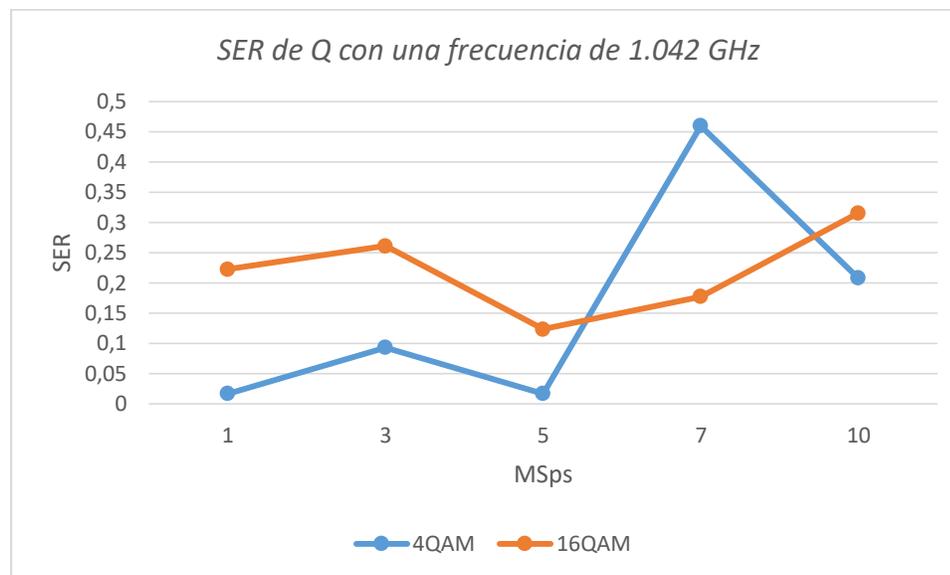
Correlación de Q con una frecuencia de 1.042GHz



Nota: En el grafico se observa que a medida que los símbolos por segundo aumentan la correlación de las señales Q de la tarjeta y del generador van disminuyendo.

Figura 65

SER de Q con una frecuencia de 1.042GHz



Nota: A medida que va creciendo los [MSps] se tiene mayor tasa de error de símbolo.

En el presente capítulo se ha realizado la evaluación del prototipo y se analizaron los resultados con tres portadoras dentro de la banda de 700 a 1050 MHz.

CAPÍTULO V

Conclusiones y Recomendaciones

- Se realizó el diagnóstico y estudio de los diversos dispositivos I-Q y tarjetas de digitalización existentes en el CICTE, definiendo el uso del ADRF 6807 y la tarjeta Octopus 83XX
- Se analizó el estado del arte de las técnicas avanzadas de balanceo y compensación de los demoduladores I-Q para representar un proceso pasa banda de valor real mediante la representación de valor compleja $I + jQ$, así como las estrategias de digitalización de procesos pasa bajos, en el marco de una aplicación específica del sistema de inteligencia de señales.
- Se desarrolló el prototipo y evaluó el desempeño de las características típicas de los demoduladores en cuadratura I-Q.
- Se realizó la evaluación del desempeño del proceso de digitalización de las componentes I-Q y su posterior procesamiento.
- Se implementaron los algoritmos para la detección, identificación, reconocimiento, seguimiento y discriminación de un objetivo (señal de RF de prueba).
- Se evaluó el desempeño del sistema prototipo mediante las respectivas pruebas en el laboratorio.
- Se desarrolló un sistema prototipo de RF utilizando la tarjeta ADRF8607 demoduladora de señales dentro de un rango de 700MHz a 1050MHz encargada de poder representar de manera digital y de valor complejo ($I+jQ$), una señal transmitida pasabanda analógica, luego de lo cual, mediante la tarjeta de digitalización se obtuvo la señal discreta $I(n) jQ(n)$, para luego poder procesarla y analizarla dentro de un programa y así obtener la señal transmitida por el receptor.

- En el capítulo 4 se realizó una comparación tanto de la fase $I(n)$ como de la cuadratura $Q(n)$ (transmitidas y recibidas) y de esta manera poder evaluar el desempeño del prototipo. Pudimos observar su correlación y el SER, teniendo a simple vista un resultado satisfactorio en la modulación 4QAM como en 16QAM, ya que, la correlación es bastante aceptable y el SER es inversamente proporcional a la correlación, con lo que podemos decir que se obtuvo resultados satisfactorios del desempeño de la ADRF6807 + OCTOPUS 83XX.
- Por último, una vez que en primera instancia se ha probado el concepto de la representación de valor compleja de un proceso pasabanda de valor real, utilizando hardware de alta escala de integración, se recomienda como trabajo futuro la implementación de un prototipo que utilice FPGAs y SoC.

Referencias Bibliográficas

Electronics Notes. (s.f.). PLL Phase Locked Loop: How it Works.

Agilent Technologies. (2008). *Agilent E4438C ESG Vector Signal Generator*. Obtenido de http://www.ece.ucy.ac.cy/labs/holistic_elab/facilities/brochures/4438C.pdf

Aleman, N., Reynoso, A., & Nunez, J. (2015). Diseño e implementación de un modulador demodulador I/Q en un DSP-FPGA. *Revista Aristas: Investigación Básica y Aplicada*, págs. 23-26.

Analog Devices . (2009). *Fundamentals of Phase Locked Loops (PLLs)*. Obtenido de <https://www.analog.com/media/en/training-seminars/tutorials/mt-086.pdf>

Analog Devices Inc. (2011). *ADRF6807 700 MHz to 1050 MHz Quadrature Datasheet*. Obtenido de analog.com: <https://www.analog.com/media/en/technical-documentation/data-sheets/ADRF6807.pdf>

Analog Devices Inc. (s.f.). *ADRF6807 Datasheet and Product Info | Analog Devices*. Obtenido de analog.com: <https://www.analog.com/en/products/adrf6807.html#product-overview>

Calderón, D., & Reinoso, M. (2019). Desarrollo de un sistema de Monitoreo de espectro radioeléctrico con anchos de banda instantáneos de 44MHz para la banda de 10kHz a 6GHz.

Capaldi, V. (Febrero de 2010). Implementación de un PLL de alta velocidad totalmente integrado en tecnología de 65nm. Universidad Católica de Córdoba Facultad de Ingeniería Ingeniería Eléctrica/Electrónica.

- Deepshikha, M. (Mayo de 2015). *Diseño de Circuito de Bomba de Carga para PLL*
Aplicación: una revisión. Obtenido de file:///C:/Users/Abigail/Downloads/design-of-charge-pump-circuit-for-pll-application-a-review-IJERTV4IS050415.pdf
- Gage Technologies Applied. (3 de Marzo de 2013). *Octopus CompuScope 83XX, 14-Bit Family of Multi-channel Digitizers for the PCI Express and PCI Bus*. Obtenido de www.gage-applied.com: <https://www.gage-applied.com/digitizers/GaGe-Digitizer-OctopusCS83XX-PCI-PCIe-Data-Sheet.pdf>
- Gutiérrez, K. (2021). Desarrollo de un sistema de inteligencia de señales que integre monitorización del espectro radioeléctrico y la obtención del ángulo de arribo de señales de interés para la banda V/UHF. Universidad de las Fuerzas Armadas. Obtenido de Universidad de las Fuerzas Armadas ESPE.
- Harris, J. (Julio de 2016). *What's Up With Digital Downconverters*. Obtenido de <https://www.analog.com/en/analog-dialogue.html>:
<https://www.analog.com/media/en/analog-dialogue/volume-50/number-3/articles/whats-up-with-digital-downconverters-part-1.pdf>
- Herzel, F., Osmany, S. A., Scheytt, J., & Schmalz, K. (Octubre de 2007). *An Integrated 19-GHz Low-Phase-Noise Frequency Synthesizer in SiGe BiCMOS Technology*
SiGe BiCMOS Technology. Obtenido de https://www.researchgate.net/publication/4292255_An_integrated_19-GHz_low-phase-noise_frequency_synthesizer_in_SiGe_BiCMOS_technology#pf2
- Inmaculada, R. (s.f.). *MODULACIÓN QAM, Tema 3*. Obtenido de Universidad del País Vasco: <https://aholab.ehu.eus/users/inma/psc/PSC20102011.pdf>

Techopedia. (15 de Diciembre de 2016). *Digital Down Converter (DCC)*. . Obtenido de Techopedia.Com.: <https://www.techopedia.com/definition/31146/digital-down-converter-dcc-video>

Tomasi, W., Hernández, G. M., & Pozo, V. G. (2003). *Sistemas de comunicaciones electrónicas*. Pearson Educación.

Türkel, B., & Caglar, M. (2012). Linearized 2.4GHz power amplifier. *Progress in Electromagnetics Research Symposium*, págs. 1389-1392.