



**ESCUELA POLITÉCNICA DEL EJÉRCITO
SEDE LATACUNGA**

CARRERA DE INGENIERÍA ELECTRÓNICA

**Proyecto de Grado previo a la Obtención del Título de Ingeniería de Ejecución
en Electrónica e Instrumentación.**

**“DISEÑO, IMPLEMENTACIÓN Y MONTAJE DE UN SISTEMA DE
CONTROL PARA EL FUNCIONAMIENTO AUTOMÁTICO DE UN
CALENTADOR DE AGUA A GAS CON MICROCONTROLADOR 8751”**

Mario Patricio Bedón Proaño

Latacunga – Ecuador

2007

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado en su totalidad por el Sr. BEDÓN PROAÑO MARIO PATRICIO, bajo nuestra supervisión

Ing. Julio Acosta

DIRECTOR DEL PROYECTO

Ing. Amparo Meytháler

CODIRECTOR DE TESIS

DEDICATORIA

Este trabajo está dedicado a mi MADRE, a mi bella ESPOSA, a mis HIJOS, quienes con su infinita paciencia y su incondicional amor me brindaron el apoyo moral y espiritual para alcanzar el éxito.

Patricio B.

AGRADECIMIENTO

Mi agradecimiento muy sincero a la ESCUELA POLITÉCNICA DEL EJÉRCITO SEDE LATACUNGA, a la FACULTAD DE INGENIERÍA ELECTRÓNICA E INSTRUMENTACIÓN, y de manera especial a los Ingenieros Julio Acosta y Amparo Meytháler, quienes con su valioso aporte hicieron posible la culminación del proyecto, logrando así cumplir una de mis metas profesionales.

Patricio B.

INDICE

INTRODUCCION

1.1. FUNDAMENTOS

1.1. Descripción del problema	1
1.1.1. El calentador de agua a gas	2
1.1.2. Elementos de los calentadores de agua a gas	3
1.1.2.1. El selector de caudal	3
1.1.2.2. El selector de potencia	3
1.1.2.3. Carcasa	3
1.1.2.4. Cortatiros y respaldo (para aparatos de chimenea, k)	4
1.1.2.5. El serpentín o transmisor de calor	5
1.1.2.5. Limitador de temperatura	5
1.1.2.6. Quemador	5
1.1.2.7. Encendido por batería	6
1.1.2.8. Cuerpo de gas	6
1.1.2.9. Cuerpo de agua	7
1.1.2.10. Demandas de a.c.s. acumulada individual en viviendas	8
1.1.2.11. La modulación	9

1.2. FAMILIA DE MICROCONTROLADORES 8751

1.2.1. Microcontroladores Intel 8xxx	11
1.2.2. Descripción de los pines	11

1.3. CONFIGURACION DE LA MEMORIA DEL MICROCONTROLADOR 8751

1.3.1. Memoria de programas y memoria de datos	14
--	----

1.3.1.1. Memoria de programa	15
1.3.1.2. Ciclo máquina	18
1.3.1.3. Memoria de datos	20
1.3.2. Área de direccionamiento directo e indirecto	20
1.3.2.1. Subárea Direccionable bit a bit	21
1.3.2.2. Subárea Scratch Pad	21
1.3.3. Área de Registros o Funciones Especiales	22
1.4. PROGRAMACION DE LOS MICROCONTROLADORES	
1.4.1. Lenguaje Ensamblador	24
1.4.1.1. Instrucciones Ejecutables	24
1.4.2. Modos de Direccionamiento	26
1.4.2.1. Direccionamiento Directo	26
1.4.2.2. Direccionamiento Indirecto	26
1.4.2.3. Direccionamiento por Registro	26
1.4.2.4. Direccionamiento Implícito	27
1.4.2.6. Direccionamiento Indexado	27
1.4.3. Ciclo de Instrucción	27
1.4.4. Tipos de Instrucciones	28
1.4.4.1. Instrucciones Aritméticas	30
1.4.4.2. Instrucciones Lógicas	31
1.4.4.3. Instrucciones de Transferencia de Datos	32
1.4.4.3.1. Movimiento de Datos sobre la RAM interna	32

1.4.4.3.2. Transferencia de Datos sobre la RAM externa	33
1.4.4.4. Instrucciones Booleanas	34
1.4.4.5. Instrucciones de Salto	36
1.4.4.5.1. Instrucciones de Salto Incondicional	36
1.4.4.5.2. Instrucciones de Salto Condicional	38
1.5. PERIFÉRICOS QUE FACILITAN EL TRABAJO CON MICROCONTROLADORES	
1.5.1. Memorias externas de datos y de <u>programas</u>	42
1.5.1.1. Memorias semiconductoras	42
1.5.1.2. Tipos de memoria	43
1.5.1.3. Formas de acceder a la memoria	43
1.5.1.3.1. Forma segregada	43
1.5.1.3.2. Forma combinada	44
1.5.1.4. Capacidad de las memorias	45
1.5.1.5. Criterios de selección de la memoria	45
1.5.1.6. Tipos de memoria más usadas	45
1.5.2. Puerto externo programable 8255 y puerto externo no programable 8212	46
1.5.2.1. Puerto externo programable 8255	46
1.5.2.2. Puerto externo no programable 8212	47
1.5.2.3. Controlador de teclado display 8279	48
1.5.2.3.1. Principio de funcionamiento	48

1.5.4. Otros dispositivos como 7448, 74138 y 74373	50
1.5.4.1. 7448	50
1.5.4.2. 74138	50
1.5.4.3. 74373	50
1.6. CONTROL DE PUERTOS DE ENTRADA / SALIDA	
1.6.1. El microcontrolador como microprocesador	51
1.6.2. Ciclo de lectura en la memoria externa de programas	52
1.6.3. Ciclo de escritura en la memoria externa de datos	54
1.6.3. Operación de escritura en los puertos	55
1.6.4. Operación de lectura en los puertos	55
1.7. INTERRUPCIONES	
1.7.1. Registros de interrupciones	58
1.7.2. El proceso de interrupción en los MC 8751	60
1.8. TEMPORIZADORES Y CONTADORES	
1.8.1. Timer 0 (T0) Y Timer 1 (T1)	60
1.8.1.1. TH0-TL0 y TH1-TL1	61
1.8.1.2. TMOD	62
1.8.1.3. MODO 0	62
1.8.1.4. TCON	63
1.8.1.5. MODO 2	63

1.8.1.6. SCON	64
1.8.1.7. SBUF	65
1.8.1.8. PCON	65

2. ANALISIS, DISEÑO E IMPLEMENTACION

2.1. Propuesta	66
2.2. Diagrama de bloques del sistema	67
2.2.1. Bloque A1	67
2.2.2. Bloque A2	67
2.2.3. Bloque A3	68
2.2.3.1. Display de cristal líquido (LCD)	68
2.2.3.2. Funcionamiento	68
2.2.3.3. Tipos de LCD	69
2.2.3.4. Control del LCD	69
2.2.3.5. Pines externos	70
2.2.3.6. Operaciones de control	70
2.2.3.7. Cronogramas	71
2.2.3.9. Comandos del LCD	72
2.2.3.10. Descripción de los comandos	73
2.2.3.11. Procesamiento de los comandos	77
2.2.4. Bloque A4	80
2.2.5. Bloque A5	80
2.2.6. Bloque A6	80
2.3. Selección de Componentes	80
2.4. Diagrama de Flujo del Programa del Microcontrolador	80
2.5. Diseño	82

2.5.1. Software	82
2.5.2. Hardware	82

3. PRUEBAS DE FUNCIONAMIENTO Y MONTAJE

3.1. Descripción del Sistema	84
3.2. Implementación y pruebas Experimentales	85
3.3. Detalles de Montaje	86
3.4. Alcances y Limitaciones	87
3.5. Análisis Técnico – Económico	88

4. CONCLUSIONES Y RECOMENDACIONES

4.1. Conclusiones	90
4.2. Recomendaciones	91

BIBLIOGRAFÍA	93
---------------------	-------	-----------

APÉNDICE A

GLOSARIO DE TÉRMINOS

APÉNDICE B

PROGRAMA CALEFON

ANEXOS

INTRODUCCIÓN

Una manera efectiva de ahorro de energía eléctrica en la actualidad, es el uso de calentadores de agua a gas, y nuestro país no es la excepción. A nivel mundial es un método práctico y eficiente.

El avance tecnológico ha permitido desarrollar varios métodos de control, para que la energía y el combustible sean utilizados eficazmente. Dispositivos electrónicos de bajo consumo de energía controlan el encendido automático, la temperatura del agua, la intensidad de calor, el cierre y apertura de válvulas, lo que optimiza el calentador de agua a gas.

Esto nos dio la guía para emprender el proyecto “DISEÑO, IMPLEMENTACIÓN Y MONTAJE DE UN SISTEMA DE CONTROL PARA EL FUNCIONAMIENTO AUTOMÁTICO DE UN CALENTADOR DE AGUA A GAS CON MICROCONTROLADOR 8751”.

El microcontrolador 8751, es el principal elemento que sirve de vínculo entre las variables de entrada y las señales de salida en base a un programa desarrollado de acuerdo a las necesidades del proyecto.

Con este propósito se ha realizado el trabajo que consta de cuatro capítulos que se detallan a continuación.

En el CAPÍTULO I, se expone las características y elementos principales del calentador a gas, además de la configuración, programación, control de periféricos de entrada y salida de datos y demás funciones del microcontrolador 8751.

El CAPÍTULO II, constituye el análisis, diseño e implementación. Se expone el diagrama de bloques, selección de componentes y el diseño del software y hardware del sistema.

Mientras que en el CAPÍTULO III se detallan las pruebas de funcionamiento, el montaje, puesta en marcha, los alcances y limitaciones, análisis técnico – económico del proyecto.

El CAPÍTULO IV, incluye las conclusiones y recomendaciones obtenidas durante la ejecución de este trabajo.

CAPITULO I

FUNDAMENTOS

1.1. DESCRIPCION DEL PROBLEMA

El presente proyecto tiene la finalidad de brindar un sistema de control para el funcionamiento de un calentador de agua a gas, conocido como calefón.

Hace más de 100 años un ingeniero alemán, Hugo Junkers, diseñó un calorímetro consistente en un serpentín de cobre por el que circulaba agua calentada por la combustión de un gas.

Este calorímetro se utilizó para cuantificar el valor de una kilocaloría (unidad de energía calorífica). Ya desde esta fecha se pensó en aplicar este principio de calentamiento del agua a la producción de agua caliente sanitaria (en adelante, a.c.s.) para uso doméstico. Nació así el calentador de agua a gas tal y como se conoce en la actualidad.

Dentro de los aparatos que suministran a.c.s. de forma instantánea, nos encontramos con dos tipos: **calentadores de agua a gas** y los **calentadores eléctricos instantáneos**. Ambos aparatos se caracterizan por ser compactos, de reducidas dimensiones y de bajo consumo, ya que únicamente consumen energía cuando existe una demanda real de a.c.s. por parte del usuario.

La selección del aparato de producción de agua instantánea se realizará de modo que garantice el servicio del punto de mayor consumo de agua caliente. El abastecimiento del resto de puntos de consumo dependerá de un coeficiente de confort.

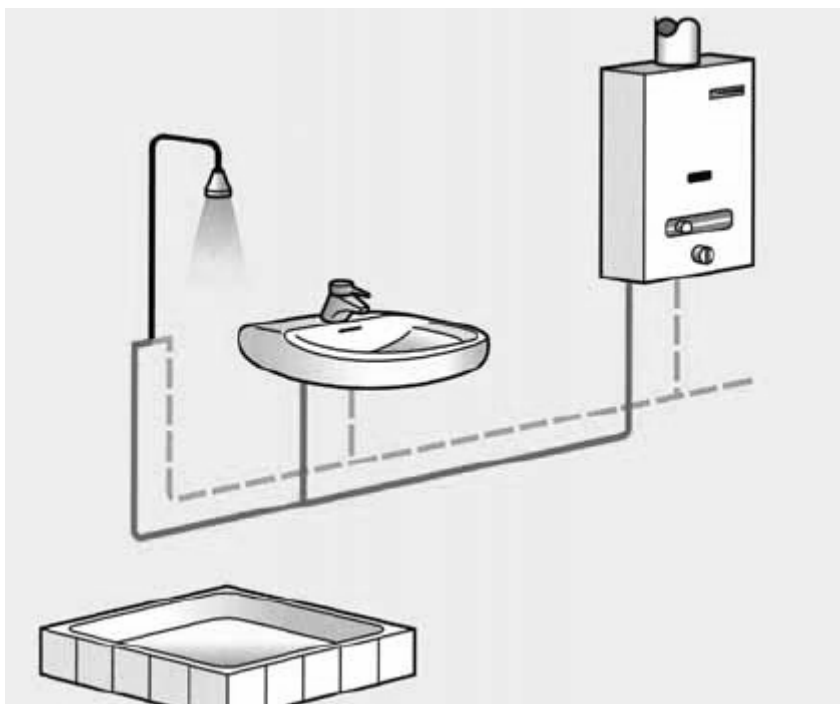


Figura 1.1. Instalación de un suministro de agua caliente sanitaria.

1.1.1. El Calentador de Agua a Gas

El aparato de menores dimensiones que de una manera más versátil ofrece al usuario servicio sólo de a.c.s. es el calentador de agua a gas.

El calentador de agua a gas se compone básicamente de un **quemador**, además de varias partes dispuestas como sigue: en la parte baja tenemos el **cuerpo de agua**, por donde pasa el agua fría de red camino del **cuerpo de caldeo**, entre estos elementos nos encontramos el **cuerpo de gas**, y en la parte más alta del calentador el **coartatiro** o salida de gases procedentes de la combustión.

El cuerpo de agua está provisto de una membrana que es un elemento móvil que, al paso del agua, se desplaza y abre una válvula en el cuerpo de gas. La combustión del gas en el quemador proporciona el calor suficiente para aumentar la temperatura del agua que pasa por el cuerpo de caldeo.

1.1.2. Elementos de los Calentadores de Agua a Gas

1.1.2.1. El Selector de Caudal

Es un mando que tiene incidencia sobre el cuerpo de agua, abriendo o cerrando el paso alternativo al tubo vénturi. Por medio de este mando giratorio, que se encuentra en la parte inferior de la carcasa, podemos limitar el caudal máximo que puede pasar por el calentador; fijar el salto térmico sobre el agua fría de entrada procedente de la red, tratando de mantenerle fijo el propio calentador cuando esté funcionando el aparato.

1.1.2.2. El Selector de Potencia

Corresponde con un mando de corredera por el que podremos fijar el límite máximo de la llama del calentador, o lo que es lo mismo, la potencia máxima del aparato a gas. El mínimo podemos bajarlo del 50% que viene de fábrica hasta un 30% por medio de un tornillo en la parte de la placa sobre la que se desliza el mando de corredera.

Otros mandos son:

Interruptor de encendido/apagado, por el que podemos conectar o desconectar la alimentación de 1,5 V al módulo de encendido en aparatos de gestión electrónica de encendido.

Indicador del estado de las baterías.

1.1.2.3. Carcasa

La carcasa blanca, sirve para proteger el aparato. En todos los aparatos para chimenea, la carcasa es de una sola pieza y se fija sin tornillos.

Por tanto se puede retirar con rapidez y facilidad, de manera que todo el aparato queda a la vista de inmediato para su mantenimiento.

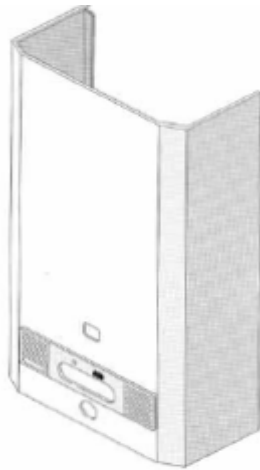


Figura 1.2. Carcasa.

1.1.2.4. Cortatiros y Respaldo

El cortatiro es una protección ante revocos de agua y viento y sirve para conducir y evacuar los gases de combustión hacia la chimenea. De esta manera, se garantiza también una alta calidad de combustión en el quemador.

El respaldo o pared posterior sirve como elemento portante del calentador de agua caliente a gas. Por medio de dos aberturas, permite un montaje rápido y seguro en la pared.

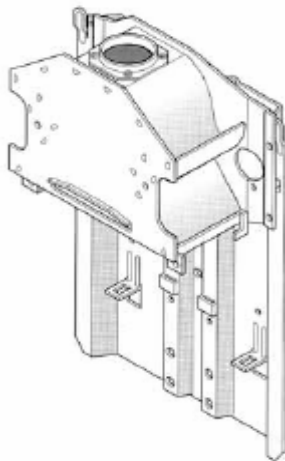


Figura 1.3. Cortatiro y respaldo.

1.1.2.5. El Serpentín o Transmisor de Calor

El transmisor de calor de cobre sirve para una transmisión rápida y eficaz del calor de combustión al agua sanitaria. Debido a su construcción, presenta un alto grado de eficacia. Sus breves tiempos de calentamiento, junto a las láminas de direccionamiento de la llama, proporcionan un alto confort de agua caliente en nuestros aparatos. El fácil desmontaje para la limpieza permite un mantenimiento rápido. Como se ha suprimido el plomo en la superficie de cobre, el material resulta totalmente reciclable y ecológico.

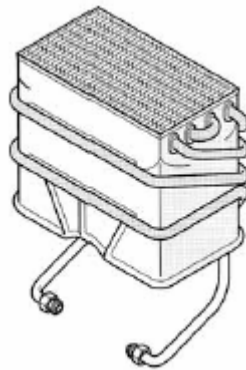


Figura 1.4. Serpentín o Transmisor de calor.

1.1.2.5. Limitador de Temperatura

Si se produce un recalentamiento del transmisor de calor o serpentín por encima de 110 °C, que es cuando empieza a hervir el agua en su interior, el limitador de temperatura desconectará el aparato.

1.1.2.6. Quemador

Un robusto quemador atmosférico se utiliza en todos los aparatos. De acuerdo con la potencia del aparato, se compone de una determinada cantidad de elementos de quemador o inyectores con unos determinados diámetros. Las zonas altas de las rampas del quemador son de acero fino que garantiza una alta

seguridad de funcionamiento y una prolongada vida útil. Gracias a su fácil desmontaje, el quemador se puede limpiar con facilidad.

El quemador se enciende de forma directa mediante encendido eléctrico. El control de las llamas se efectúa con un dispositivo termoelectrónico.

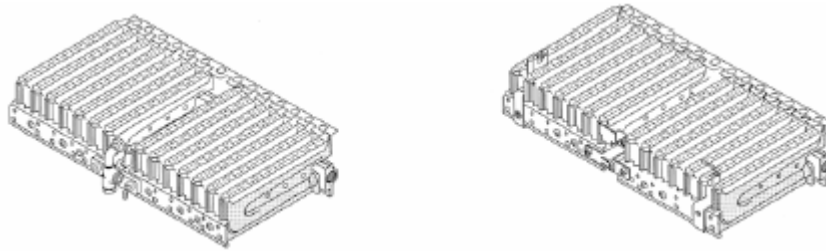


Figura 1.5. Quemador.

1.1.2.7. Encendido por Batería

Un microinterruptor en el aparato detecta la demanda de agua caliente. Una válvula de membrana de gas libera el gas de encendido, mientras que una batería de 1,5 V enciende el quemador de piloto. Este quemador enciende el quemador principal y lo vuelve a apagar. Esta batería alimenta al módulo electrónico que gestiona el encendido.

1.1.2.8. Cuerpo de Gas

El cuerpo de gas de fundición a presión de aluminio, dirige la alimentación de gas hacia el quemador, de acuerdo con la demanda de agua caliente.

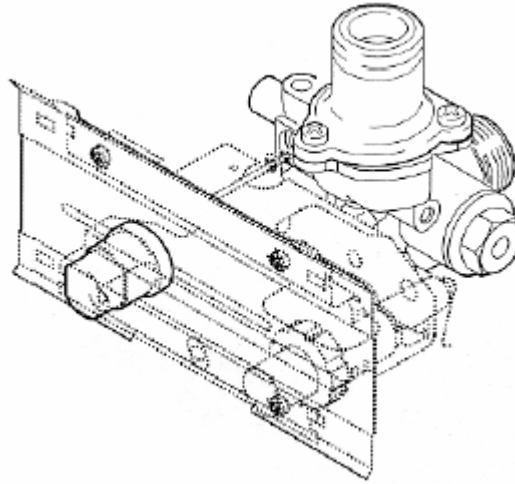


Figura 1.6. Cuerpo de válvula de gas.

1.1.2.9. Cuerpo de Agua

El cuerpo de agua, de poliamida reforzada con fibra de vidrio, con una alta resistencia a la presión, regula el caudal de agua a través del aparato. Un regulador de caudal sirve para mantener constante el caudal de paso. Por medio del selector de caudal de agua, se ajustará de forma manual la cantidad de paso deseada. De esta manera es posible efectuar una adaptación a las necesidades individuales, como, por ejemplo, una alta temperatura y pequeñas cantidades de agua para el fregado o mayor cantidad con una temperatura adaptada para la ducha. También se dispone de cuerpos de agua para puntos de toma a baja presión.

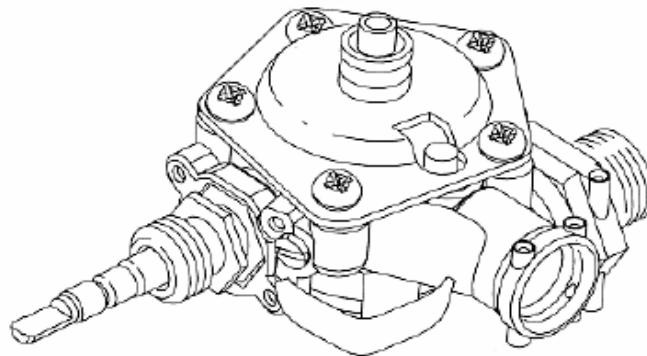


Figura 1.7. Cuerpo de válvula de agua.

1.1.2.10. Demandas de A.C.S. Acumulada Individual en Viviendas

Para el cálculo de demandas de a.c.s. acumulada nos basaremos en la siguiente tabla de consumos orientativos en litros para distintos puntos de consumo:

VIVIENDAS	Consumo (l)	Temperatura uso (°C)	Consumo 40 °C (l)
Lavamanos	2	35	1.7
Lavabo	9	35	7.5
Fregadero 40x40	25	45	29.2
Banera 150 l	150	40	150
Ducha	40	40	40
Baño de asiento	30	42	32
Bide	5	38	4.7

Tabla 1.1. Consumos orientativos en litros para distintos puntos de consumo.

Una vez que determinamos los puntos de consumo a los que debemos alimentar, seguiremos el siguiente procedimiento de cálculo:

- a) Se suman **todas** las demandas de a.c.s. a la temperatura de 40°C, columna en negrita de la tabla 1.1.
- b) La cantidad obtenida de la suma de demanda en l de a.c.s. a 40°C se multiplica por un **coeficiente de simultaneidad K**, dependiente del grado de confort que se pretende dar.

1. Confort reducido **K= 0.5**
2. Confort medio **K = 0.7**
3. Confort elevado **K = 0.9**

La demanda total será igual a:

$$\text{DEMANDA} = K (A+B+C+D+\dots) \quad (\text{Ec 1.1})$$

Ahora buscaremos qué aparato de acumulación puede abastecer esta demanda calculada en l/h en la tabla, tomando el valor de litros suministrado en 1 hora, si disponemos de los datos de demanda por hora o superiores; litros en 1/2 hora, si disponemos de los datos de demanda por 1/2 hora de consumo punta, etc.

1.1.2.11. La Modulación

La palabra modulación está íntimamente ligada al tipo de regulación de la potencia del calentador, es decir, al caudal de gas que llega al quemador principal, que, en definitiva, es equivalente a la mayor o menor apertura de la válvula de regulación del gas.

Podemos definir modulación como autorregulación del caudal de gas entregado al quemador, es decir, autorregulación de la potencia. Se entiende por calentador modulante aquél que regula su potencia de forma automática, él mismo, sin necesidad de accionamiento por parte del usuario. En el caso de calentadores se sigue el principio de ajustar la potencia en el quemador de manera que mantenga constante la temperatura de salida del a.c.s. o mejor, el salto térmico sobre la temperatura de entrada, punto a punto, sin escalonamientos.

1.2. FAMILIA DE MICROCONTROLADORES 8751

En el año de 1976, gracias al aumento en la densidad de integración, salió a la luz la primera computadora en un chip, es decir, se integraron junto con el microprocesador los subsistemas que anteriormente formaban unidades especializadas e independientes, pero unidas por las pistas de circuitos impresos con el microprocesador formando lo que se conoce como sistema mínimo. A este nuevo circuito integrado se le denominó **MICROCONTROLADOR**.

No hay duda que disponer de un chip que cuente con tantos subsistemas, es un gran avance y consecuentemente muy rentable.

Los MICROCONTROLADORES INTEL de 8 Bit integran los siguientes subsistemas.

- Un CPU de 8 bit.
- 256 Byte de RAM interna.
- 4 Kbyte de ROM (8051) ó EPROM (8751) interna.
- 4 Puerto de Entrada /Salida.
- 2 Contadores y temporizadores de 16 bits.
- Circuito de reloj incorporado.
- Bajo consumo de corriente (power down) en las versiones CHMOS.
- Alta inmunidad al ruido eléctrico.
- Ampliación del set de instrucciones con algunas muy potentes para la adquisición y tratamiento de datos, tablas, multiplicación, división, etc.
- Instrucciones lógicas y de brinco orientadas al proceso de señales bit a bit (procesador booleano).
- Espacios de la memoria de programa y de datos separadas (memoria segregada).
- Protección de la memoria de programas (encriptación).
- Comunicación serie estándar con otros sistemas. Tipo Full-Duplex.
- 5 interrupciones programables con niveles de prioridad.

En estos momentos los MICROCONTROLADORES de 8 bits son el estándar para aplicaciones en controladores de mediana complejidad, por su facilidad de manejo y su alto nivel de prestaciones.

Además la arquitectura permite que el MICROCONTROLADOR sea utilizado como Microprocesador. Naturalmente esto trae como consecuencia una reducción de su capacidad autónoma de controlar periféricos a través de sus puertos.

1.2.1. Microcontroladores INTEL 8XXX

Características de la Familia de MICROCONTROLADORES Intel.

Con ROM	sin ROM	con EPROM	ROM	RAM	TIMER	TECNO
8048AH	8040AH	P8748H	1K	64	1	HMOS
8049AH	8039AHL	P8749H	2K	128	1	HMOS
8050AH	8035AHL	No Existen	4K	256	1	HMOS
8051	8031	8751	4 K	128	2	HMOS
8051AH	8031AH	8751H	4 K	128	2	HMOS
8052AH	8032AH	8752BH	8 K	256	3	HMOS
80C51BH	80C31B	87C51	4 K	128	2	CMOS

Tabla 2.1. Familia Microcontroladores Intel.

1.2.2. Descripción de los Pines del Microcontrolador 8751

Vcc: Voltaje de alimentación positiva (+5 Volts.)

Vss: Conexión a tierra (0 volts).

Puertos: Los MICROCONTROLADORES 8751 tienen 4 puertos de 8 bits bidireccionales (P0, P1, P2 y P3). Esto quiere decir que pueden programarse y operar como entrada o salida.

Puerto 0 (P0): Se encarga de multiplexar en el tiempo por sus 8 líneas la parte baja del Bus de direcciones durante el acceso a la memoria externa, y el Bus de datos.

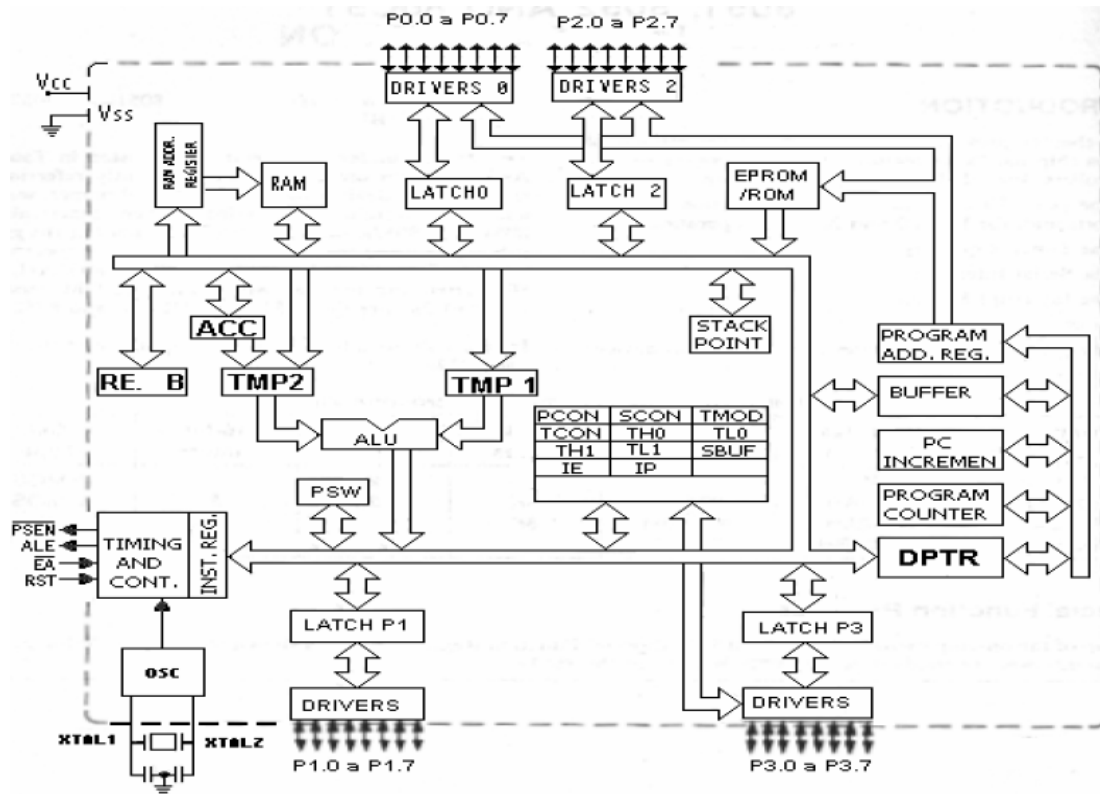


Figura 2.1. Diagrama general de los microcontroladores 8031,8051, 8751.

Puerto 1 (P1): Este puerto además de ser de propósito general también recibe la parte baja de direcciones, durante la programación y verificación de la memoria EPROM interna.

Puerto 2 (P2): El puerto 2 emite la parte alta del Bus de direcciones en los accesos de memoria externa cuando utilizan 16 bits de dirección (MOVX @DPTR, A). Durante el acceso a la memoria de datos externa con direccionamiento de 8 bits (MOVX @R1,A), los pines del Puerto 2 emiten el contenido del registro P2 del SFR (Registro de funciones especiales).

Puerto 3 (P3): Este puerto puede usarse para propósito general cuando trabaja como microcontrolador pero tiene otras funciones especiales cuando trabaja como microprocesador o con acceso a memoria de datos externa, como se muestra en la siguiente Tabla.

Pin	Descripción	Funciones
10	P3.0	RXD (Entrada puerto Serie)
11	P3.1	TXD (Salida puerto serie)
12	P3.2	INT0 (Interrupción 0. Externa) Neg.
13	P3.3	INT1 (Interrupción 1. Externa) Neg.
14	P3.4	T0 (Entrada externa. Timer 0)
15	P3.5	T1 (Entrada externa. Timer 1)
16	P3.6	WR (Autorización escritura de datos) Neg.
17	P3.7	RD (Autorización escritura de datos) Neg.

Tabla 2.2. Descripción funciones especiales Puerto 3.

ALE/PROG: (Address Latch Enable) es un pulso que emite el MICROCONTROLADOR para amarrar el <<byte bajo>> del Bus de direcciones en el acceso a la memoria externa. ALE se emite con una frecuencia de 1/6 de la frecuencia de emisión del reloj.

PROG: Es el pin de entrada de los pulsos de programación de la memoria EPROM lo utiliza solamente el programador de micros.

PSEN: Es la señal de strobe para leer en la memoria de <<programa externo>>. La memoria externa tiene dos modalidades, de programa y de datos. Para diferenciarlas, utiliza la señal PSEN. PSEN no se activa cuando se está ejecutando el programa de la ROM o EPROM interna.

EA/VPP: (External Access), cuando se mantiene un nivel alto, se ejecuta sólo el programa de la EPROM interna, a menos que el contador de programa exceda de FFF (4K) para el 8751. Si EA se mantiene un nivel bajo, se ejecuta el programa de la memoria externa siempre, independientemente de la dirección del programa.

Es decir cuando EA=1 actúa como MICROCONTROLADOR.

EA=0 actúa como MICROPROCESADOR.

VPP: Es la tensión de programación de la EPROM.

XTAL1 y XTAL2: Son la entrada y salida respectivamente, de un amplificador inversor que puede ser configurado para su uso como un chip oscilador. Se puede utilizar indistintamente un cristal de cuarzo o un resonador cerámico.

Reset: Señal de inicialización del sistema. Un reset interno al sistema se produce cuando se pone el pin RST a un nivel alto durante un cierto tiempo, esto se logra de modo automático conectando el pin RST a Vcc mediante un capacitor de 10 μF y a tierra mediante una resistencia de 8.2 k Ω .

Los microcontroladores CHMOS no requieren esta resistencia debido a que cuentan con un pulldown interno en el pin de reset, el capacitor puede ser reemplazado por uno de 1 μF .

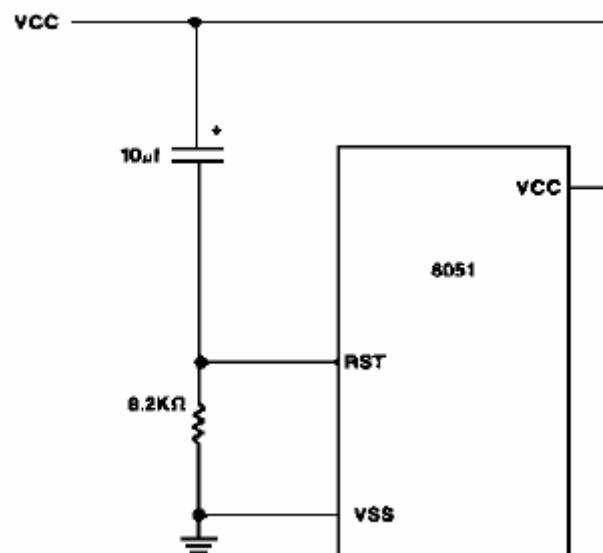


Figura 2.2. Señal de Inicialización del Sistema. (Reset).

1.3. CONFIGURACION DE LA MEMORIA DEL MICROCONTROLADOR 8751

1.3.1. Memoria de Programas y Memoria de Datos.

Los MICROCONTROLADORES 8751 tienen separados los espacios de direcciones para memoria de programa y memoria de datos.

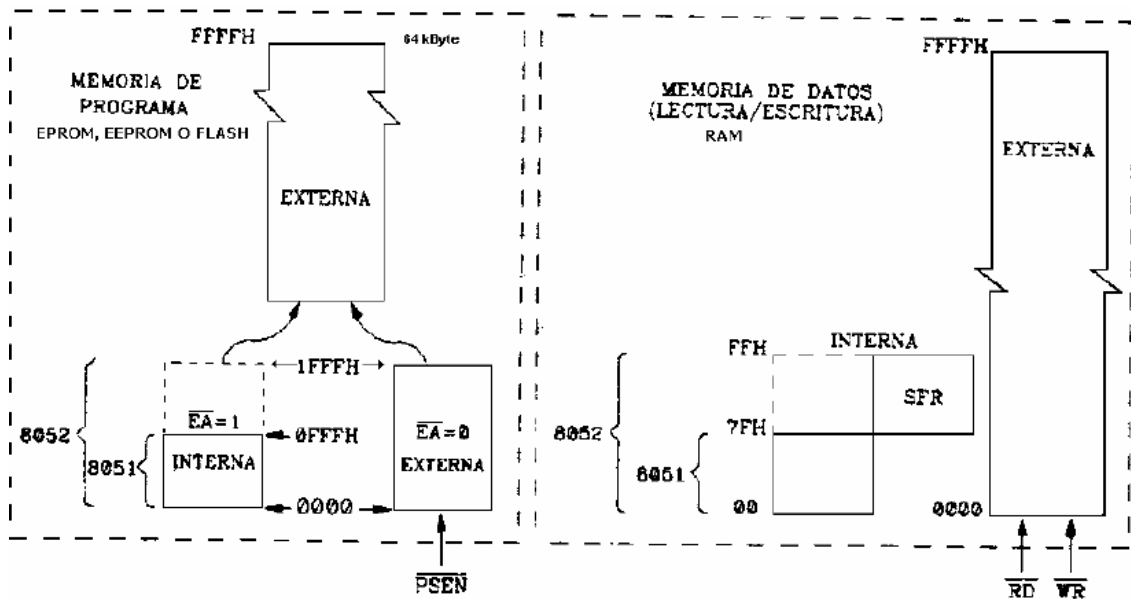


Figura 3.1. Memoria de programa y memoria de datos.

La memoria de programa sólo puede ser leída y tiene como máximo 64K byte externos. (Internamente el 8751 es de 4K byte). La señal de autorización de lectura en la memoria de programa externa es PSEN. El pin EA del MICROCONTROLADOR puesto a Vcc (+5V) indica que el puntero de programa busca direcciones desde la posición de memoria 0000H hasta la 0FFFH de la memoria interna y de la 1000H a la FFFFH, en la memoria externa. Si el pin EA es puesto a Vss (0V), la búsqueda de direcciones del programa se dirige a la memoria externa en todo momento.

1.3.1.1. Memoria de Programa

En la parte baja de la memoria de programa se encuentran ciertas posiciones de memoria especiales asignadas por el fabricante para el tratamiento de las rutinas de interrupciones.

Una interrupción puede ser provocada de manera externa o de manera interna, es decir puede ser producida por un periférico externo o por software. La interrupción con más prioridad es RESET la cual no puede ser enmascarada.

FUENTE DE INTERRUPCION	DIRECCIONES DEL VECTOR
	0FFFH
RI Y TI	0023H...PUERTO SERIE
TF1	001BH...INT TIMER 1
IE1	0013H... INT EXTERIOR 1
TFO	000BH...INT TIMER 0
IE0	0003H...INT EXTERIOR 0
RESET	0000H... RESET

Flag que se activan →

Tabla 3.1. Tratamiento de las rutinas de Interrupciones.

Cuando un RESET ocurre el programa comienza a partir de la dirección 0000H, del programa.

Cuando una interrupción es producida, el Contador de Programa (PC) almacena su contenido temporalmente dentro del SP (apuntador de apilamiento) y se carga con la dirección de la localidad donde se encuentra la rutina de servicio de la interrupción correspondiente. Una vez posicionado en esa localidad deberá de comenzar la ejecución de la rutina de servicio, hasta que encuentre la instrucción RETI, que le permitirá al PC recuperar nuevamente su valor original almacenado en el SP, y continuar con el programa anterior a la interrupción.

Por ejemplo a la interrupción 0, se le asigna la localidad 0003H, si la interrupción no se utiliza, esta localidad puede utilizarse para propósitos generales del programa, si la interrupción ha sido permitida, (estableciendo el bit correspondiente dentro del registro de control IE), en el momento que exista una activación de la interrupción (estado bajo en la línea INT0) el PC se cargará con 0003 y saltará a esa localidad para comenzar a ejecutar la rutina de servicio.

Como se puede observar en la Tabla 3.1 el intervalo físico entre dos interrupciones es de 8 bytes, espacio capaz de albergar una pequeña rutina, pero si éste no fuera suficiente se desviaría el contador del programa (PC) mediante una instrucción de salto (JMP) a una zona amplia de la memoria de programa capaz de contener dicha rutina.

Como se ha dicho la memoria de programa puede ser interna (en el propio micro) ó externa (en otro chip). La selección se realiza por hardware, con la señal **EA** (External Access). Conectado a Vcc ó Vss respectivamente.

El hardware de configuración del Microcontrolador como Microprocesador utilizando memoria de programa externa se muestra a continuación.

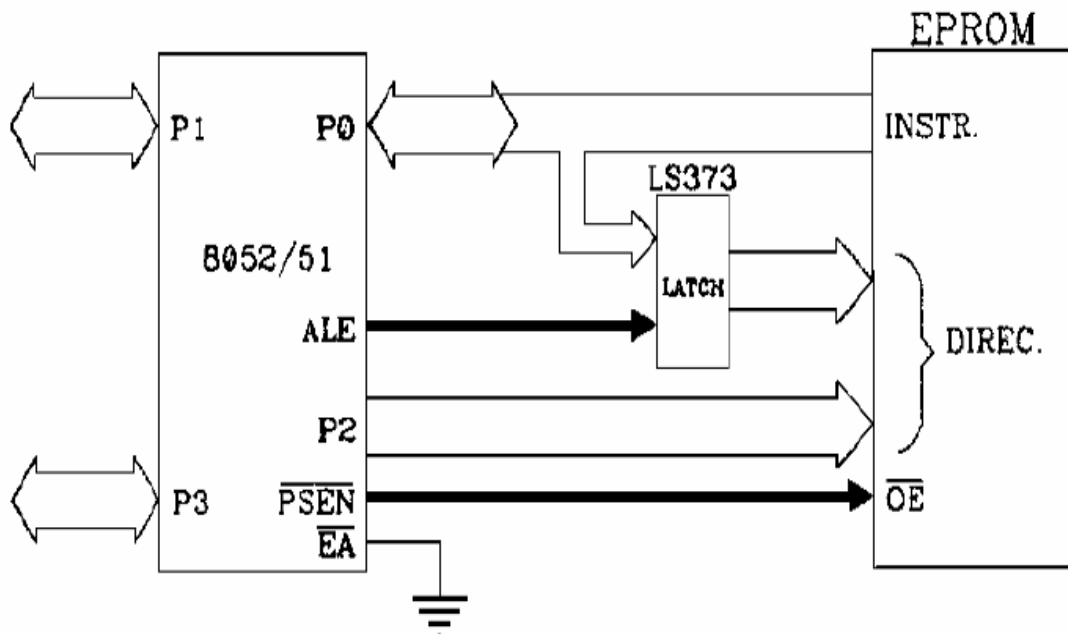


Figura 3.2. Hardware de configuración del Microcontrolador como Microprocesador utilizando memoria de programa externa.

Se puede observar en la Figura 3.2 que las 16 líneas de dirección corresponden al Puerto 0 y al Puerto 2, que están dedicados como bus de direcciones; aun más el Puerto 0 sirve como bus de direcciones y bus de datos multiplexado en el tiempo. Esta operación característica de la familia de Microprocesadores Intel, se realiza de la siguiente forma.

El Puerto P0 emite el <<byte bajo>> del contador del programa PC (PCL). Una vez estabilizada la señal sobre P0, la señal ALE (Address Latch Enable) introduce esta dirección dentro del circuito integrado latch 74LS373, que pasa a apuntar la dirección de la memoria externa de programas. Al mismo tiempo que el Microcontrolador emite el PCL por P0, la parte alta del contador del programa (PCH) se emite por P2. Entonces PSEN autoriza la lectura al Microcontrolador del

código de instrucción a través del Puerto P0. En la siguiente figura se muestra el funcionamiento y diagramas de tiempos de esta operación.

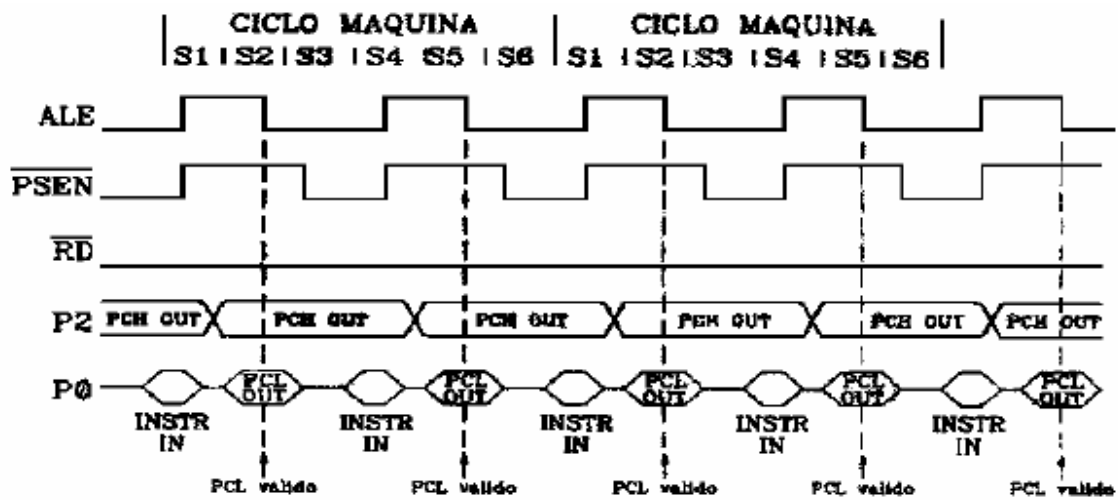


Figura 3.3. Ciclo máquina de búsqueda en la memoria de programa externa.

1.3.1.2. Ciclo Máquina

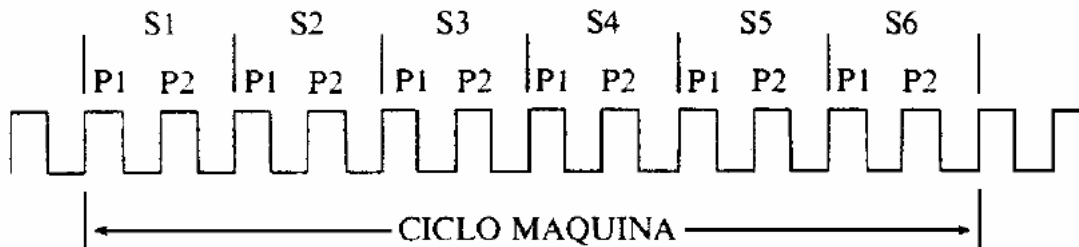


Figura 3.4. Ciclo Máquina.

Un ciclo máquina, para esta familia de Microcontroladores, consiste en una secuencia de 6 <<estados>>, nombrados S1 a S6. Cada estado esta formando dos periodos de la señal de reloj que se denominan <<fases>> (fase 1 y fase 2). Teniendo en cuenta que cada ciclo máquina tiene 12 periodos (6 estados por 2 fases), si el oscilador genera una señal de reloj de una frecuencia de 12 Mhz, la duración del ciclo máquina será de 1 μ segundo.

La secuencia de búsqueda/ejecución son las mismas, sea la memoria de programas interna o externa al Microcontrolador; es decir, los tiempos de ejecución no dependen de que se utilice la memoria interna o externa.

La figura 3.5 muestra el diagrama de tiempos de las señales implicadas en la secuencia de búsqueda, cuando la memoria de programa es externa. La señal PSEN se activa dos veces por ciclo de maquina, para autorizar la lectura en la memoria de programa. Si se produce un acceso a la memoria de datos, no se emiten los dos impulsos PSEN, puesto que el acceso a la memoria de datos no los necesita ni utiliza.

Observe como el acceso a la memoria de datos toma dos ciclos más de BUS que la memoria de programas. Las figuras 3.3 y 3.4 muestran los diagramas de tiempos relativos a ambas secuencias de acceso, destacando la emisión de direcciones por P0 y P2, y las señales ALE y PSEN. La señal ALE se utiliza para latched el <<byte bajo>> de direcciones dentro del latch.

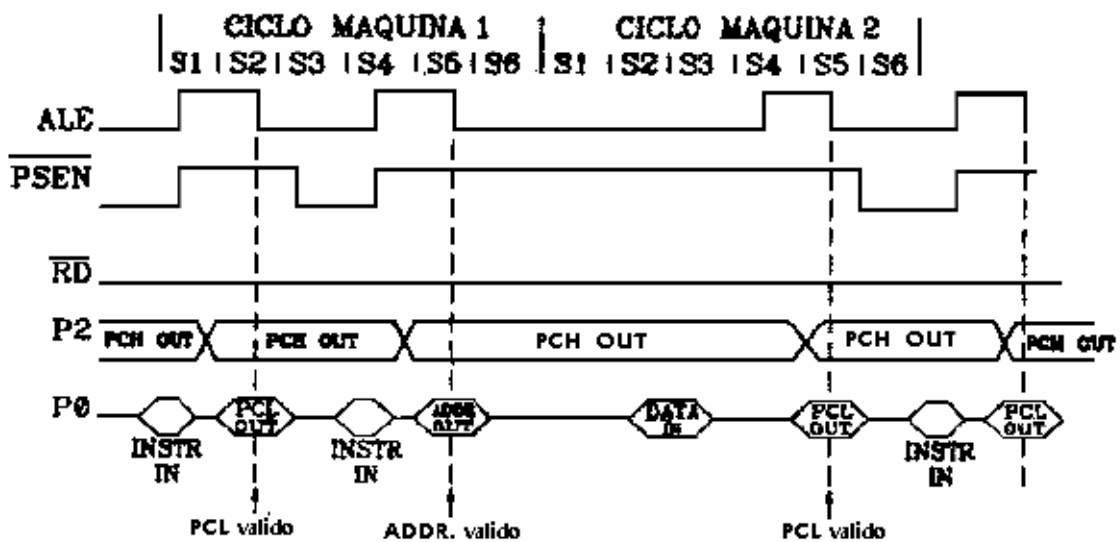


Figura 3.5. Búsqueda en la memoria de programas y en la memoria de datos.

Cuando el CPU esta ejecutando un programa en la memoria interna PSEN no se activa y las direcciones no se emiten por los puertos. Sin embargo ALE se sigue emitiendo dos veces por cada ciclo de maquina, pudiendo ser utilizada como señal de reloj externo.

No obstante, como se puede ver en la figura 3.4, cuando se accesa a un operando utilizando la instrucción MOVX, la señal ALE desaparece.

En la figura se puede observar cómo se realiza un acceso a la memoria externa de programas para tomar una instrucción y en el segundo ciclo de accede a la memoria de datos externa para tomar datos.

1.3.1.3. Memoria de Datos

El 8751 puede direccionar hasta 64 kbytes de memoria de datos externa. En la figura 2.9 se puede ver el mapa de memoria de datos. La memoria interna se encuentra dividida en dos bloques, los 128 bytes bajos y el espacio ocupado, en parte, por los Registros de Funciones Especiales (SFR).

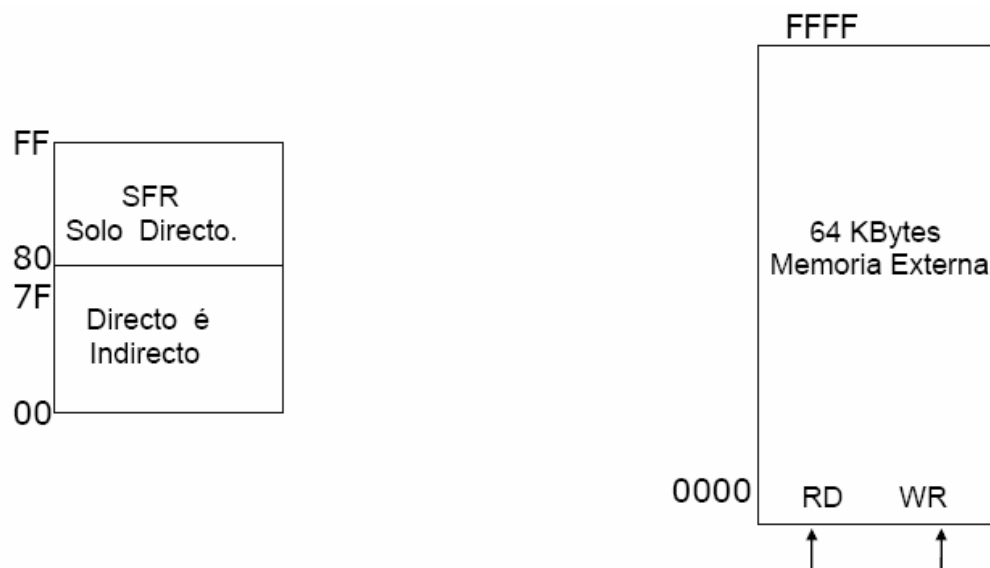


Figura 3.6. Mapa de memoria de datos.

En la memoria de datos interna se puede acceder a un total de 256 bytes para el 8751 incluido el área de los registros especiales (SFR).

1.3.2. Área de Direccionamiento Directo e Indirecto.

Los 128 bytes a los que puede acceder desde ambos direccionamientos, directo e indirecto, pueden ser divididos en tres segmentos.

Banco de registros (banco 0, 1, 2 y 3). Registros R0 a R7 por banco. Los registros se localizan desde la dirección 00H a 1FH (32 bytes).

Después de un Reset, el banco operativo por default es el banco 0. La selección de otro banco de registros debe hacerse por software escribiendo en el registro de estado PSW.

Dirección Inicial		Dirección Final
00H	Banco 0	07H
08H	Banco 1	0FH
10H	Banco 2	17H
18H	Banco 3	1FH

Figura 3.7. Banco de registros.

El reset inicializa el Stack Pointer (SP) en la posmem 07H y se incrementa inmediatamente a la posmem 08H, que es el primer registro R0 del segundo banco de registros, el SP se puede inicializar en otra localización de memoria.

1.3.2.1. Subárea Direccional Bit a Bit

Esta área tiene una longitud de 16 bytes (del segmento 20H a 2FH). Cada uno de los 128 bits de este segmento se puede direccionar directamente (00H a 7FH).

Los bits se pueden direccionar por los bytes que contiene (20H a 2FH). Esto es, los bits 0 al 7 pueden ser referidos como los bits 20.0 a 20.7, etc.

20H	27H
28H	2FH

Figura 3.8. Subárea direccionable bit a bit.

1.3.2.2. Subárea Scratch Pad

La memoria scratch pad se entiende como la memoria común es decir un block de

notas de rápido acceso, pero de escasa capacidad. Ocupa las posiciones de memoria 30H a 7FH 80 Bytes. Es la memoria de trabajo RAM del usuario.

30H	3FH
40H	4FH
50H	5FH
60H	6FH
70H	7FH

Figura3.9. Subárea scratch pad.

1.3.3. Área de Registros o Funciones Especiales.

La siguiente tabla muestra los registros especiales que utiliza el 8751, así como sus direcciones.

No.	Símbolo	Nombre		Dirección
1.	*ACC	Acumulador	Acumulador.	0E0H
2.	*B	Registro B	Registro B.	0F0H
3.	*PSW	Program Status Word	Palabra de Estado del Programa.	0D0H
4.	SP	Stack Pointer	Puntero de la memoria de la PILA.	81H
5.	DPTR	Data Pointer 2 Bytes	Apuntador de datos.	-----
6.	DPL	Low Byte del DPTR	Byte bajo.	82H
7.	DPH	High Byte del DPTR	Byte alto.	83H
8.	*P0	Port 0	Puerto 0	80H
9.	*P1	Port 1	Puerto 1	90H
10.	*P2	Port 2	Puerto 2	0A0H
11.	*P3	Port 3	Puerto 3	0B0H
12.	*IP	Interrupt Priority Control	Control de prioridad de interrupciones.	0B8H
13.	*IE	Interrupt Enable Control	Control de autorización de Interrupciones.	0A8H
14.	TMOD	Timer/Counter Mode Control	Control Modo Temporizador/Contador.	89H
15.	*TCON	Timer/Counter Control	Control Temporizador/Contador.	8CH
16.	TH0	Timer/Counter 0 High Byte	Byte alto temporizador/Contador 0	88H
17.	TL0	Timer/Counter 0 Low Byte	Byte bajo temporizador/Contador. 0	8AH
18.	TH1	Timer/Counter 1 High Byte	Byte alto temporizador/Contador 1	8DH
19.	TL1	Timer/Counter 1 Low Byte	Byte bajo temporizador/Contador. 1	8BH
20.	*SCON	Serial Control	Control de comunicación serie.	98H
21.	SBUF	Serial Data Buffer	Buffer de datos de comunicación serie.	99H
22.	PCON	Power Control	Control de consumo de potencia.	87H

*= Registros Direccional bit a bit.

Tabla 3.2. Registros o Funciones Especiales.

ACC: Acumulador: Es un registro de propósito general y por su frecuencia de intervención, el más importante.

B: Registro B es usado durante operaciones de multiplicación y división, para otras instrucciones puede ser tratado como un registro común.

PSW: Program Status Word: Contiene información del estado del CPU en cada ciclo de instrucción.

SP: Stack Pointer: es un registro de 8 bits, este se incrementa antes de que el dato sea almacenado, con un Push o Call. El Stack puede residir en cualquier lugar de la RAM. El Stack Pointer es inicializado a 07H después de un reset, esto hace que el Stack empiece en la localidad 08H.

b7	b6	b5	b4	b3	b2	b1	b0
CY	AC	F0	RS1	RS0	OV	-	P
BIT	NOMBRE Y COMENTARIO						
b0	P: bandera de paridad del Acumulador (ACC). - Si P=1 el número de unos en el ACC es impar. - Si P=0 el número de unos en el ACC es par.						
b1	Bandera disponible por el usuario.						
b2	OV: Bandera de Overflow.						
b3-b4	RS₀-RS₁: Selección del banco de registros. 0 - 0 Banco 0 (00-07H) 1 - 0 Banco 1 (08-0FH) 0 - 1 Banco 2 (10-17H) 1 - 1 Banco 3 (18-1FH)						
b5	F0: Bandera 0. De propósito general. Definida por el usuario.						
b6	AC: Bandera de acarreo Auxiliar. Para operaciones en BCD.						
b7	C: Bandera de Acarreo.						

Tabla 3.4. Información del estado del CPU en cada ciclo de instrucción.

DPL y DPH: Data Pointer: Este registro puede ser manipulado como un registro de 16 bits o como dos registros de 8 bits.

P0, P1, P2, P3: Son registros "Latches" de los puertos 0, 1, 2, 3 respectivamente.

1.4. PROGRAMACION DE LOS MICROCONTROLADORES

Todos los modelos de la familia MCS-51 ejecutan el mismo set de instrucciones.

Estas instrucciones están optimizadas para el control de aplicaciones de 8 bits.

1.4.1. Lenguaje Ensamblador

Un programa en lenguaje ensamblador es un conjunto de instrucciones que se pueden convertir en un programa ejecutable en lenguaje máquina. Estas instrucciones se dividen en tres categorías:

- 1) **Pseudoinstrucciones (Directivos)**, se emplean para proporcionar información con el fin de convertir el programa de ensamblador a una versión en lenguaje máquina.
- 2) **Descriptores de Datos**, utilizados para definir valores constantes y reservar posiciones de memoria de datos necesarias en el programa.
- 3) **Instrucciones Ejecutables**, equivalentes a las instrucciones en lenguaje máquina.

1.4.1.1. Instrucciones Ejecutables

Cada instrucción ejecutable en lenguaje ensamblador es una representación simbólica de una instrucción en lenguaje máquina. Por lo tanto, la instrucción en lenguaje ensamblador debe definir la operación aritmética - lógica; el modo de direccionamiento y el operando, dirección o desplazamiento de la dirección cuando sea necesario. Además las instrucciones ejecutables en lenguaje ensamblador suelen contener una sentencia o comentario que indica la razón fundamental de la instrucción. Por último, es frecuente asignar una etiqueta, o nombre a una función, para facilitar su referencia. Toda esta información se organiza en cuatro campos:

Campo Etiqueta.	:	Campo Operación		Campo Operando	;	Campo Comentario
-----------------	---	-----------------	--	----------------	---	------------------

Figura 4.1. Campos de instrucción ejecutable en lenguaje ensamblador.

Las instrucciones en los microprocesadores son actualmente una secuencia de 0 y 1's que representan la operación que se ejecutara. La notación hexadecimal es usada para abreviar la representación de la instrucción. Una forma fácil de escribir y entender un programa es escribirlo en Lenguaje ensamblador. En lenguaje ensamblador, la combinación de bits es representada por un nombre o un mnemónico al cual le corresponde la acción de la instrucción. Por ejemplo la instrucción del 8051 que **suma** el contenido del registro **R7** con el Acumulador **A** es representada por:

00101111B ó 2FH. En ensamblador ADD A, R7

Esta representación es llamada Lenguaje Maquina debido a que esta representación es la que utiliza el Microprocesador. Esta instrucción tiene dos campos distintos, estos campos son la operación y el registro fuente, como se muestra en las tablas de instrucciones.

A continuación se presentarán los modos de direccionamiento y el set de instrucciones agrupado por especialidades de la siguiente manera:

- Instrucciones aritméticas.
- Instrucciones lógicas.
- Instrucciones para la transferencia de datos en:
 - RAM interna.
 - RAM externa.

- Instrucciones para el tratamiento de tablas.
- Instrucciones Booleanas.
- Instrucciones de salto.

1.4.2. Modos de Direccionamiento

1.4.2.1. Direccionamiento Directo

En este direccionamiento el operando se especifica en la instrucción por un campo de dirección de 8 bits. Sólo la RAM interna de datos (primeros 128 bytes) y la zona de SFR se pueden direccionar de esta forma.

1.4.2.2. Direccionamiento Indirecto

La instrucción especifica un registro que contiene la dirección del operando. Tanto la memoria RAM interna, como la externa se pueden direccionar indirectamente.

Los registros para direccionar sobre el mapa de 8 bits son el R0 y R1 del banco de registros seleccionado, o el Stack Pointer. El registro para direccionar sobre 16 bits sólo puede ser el DPTR.

1.4.2.3. Direccionamiento por Registro

Los Microcontroladores 8751, contienen cuatro bancos seleccionados por los bit 3 y 4 del PSW, y cada banco de registros tiene ocho registros del R0 al R7. El propio código de operación de la instrucción especifica con qué registro se opera; es decir, cuando la instrucción es ejecutada se accede a uno de los 8 registros del banco seleccionado y en la mayoría de los casos son más rápidas.

1.4.2.4. Direccionamiento Implícito

En estas instrucciones se especifica, implícitamente, el registro sobre el que van a operar, como el acumulador, el puntero de datos, etc. No necesitan especificar el operando por que está implícito en el código de operación.

1.4.2.5. Direccionamiento Inmediato

Al código de operación le sigue una constante en la memoria de programas.

1.4.2.6. Direccionamiento Indexado

Este direccionamiento sólo es posible en la memoria de programas y sólo permite la lectura. Es utilizado para la lectura de tablas. Un registro base de 16 bits (el DPTR o el Contador del Programa) apunta a la base de la tabla y el contenido del acumulador es el offset que permite acceder a la lectura de esa posición de la tabla.

MOVC A, @A+DPTR; Mueve una *constante que se encuentra* en la, memoria del programa.

El Acumulador es, cargado con el dato que se encuentra apuntado por la dirección formada por la suma del Acumulador A y el Apuntador de Datos.

MOVC A,@A+PC; El Acumulador es cargado con dato que se encuentra, en la dirección formada por la suma del mismo Acumulador A y el Contador del Programa (PC).

1.4.3. Ciclo de Instrucción

La ejecución de un ciclo de instrucción comienza en el estado 1 del ciclo máquina, cuando el código de operación es almacenado en el Registro de Instrucción.

Como norma general, una instrucción requiere de uno o más ciclos máquina, en función de:

- a) El código de operación
- b) El número de bytes

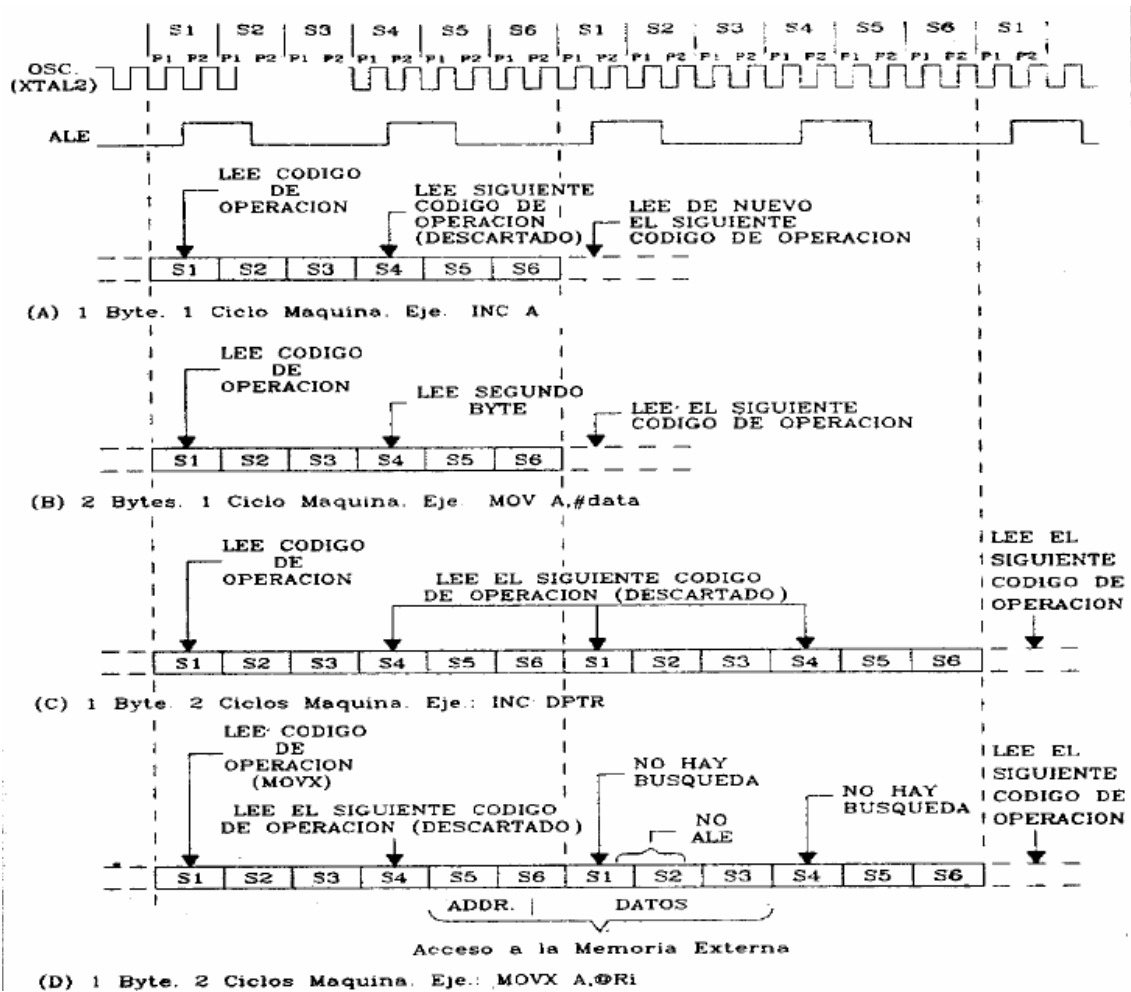


Figura 4.2. Ciclo de Instrucción.

1.4.4. Tipos de Instrucciones

El set de instrucciones de Intel MCS-51 se puede dividir según las especialidades:

- Instrucciones aritméticas,

- Instrucciones lógicas.
- Instrucciones de transferencia de datos.
- Instrucciones booleanas.
- Instrucciones de salto.

Las instrucciones aritméticas, lógicas, de transferencia y de salto son comunes en la mayoría de microprocesadores. Los microcontroladores tiene un área especial de aplicación, que es el área del control de procesos; en este campo las operaciones están orientadas, muy a menudo, a bits. Los microcontroladores leen, procesan, escriben e intercambian información con los sistemas exteriores, en formato <<bit a bit>> o <<palabra a palabra>>. Un procesador booleano con un set de instrucciones booleanas muy completo se encarga de realizar este tipo de operaciones. Esta particularidad, así como su inmunidad al ruido eléctrico, le hacen valioso en el mundo del control de procesos industriales.

El set de instrucciones, 111 en total, de la familia 51; en las tablas simplificadas que utilizaremos primero solo cuentan con 69 instrucciones. La razón de esta diferencia está en la propia tabla y justamente en la columna encabezada por <<modos de direccionamiento>>. Esto quiere decir que según los direccionamientos una instrucción puede tener hasta cuatro códigos de operación y operandos distintos.

En las **tablas simplificadas** también se indica el posible flag (C= Carry, OV= overflow, AC= Auxiliar Carry) afectado por la instrucción.

En algunas tablas no son afectados los flags, y esto se indica con un mensaje en la parte inferior de las mismas.

Los tiempos de ejecución se han tomado utilizando como referencia una frecuencia de reloj de 12 MHz.

1.4.4.1. Instrucciones Aritméticas

En la tabla 4.1 se muestra el menú de las instrucciones aritméticas. Se indican los modos de direccionamiento que permite la instrucción y los flags afectados. Los tiempos de ejecución que se indican en la tabla están evaluados sobre una frecuencia de reloj de 12 MHz.

Nemónico	Operación	Modos de direccionamiento				Tiempo de Ejecución μs	Flag afectados		
		Dir	Ind	Reg	Imm		C	OV	AC
ADD A,<byte>	A=A+<byte>	X	X	X	X	1	X	X	X
ADDC A,<byte>	A=A+<byte>+C	X	X	X	X	1	X	X	X
SUBB A,<byte>	A=A-<byte>-C	X	X	X	X	1	X	X	X
INC A	A=A+1	Accumulator only				1			
INC <byte>	<byte>=<byte>+1	X	X	X		1			
INC DPTR	DPTR=DPTR+1	Data pointer only				2			
DEC A	A=A-1	Accumulator only				1			
DEC <byte>	<byte> = <byte> -1	X	X	X		1			
MUL AB	B:A = B x A	ACC and B only				4	0	X	
DIV AB	A = int [A/B] B = Mod [A/B]	ACC and B only				4	0	X	
DA A	Decimal Adjust	Accumulator only				1	X		

Tabla 4.1. Instrucciones Aritméticas.

Al leer dicha tabla se observa que:

- Se puede incrementar o decrementar un byte en la memoria de datos interna sin la intervención del acumulador.
- Una de las instrucciones INC opera sobre los 16 bits del puntero de datos (DPTR).
- La instrucción MUL AB multiplica el contenido del acumulador con el dato situado en el registro B y el producto, en formato 16 bits, aparece en los registros Acumulador y B (Sobreescribe a los operandos).
- La instrucción DIV AB divide el contenido del acumulador con el dato contenido en B, apareciendo el resultado, cociente, en el acumulador y el resto en el registro B.

1.4.4.2. Instrucciones Lógicas

La tabla 4.2 muestra la lista de instrucciones lógicas y los modelos de direccionamiento que permiten así como los flags afectados.

Nemónico	Operación	Modos de direccionamiento				Tiempo de Ejecución μ s	Flag afectados		
		Dir	Ind	Reg	Imm		C	OV	AC
ANL A,<byte>	A=A.AND.<byte>	X	X	X	X	1			
ANL <byte>,A	<byte>=<byte>.A	X				1			
ANL <byte>,#data	<byte>=<byte>.And.	X				2			
ORL <byte>	A=A.OR.<byte>	X	X	X	X	1			
ORL <byte>, A	<byte>=<byte>.OR.A	X				1			
ORL <byte>. # data	<byte>=<byte>.OR.# data	X				2			
XRL A,<byte>	A =A.XOR.<byte>	X	X	X	X	1			
XRL <byte>, A	<byte>=<byte> .XOR. A	X				1			
XRL <byte> , #data	<byte>=<byte> .XOR. #data	X				2			
CLR A	A=00H	Accumulator only				1			
CPL A	A=.NOT.A	Accumulator only				1			
RL A	Rotate ACC Left 1 bit	Accumulator only				1			
RLC A	Rotate left through Carry	Accumulator only				1	X		
RR A	Rotate ACC Right 1 bit	Accumulator only				1			
RRC A	Rotate Right through Carry	Accumulator only				1	X		
SWAP A	Swap Nibbles in A	Accumulator only				1			

Tabla 4.2. Instrucciones Lógicas.

La duración de ejecución de 1 ó 2 microsegundos considerando un cristal de 12 MHz.

- Las primeras instrucciones corresponden a las operaciones AND, OR, EXOR y NOT.
- Continuando con el set de instrucciones, aparecen instrucciones de manipulación de la información, como las instrucciones de Rotación y de intercambio (SWAP).
- Las instrucciones de Rotación RL y RR A desplazan el acumulador 1 bit a la izquierda y derecha, respectivamente, sin afectar al bit de acarreo.

- Las instrucciones de Rotación RLC A y RRC A desplazan el contenido del acumulador implicando al bit de acarreo.
- La instrucción SWAP A intercambia los nibbles en el acumulador. Generalmente se utiliza en las manipulaciones de números en BCD.

1.4.4.3. Instrucciones de Transferencia de Datos

Se consideran tres modalidades, según la transferencia se realice sobre:

- La RAM interna.
- La RAM externa.
- La memoria de programa para el tratamiento de tablas.

1.4.4.3.1. Movimiento de Datos sobre la RAM Interna

En la tabla 4.3 se muestra las instrucciones disponibles para mover datos dentro de los espacios de memoria RAM interna, considerando los distintos direccionamiento para cada una de las instrucciones.

- La instrucción MOV <dest>, <src> permite transferir datos entre alguna de las dos RAM interna o el espacio de localización del SRF. Este tipo de instrucción permite la transferencia sin el concurso del acumulador.
- La instrucción MOV DPTR.# data 16 bits, permite transferir datos de 16 bits para inicializar el DPTR (Data pointer = puntero de datos) en el tratamiento de tablas en la memoria de programas o para acceder a los datos de la memoria externa.

Nemónico	Operación	Modos de direc.				Tiempo de ejecución (µs)
		Dir	Ind	Reg	Imm	
MOV A,<src>	A=<src>	X	X	X	X	1
MOV <dest>, A	<dest> = A	X	X	X		1
MOV <dest>, <src>	<dest> = <src>	X	X	X	X	2
MOV DPTR, #data 16	DPTR= 16-bit immediate constant.				X	2
PUSH <src>	INC SP : MOV "@SP", <src>	X				2
POP <dest>	MOV <dest>, "@SP" :DEC SP	X				2
XCH A,<byte>	ACC and <byte> exchange data	X	X	X		1
XCHD A, @Ri	ACC and @ Ri exachange low nibbles		X			1

Tabla 4.3. Movimientos de datos sobre la RAM interna.

No son afectados los flags.

- La instrucción PUSH <src> actúa incrementando el SP (stack pointer = puntero de la pila) y copiando el dato dentro de la pila. La instrucción POP <dest> actúa decrementando el SP y reponiendo el dato en su registro. La pila está situada dentro de la RAM interna, por defecto en el banco de registros 1, pero puede posicionarse en el área SCRATCH PAD, como se ha indicado anteriormente.
- La instrucción XCH A,<bite>, intercambia los datos del acumulador y del byte direccionando. La instrucción XCHD A,@Ri es similar a la anterior, pero sólo implica en el intercambio el nibble bajo; es una instrucción especializada en la manipulación de datos en el código BCD.

1.4.4.3.2. Transferencia de Datos sobre la RAM Externa

La tabla 4.4 muestra la lista de instrucciones sobre transferencia de datos que acceden a la memoria de datos. Sólo se puede utilizar el direccionamiento indirecto con este grupo de instrucciones.

Conviene observar que para este tipo de acceso siempre interviene el acumulador como registro fuente o destino.

Dirección con	Nemónico	Operación	Tiempo de ejecución (μ s)
8 bits	MOVX A, @Ri	Read external RAM @ Ri	2
8 bits	MOVX @Ri	Write external RAM @Ri	2
16 bits	MOVX A, @ DPTR	Read external RAM @DPTR	2
16 bits	MOVX @DPTR,A	Write external RAM @DPTR	2

Tabla 4.4. Transferencia de datos sobre la RAM externa.

No son afectadas las banderas.

El usuario debe escoger entre el tipo de instrucción MOVX A, @Ri o MOVX @Ri,A (siendo Ri, bien el registro R0 o R1 del banco de registros seleccionado), direccionando con 8 bits o bien utilizando un direccionamiento de 16 bits, usando el registro DPTR (MOVX A,@DPTR o MOVX @DPTR,A) y tener que sacrificar el puerto 2, cuando sólo se va a utilizar un pequeño espacio de memoria RAM. Existe una solución intermedia que permite direccionar sólo unos pocos kbytes de RAM externa, pero obteniendo algunas líneas hábiles del puerto 2 como entradas y salidas (E/S). De todas formas la solución adecuada debe ser función de las características que necesita la aplicación. Suponiendo, en principio, que la implementación de la misma sobre la elección de los microcontroladores 8052/8051 sea la correcta.

Las líneas de control de lectura y escritura, RD y WR (pines 16 Y 17), sólo son utilizadas cuando se ejecutan las instrucciones MOVX; si no se va a utilizar memoria RAM externa, es obvio que se ganarán una líneas extras de E/S.

1.4.4.4. Instrucciones Booleanas

Estos microcontroladores poseen dos áreas que permiten el direccionamiento <bit a bit>:

Una corresponde al segmento de RAM interna de dirección comprendida entre la posmen 20 a 2FH, en total 128 bits y la otra corresponde a los registros marcados con asterisco en el área de SFR.

El conjunto de instrucciones que permiten este tipo de procesos, tan interesante para las aplicaciones industriales, se encuentran relacionado en la siguiente tabla:

Nemónico	Operación	Tiempo de ejecución (us)	C	OV	AC
ANL C. Bit	C = C . AND. Bit	2	X		
ANL C./bit	C= C. AND. NOT . BIT	2	X		
ORL C.bit	C=C .OR.bit	2	X		
ORL C./bit	C=C .OR..NOT.bit	2	X		
MOV C.bit	C = bit	1	X		
MOV bit.C	bit = C	2	X		
CLR C	C = 0	1	0		
CLR bit	bit = 0	1			
SETB C	C = 1	1	1		
SETB bit	Bit = 1	1			
CPL C	C = .NOT.C	1	X		
CPL bit	Bit = .NOT. bit	1			
JC rel	Jump jf C = 1	2			
JNC rel	Jump if C =0	2			
JB bit. rel	Jump if bit = 1	2			
JNB bit. rel	Jump if bit = 0	2			
JBC bit. rel	Jump if bit =1; CLR BIT	2			

Tabla 4.5. Instrucciones Booleanas.

Las instrucciones que aparecen en las tablas son: MOVE, SET, CLEAR, NOT, OR y AND.

Se observa cómo en casi todas las instrucciones se hace referencia al flag Carry (C).

Se podría decir que cumple todas las características que tiene el acumulador en el procesamiento de palabras. El flag Carry se direcciona directamente dentro de la palabra de estado PSW, en la posición <<bit7>>.

Todos los bits del PSW son direccionables bit a bit, como todos los registros señalados del SRF. Es importante reseñar la presencia del flag F0 (b5 del PSW) de propósito general, disponible como flag del usuario.

Hay instrucciones que producen el salto cuando el bit direccionado está en estado <<1>>, como son las instrucciones JC, JB y JBC; también están las que producen el salto cuando el bit direccionado está puesto <<0>>, como son las instrucciones JNC, y JNB. JBC Produce el salto si el bit direccionado es <<1>> y pone a <<0>>este bit, siendo la única instrucción que detecta y pone a <<0>> el bit direccionado.

1.4.4.5. Instrucciones de Salto

Un programa es una secuencia de instrucciones que el contador de programa (PC) rompe en función de:

- a) Haber concluido la secuencia de instrucciones y salta a otra o recomienza la misma. Este es un salto Incondicional.
- b) La palabra de estado del programa (PSW) o del estado de uno o más bits de la entrada /salida de periféricos. Este es un salto condicional.

1.4.4.5.1. Instrucciones de Salto Incondicional

La tabla 4.6 muestra la lista resumida de los saltos incondicionales. Aunque sólo figure la instrucción <<JMP addr>>, de hecho hay tres tipos: SJMP. LMP, y AJMP, que difieren en el formato de la dirección de salto.

Nemónico	Operación	Tiempo de ejecución (us)
JMP addr	Jump to addr	2
JMP @A + DPTR	Jump to A + DPTR	2
CALL addr	Call subroutine at addr	2
RET	Return from subroutine	2
RETI	Return from interrupt	2
NOP	No operation	1

Tabla 4.6. Instrucciones de Salto.

No son afectadas las banderas.

SJMP rel: (short jump). La dirección destino del salto viene dada por un <<offset relativo>>, igual que en las instrucciones de salto booleanas. La instrucción tiene dos bytes, correspondientes al código de operación y al byte de offset relativo. El rango del salto está limitado a -128 y + 127 byte relativos.

Al primer byte siguiente a la instrucción de salto.

LJMP addr 16: (Long jump). La dirección destino del salto viene dada por una constante de 16 bits. La instrucción está formada por 3 bytes, 1 byte para el código de operación y 2 para la dirección del salto. Por tanto, la dirección de destino está ubicada dentro del área de los 64K de la memoria de programa.

AJMP addr 11: (Absolute jump). La dirección destino del salto viene dada por una constante de 11 bits. La instrucción tiene 2 bytes, uno para el código de operación que también contiene en sí misma 3 de los 11 bits de direcciones, y otro byte que contiene los 8 bits bajos de la dirección de destino.

Por tanto, el destino del salto tiene que estar comprendido dentro del bloque de los 2 K bytes referenciado respecto a la siguiente instrucción a la del salto.

En cualquier caso, el programador especifica la dirección de destino, bien como una etiqueta o como una dirección constante de 16 bits, en el programa escrito en lenguaje ensamblador. Este se encarga de darle el destino. En el formato correcto, según el código de operación. Si este formato no soporta la distancia del salto. Aparecerá un mensaje como éste << Destination out of range>>. Que nos previene del error.

JMP @A+DPTR: Se trata de una instrucción de salto indirecto, suma el byte contenido en el acumulador con los 16 bits del puntero de datos (DPTR) y carga el resultado de la suma en el contador de programa (PC). Esta será la dirección para la subsiguiente búsqueda de la instrucción.

RET: Las subrutinas terminan su ejecución con la instrucción RET, que es la instrucción que indica la vuelta al programa principal, justo en la dirección de memoria de la instrucción siguiente a la instrucción CALL.

RETI: Utilizada para retornar de las rutinas del servicio de interrupciones.

1.4.4.5.2. Instrucciones de Salto Condicional

La tabla 4.7 muestra la lista de las instrucciones de salto condicional. Estas instrucciones son las que van a permitir al microcontrolador tomar decisiones (siguiendo secuencialmente una parte del programa u otra) ante una propuesta binaria. Que en el lenguaje coloquial se contesta con una afirmación o negación una propuesta de bifurcación de la secuencia del programa se halla implícita dentro del código de operación y es el operando el que señala la dirección del salto en el formato de <<offset relativo>>, por lo que la distancia del salto está limitada a -128 y +127 bytes referida a la instrucción siguiente a la del salto condicional. Trabajando con el programa ensamblador es suficiente señalar con una etiqueta la dirección del salto o con una constante de 16 bits.

Nemónico	Operación	Modos de direccionamiento				Tiempo de Ejecución μ s	Flag afectados		
		Dir	Ind	Reg	Imm		C	OV	AC
JZ rel	Jump if A=0	Accumulator only				2			
JNZ rel	Jump if A<>0	Accumulator only				2			
DJNZ <byte>,rel	Decrement and jump if not zero	X		X		2			
CJNE A,<byte>,rel	Jump if A<> <byte>	X			X	2	X		
CJNE <byte>,#data,rel	Jump if <byte><. > #data		X	X		2	X		

Tabla 4.7. Instrucciones de salto condicional.

Nota: en la tabla 4.1 se señaló como posible operando <byte>, pudiendo ser <byte>:

- a) El acumulador.
- b) Los registros R0 a R7 con direccionamiento directo.

Los registros R0 y R1 con direccionamiento indirecto.

JZ y JNZ:

Salta si es cero y salta si no es cero. Para determinar si cumple las condiciones de las instrucciones JZ, y JNZ, la CPU no pasa revista al registro de estado como ocurre en otros micros, sino que directamente el registro acumulador, pues este microcontrolador no tiene << flag cero >> en el registro de estado.

DJNZ:

Decrementa y salta si no es cero. Esta instrucción está especializada en lazos de control.

Para que ejecute un lazo n veces se carga un <<contador>> con n y, cada vez que se ejecute el contenido del lazo, el contador decrementa una unidad, saliendo del lazo cuando el contenido del contador sea cero.

1.5. PERIFÉRICOS QUE FACILITAN EL TRABAJO CON MICROCONTROLADORES.

Los Microcontroladores son dispositivos que se especializa en aplicaciones industriales y en ambientes electrónicos adversos. El mismo no es mas que una integración de subsistemas que anteriormente formaban unidades especializadas e independientes, pero unidas por una ruta de un circuito impreso con el microprocesador forman lo que se conoce como un sistema, por lo que el microcontrolador va a integrar los siguientes subsistemas, aunque no siempre presenta todos los relacionados:

- CPU (Unidad de Procesamiento Central).
- Memoria RAM
- Memoria ROM o EPROM

- Entradas / Salidas
- Contadores / Temporizadores.
- Conversores análogo / digital y digital / analógico.
- Gestión de Interrupciones.

También se puede decir que el microcontrolador tiene una serie de características que son muy fundamentales a la hora de hacer una aplicación como son:

- Capacidad de Proceso de n bit.
- Circuito de Reloj Incorporado.
- Altas Frecuencias de Reloj según el micro.
- Múltiples Puertos de Entrada- Salida.
- Bajo Consumo(Power down) en las versiones CHMOS.
- Alta inmunidad al ruido eléctrico.
- Ampliación del set de instrucciones con algunas muy potentes para la adquisición y tratamiento de datos, tablas, multiplicación, división, etc.
- Instrucciones lógicas y de bifurcación orientadas al proceso de señales bit a bit (procesador booleano).
- Espacios de separados (memoria segregada).
- Protección de la memoria de programa (encriptación).

- Perro guardián (watchdog), que vigila el funcionamiento óptimo de la CPU.
- Posibilidades de comunicación estándar con otros sistemas(tipo full duplex).
- Conversores A/D integrados en el propio dispositivo.
- Salida de modulación de ancho del pulso (PWM) para conversión D/A.
- Multiplexores integrados en el dispositivo.
- Dos o tres temporizadores/ contadores de n bit.
- Varias fuentes de interrupción programables con niveles de prioridad.
- Posibilidad de incorporar otras funciones bajo diseño específico ASIC (Application Specific Integrated Circuits).

Además de todo esto permiten que el microcontrolador sea usado como microprocesador implementando la memoria RAM, EPROM y unidades de entrada/salida que el usuario considere más adecuadas a su aplicación. De por sí a medida que pase el tiempo y se siga desarrollando la tecnología y la ciencia y la técnica saldrán al mercado micros más modernos con más prestaciones, mayores velocidades y más capacidad.

No obstante a que se sigan desarrollando y modernizando los microcontroladores existen una serie de dispositivos que ayudan de diversas formas el trabajo del microcontrolador y le dan ventajas y facilidad de eliminarle carga al mismo como son: los puertos externos 8255, controlador de teclado display, memorias externas y otros dispositivos como demultiplexores, conversores BCD a siete segmentos, buffer y otros más que harán el trabajo en conjunto con el micro y será muy fácil la implementación de la aplicación ya que a veces necesitamos de más puertos o de más capacidad.

Salvo que se tenga una aplicación que exija grandes prestaciones, se podrá solucionar todos los proyectos con microcontroladores agregando estos dispositivos con la ventaja de poder aumentar capacidad en memoria y puertos si es que se necesita.

1.5.1. Memorias Externas de Datos y de Programas

1.5.1.1. Memorias Semiconductoras

Bus de Datos: Do-Dn, por el entran los datos a la memoria semiconductora.

Bus de Direcciones: Ao-An, por aquí se realiza el direccionamiento.

OE (Output Enable): Terminal de lectura, habilita la memoria para que en la salida este lo que voy a leer.

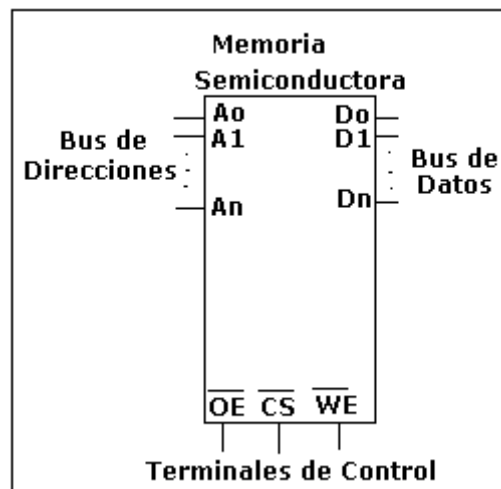


Figura 5.1. Estructura de la Memoria Semiconductora.

WE (Write Enable): Terminal que permite la escritura en la memoria.

CS (Chip Select): Terminal que permite la activación o desactivación de la memoria.

1.5.1.2. Tipos de Memoria

1. Memoria de Datos (Permite la escritura y la lectura, OE y WE así como el CS para su activación).
2. Memoria de programa (Permite solo la lectura y la habilitación, OE y CS).

1.5.1.3. Formas de Acceder a la Memoria

Existen des formas de acceder a la memoria:

1.5.1.3.1. Forma Segregada

En esta forma se disponen de 64K de memoria de datos y 64K de memoria de programa.

Aquí en memoria de datos el terminal de escritura del micro (Wr) va al de escritura de la memoria (WE) y el terminal de lectura del micro(Rd) va al de lectura de la memoria(OE).Y el terminal del micro que se encarga de la habilitación que puede ser cualquiera según el tipo de direccionamiento va al terminal de selección de la memoria(CS) de la memoria.

En la memoria de programas es de otra forma la conexión porque esta memoria es de solo lectura por lo que solo se conecta el terminal.

PSEN: (Program store enable): Permite la habilitación de la lectura en ROM externa, su función es semejante al Terminal (Rd) del micro y va al terminal de lectura de la memoria (OE) y el terminal de selección del micro va al terminal de selección de la memoria (CS).

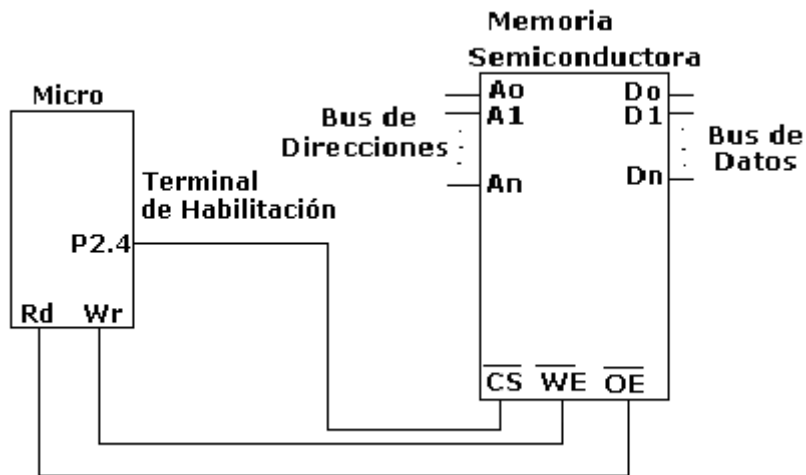


Figura 5.2. Acceso a una memoria de datos de forma segregada.

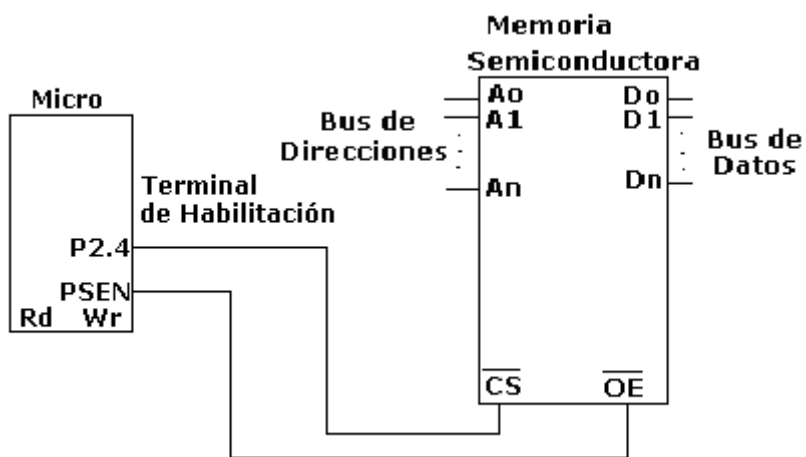


Figura 5.3. Acceso a una memoria de programas de forma segregada.

1.5.1.3.2. Forma Combinada

En esta forma se disponen de solo 64K para las dos memorias tanto de programa como de datos.

Aquí la memoria de datos y la de programa se selecciona igual que se explico en la forma segregada lo único que como es combinada a la hora de de ubicar las lecturas se anidan el PSEN del micro que habilita lectura en memoria de datos y el Rd del micro que habilita lectura en memoria de datos a un and lógico para que

se seleccione cada una a su momento, se trabaja por la tabla de la verdad del and lógico.

1.5.1.4. Capacidad de las Memorias

2^8 --- 256 bytes. 2^{11} ---2048 2Kbytes(7FFh)

2^9 --- 512 bytes 2^{12} ---4096 4Kbytes(0FFFh)

2^{10} ---1024 1Kbytes(3FFh) 2^{16} ---65536 64Kbytes(FFFFh)

1.5.1.5. Criterios de Selección de la Memoria

- Capacidad de memorias que se necesita.
- Capacidad de memorias que se dispone.
- Velocidad de acceso.
- Costo.

1.5.1.6. Tipos de Memoria más Usadas

1. 2708 EPROM 1k y 8bits
2. 2716 EPROM 2k y 8bits
3. 2732 EPROM 4k y 8bits
4. 2764 EPROM 8k y 8bits
5. 2114 RAM 1k y 4 bits

1.5.2. Puerto Externo Programable 8255 y Puerto Externo no Programable 8212

Una vez que hacemos uso de memoria externa en un micro de pocos puertos el número de terminales de este que podemos utilizar como puertos de entrada/salida de datos se ve considerablemente reducido. Una solución a este problema es la utilización de puertos externos que nos permitan ampliar el número de terminales de entrada salida de que disponemos. (Ejemplo: 8255(programable), 8212(no programable), 8216, buffer, conversores D/A y A/D, etc). Tomaremos de referencia el miro 8051 para ver bien la explicación. Los puertos externos en el 8051 deben ser direccionados como direcciones de memoria RAM, puesto que el 8051 no posee un terminal que diferencie el acceso a puerto del acceso a memoria, como ocurre en muchos microcontroladores.

1.5.2.1. Puerto Externo Programable 8255

El 8255 posee tres puertos de entrada o salida puerto A(PA), puerto B(PB) y puerto C(PC) los tres son programables.

PA: Es de ocho bit y todos sus bit tienen que ser o de entrada o de salida.

PB: Es de ocho bit y todos sus bit tienen que ser o de entrada o de salida.

PC: Es de ocho bit puede dividirse una mitad de cuatro ser entada y la otra salida.

Rd: Habilita la lectura y se conecta al terminal de lectura (Rd) del micro.

CS: Permite la selección del dispositivo 8255 en si.

A0 y A1: Terminales de dirección es para determinar a que dirección donde están los puertos y acceder a ellos o si lo hago a la dirección de la palabra de control que posee el mismo, esto se realiza a través un dispositivo externo denominado Latch que es el 74373 y este se conecta al Ale(Hades Latch Enable) del micro

que permite multiplexar por el puerto 0 el Bus de datos y los 8 bits menos significativos del Bus de direcciones.

D0-D7: Bus de datos se conectan a través del Latch.

Reset: Se activa en 1 y permite el reseteo del dispositivo.

WR: Permite la escritura en el 8255 y se conecta al Wr del micro.

Este dispositivo 8255 tiene un palabra de control de ocho bit:

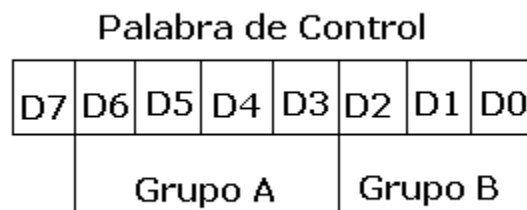


Figura 5.5. Estructura de la palabra de control del 8255.

Este dispositivo necesita ser implementado en un arreglo de memoria porque hay que distribuirle una dirección de memoria para el PA, PB, PC y la palabra de control ahora le mostraremos un ejemplo de arreglo de memoria que incluya 8255 y memorias semiconductoras.

1.5.2.2. Puerto Externo No Programable 8212

DS1 y DS2: Terminales de Habilitación. Con DS1=0 y DS=1 selecciona el 8212.

MD: Modo de trabajo por hardware .

DI y DO: Terminales que pueden ser entrada o salida.

CLR: Limpieza del buffer.

INT: Interrupción externa.

1.5.2.3. Controlador de Teclado Display 8279

Con el aumento de la complejidad de los sistemas es necesario introducir dispositivos especializados en ciertas funciones con los cuales se pueda liberar a la CPU de los microcontroladores de ciertas funciones y entonces puedan sólo ocuparse de aquellas funciones de mayor importancia. Esto provoca un aumento en la velocidad de cómputo de los sistemas y el volumen de información que se puede manejar.

Uno de estos dispositivos es el controlador de teclado display 8279, que libera a la CPU de los microcontroladores de dos funciones de gran peso como son: la atención al teclado y el refrescamiento de las lámparas de 7segmentos.

1.5.2.3.1. Principio de Funcionamiento

El 8279 puede atender un teclado matricial de hasta 128 teclas, dejando al microprocesador sólo la tarea de ejecutar la función que cada tecla debe realizar; cuando el 8279 lo interrumpe para indicarle cual tecla fue la que se apretó. Además puede refrescar hasta 16 lámparas de 7 segmentos dentro de la cual el microprocesador sólo tiene que encargarse de poner en la memoria de display la información que se desea visualizar.

DB0 DB7: Bus de datos bidireccional.

Clk: Reloj para el sincronismo interno y la base de tiempo para refrescamiento y atención de teclado.

Reset: Terminal de inicialización.

CS: Selecciona el dispositivo para enviar o recibir información.

A0: Define el tipo de dato que se recibe o envía:

1: Las señales del Bus son interpretadas como comandos.

0: Las señales en el Bus de datos se interpretan como datos.

Rd: Activa en 0. Habilita el buffer para enviar información.

Wr: Activa en 0. Habilita el buffer para recibir información.

Irq: Solicitud de interrupción provoca un pulso de caída cuando hay un dato en la FIFO de teclado.

SL0 SL3: Líneas de barrido, pueden ser codificadas o decodificadas y permiten la exploración del teclado y el display.

RL0 RL7: Líneas de retorno del teclado se conectan a las líneas de barrido mediante las teclas o interruptores.

Shit: El estado de este terminal es almacenado junto con la posición de la tecla apretada.

Ctrol: El estado de este terminal es almacenado junto con la posición de la tecla apretada.

A0 A3: Líneas de salida para el display más significativas.

B0 B3: Líneas de salida para el display menos significativas.

BD: Se utiliza para limpiar el display durante el cambio de dígito.

Comandos del 8279.

PPPPP: Preescalador el reloj interno es dividido entre este valor para realizar sus funciones.

Ai: Bandera de Autoincremento.

1.5.4. Otros Dispositivos como 7448, 74138 y 74373

Existen otros dispositivos que se utilizan para la conexión en si de diversas aplicaciones ya que su importancia es sumamente necesaria en la intervención de las mismas. Tenemos entre estos dispositivos unos muy fundamentales como son: 7448, 74138 y el 74373.

1.5.4.1. 7448

Este dispositivo es un conversor BCD_7seg y se utiliza para convertir un código que esta en BCD (código digital binario) a 7seg (código de las lámparas 7 seg.) su utilización es en hardware.

1.5.4.2. 74138

Este dispositivo es un de multiplexor que se encarga de combinar las entradas y las eleva a la potencia de dos. Su utilización es en hardware.

1.5.4.3. 74373

Este dispositivo se usa cuando voy a realizar direccionamiento externo y uso memorias y puertos externos. Se denomina Latch y su función es la de conectarse a través de su terminal CLK al ALE del micro que este permite multiplexar por el puerto del micro correspondiente al Bus de datos y los 8 bits menos significativos del Bus de direcciones.

1.6. CONTROL DE PUERTOS DE ENTRADA / SALIDA.

Los cuatro puertos del 8052/8051 son bidireccionales, es decir, permiten la lectura y escritura en el periférico correspondiente. Las salidas están <<latcheadas>>, lo que permite mantener el dato indefinidamente hasta que sobre escriba la información original.

Otra característica importante es que los puertos pueden ser utilizados como buses de direcciones, datos y control, debido a estas características se dice que el microcontrolador puede trabajar como microprocesador.

1.6.1. El Microcontrolador como Microprocesador

Los drivers de salida de los puertos P0 y P2 y los buffers de entrada del puerto P0 se pueden utilizar para acceder a la memoria externa del sistema. En estas condiciones, el puerto P0 se configura como salida del byte bajo del bus de direcciones (A0 a A7), de un bus que consta de 16 bits (capacidad de direccionamiento 64K). Multiplexado en el tiempo como bus de datos bidireccional (D0 a D7). El puerto P2 se configura como salida del byte alto del bus de direcciones (A8 a A15). De esta manera el microcontrolador se configura a modo de CPU de un sistema externo con unas capacidades de expansión definibles por el usuario naturalmente, en estas condiciones, le queda como puerto íntegro, para el control de periféricos, el puerto P1 y parte del puerto P3, puesto que hay señales que se utilizan para el control del sistema (bus de control).

En la figura 6.1 se muestran los cronogramas correspondientes a un ciclo de lectura en la memoria externa de programas y a un ciclo de lectura y escritura en la memoria de datos externa. También, se hace referencia a los parámetros representados en la figura 1.6.1 y en el cuadro 1.6.1 sin hacer mención a los tiempos reales que dependen del tipo de microcontrolador y de la frecuencia de trabajo.

Para una mayor información consulte las hojas de características en donde se establecen los tiempos de los parámetros según condiciones y las características eléctricas de las señales.

Para un mejor entendimiento y seguimiento de los cronogramas anteriores, en la figura 6.2 se dibuja un esquema en el que aparece el microcontrolador comandando una memoria RAM (43256C) y una memoria EPROM (2764).

1.6.2. Ciclo de Lectura en la Memoria Externa de Programas

Para acceder a la memoria externa de programas utiliza la señal PSEN (Program Store Enable) como señal de autorización de lectura.

La señal $\overline{\text{PSEN}}$ el byte bajo del bus de direcciones en el primer estado (ciclo de reloj), y así permite direccionar, durante todo el ciclo de instrucción, mientras esas mismas líneas son utilizadas, en el resto del ciclo de instrucción, como bus de datos. En la Figura 6.2 se puede observar que la lectura en la memoria de programas se realiza cuando PSEN está a nivel bajo y las líneas A13, A14 y A15 se encuentran a nivel alto, siendo el resto de las líneas de dirección las que establecen la posmen exacta del byte de instrucción u operando que ha de ser leído.

Para el acceso a la memoria de programas, utiliza los 16 bits del bus de direcciones, su posición en el mapa general de memoria es la que se encuentra al final de los 64 Kbytes, puesto que $A_{15}=A_{14}=A_{13}=1$, concretamente comienza en la posmen 1110.0000.0000.0000=E000H y termina en la posmen FFFFH, en total 8 Kbytes.

Si el usuario escribe en el Puerto P0 durante el ciclo de búsqueda en la memoria externa, el byte de código puede ser modificado. Se recomienda no escribir en el Puerto P0 si es utilizada para leer en la memoria de programa externa.

A la memoria de programas externa se accede bajo dos condiciones:

1. Cuando la señal EA es activa, caso de la Figura 6.2
2. Cuando el contador de programa (PC) contiene un número más grande que 0FFFH para el 8051 o para el 8052.

En un ciclo de lectura el byte de entrada es aceptado en el Puerto P0 justo antes de que la señal de control RD que autoriza la lectura sea desactivada.

1.6.3. Ciclo de Escritura en la Memoria Externa de Datos

Para la escritura en la memoria externa de datos utiliza la señal de control WR (función alternativa P3.6) y puede utilizar los 16 bits de dirección (MOV @DPTR.A) o bien 8 bits (MOV @Ri).

En el ciclo de escritura, el byte de dato debe permanecer sobre el Puerto P0 antes y después de que la señal de control de escritura WR sea desactivada.

En general, tanto para la lectura como para la escritura, cuando una dirección de 16 bits es utilizada (MOVX @DPTR), el byte alto de dirección sale por el Puerto P2, donde permanecerá mientras dura el ciclo de lectura o escritura.

Si se utiliza una dirección de 8 bits (MOVX @Ri), el contenido del Puerto P2 en el SFR permanece sobre los pines de P2 durante todo el ciclo de acceso a la memoria externa.

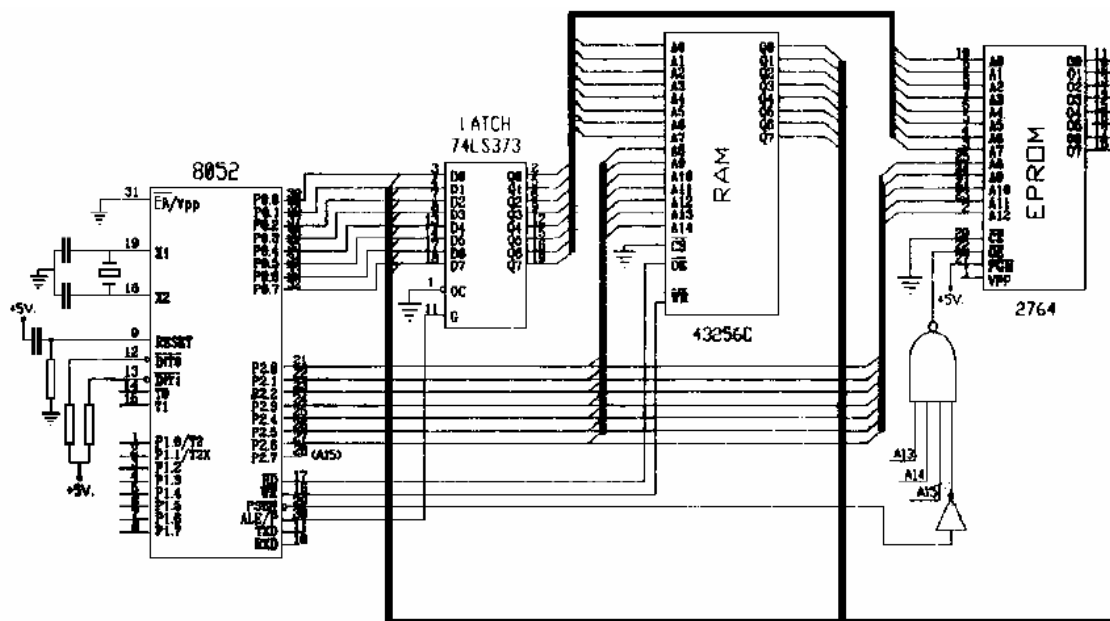


Figura 6.2. Ciclo de Escritura en la Memoria Externa de Datos

Resumiendo, si se utilizan los puertos para comandar unidades de memoria externa o interface, los puertos quedarán en esta situación:

P0: Bus de direcciones bajas (A0 a A7) y bus de datos (D0 a D7) multiplexados en el tiempo.

P1: puerto de E/S.

P2: Bus de direcciones altas (A8 a A15).

P3: Bus de control.

1.6.3. Operación de Escritura en los Puertos

La operación de escritura, utilizando los puertos del Micro, puede ser realizada por cualquiera de ellos; no obstante, el puerto P0 es el que presenta una mayor cargabilidad, permitiendo comandar ocho cargas TTL-LS, mientras que los otros tres permiten cuatro cargas TTL-LS.

En la ejecución de una instrucción que cambia el valor del latch del puerto, el nuevo valor llega al latch durante el estado 6, fase 2 del final del ciclo de instrucción.

Antes de comenzar con el estudio y comprobación de los puertos de E/S, se dibuja la interface para la conexión de los puertos a los dispositivos de salida, que en un principio pueden servir unos simples LED.

Para controlar cargas de mayor consumo de energía, como relés, se recomienda utilizar, entre el puerto y la carga, drivers no inversores, como el ULN 2003, e inversores, como el ULN 2803, que tienen una cargabilidad de 500 mA y soportan hasta 50v.

1.6.4. Operación de Lectura en los Puertos

La operación de lectura o de adquisición de datos no representa ningún tipo de problema; solamente se deberá cambiar el orden de los operandos en la instrucción respecto a la operación de escritura.

Para la operación de lectura, el formato de la instrucción más habitual es el siguiente:

MOV <DATO>, PX ; <DATO> ←PX

Se presentan dos circuitos de interface muy sencillos para poder introducir datos a los puertos del microcontrolador, cuando éste trabaja en modo lectura.

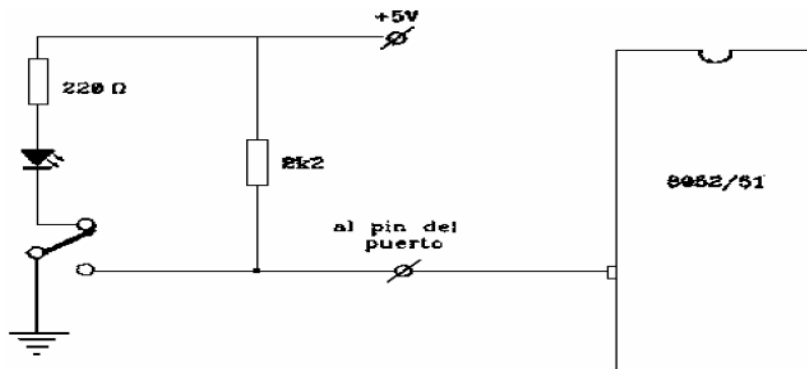


Figura 6.3. Circuito que presenta el problema de rebotes.

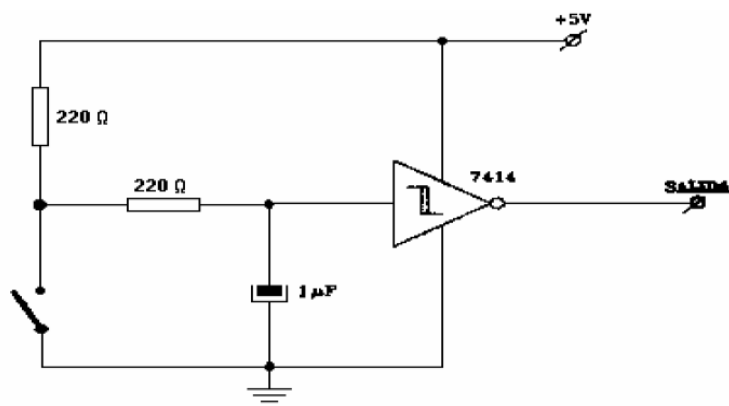


Figura 6.4. Circuito inmune a los rebotes.

El primero, muy simple, es útil para la comprobación de la mayor parte de los ejercicios; no obstante, tiene el problema de los <<rebotes>> (Figura 6.3). El segundo circuito está pensado especialmente para los ejercicios que se refieren al tema de las interrupciones. Este circuito es, hasta cierto punto, inmune a los rebotes de los contactos (Figura 6.4).

1.7. INTERRUPCIONES

La comunicación asíncrona de los sistemas periféricos con el microcontrolador, en ambas direcciones se puede establecer de dos maneras fundamentales:

1. **Consultas (polling):** Se comprueban cíclicamente, mediante instrucciones del programa, los dispositivos de estado de los dispositivos de E/S. Unas líneas de diálogo (handshake) establecen el protocolo de comunicación.
2. **Interrupción:** Servicio directo entre periféricos y Microcontrolador, siempre que éste desee establecer el diálogo. Este servicio tiene la característica de la inmediatez, pueden eliminarse total o parcialmente los ciclos de consulta y permite inhibir la interrupción cuando se considere que es <<inoportuna>> y, por tanto, perjudicial para la marcha del proceso.

Esta forma de trabajo es inherente al control de procesos en tiempo real.

Así, en la figura 7.1, cuando el periférico 1 requiere la intervención del microcontrolador activa la interrupción INT1, si está habilitada el sistema atenderá la petición y ejecutará el programa correspondiente de atención el la Rutina 1. El mismo procedimiento se establecería para el periférico 2.

La importancia de las interrupciones nace de la necesidad de ejecutar un subproceso en el instante preciso, y por tanto se considera su intervención <<urgente>>. Cuando termina la ejecución de este subproceso, el CPU vuelve al programa principal, continuando su tarea cíclica justo donde la dejó.

Una interrupción puede ser iniciada:

- Por un periférico o circuito externo ajeno al microcontrolador. (Interrupción Externa).
- Dentro del propio microcontrolador. (Interrupción Interna).

Toda interrupción aceptada conduce a la ejecución de un subprograma específico cuya dirección de comienzo se indica en la tabla de vectorización.

Cada una de las fuentes de interrupciones pueden ser individualmente habilitadas o inhabilitadas poniendo a <<uno>> o a <<cero>. El bit correspondiente del registro **IE** (Interrupt Enable Register) perteneciente a SFR (Special function Register).

1.7.1. Registros de Interrupciones

Las interrupciones son controladas mediante la escritura en los registros **IE** (Interrupt Enable) e **IP** (Interrupt Priority) los cuales físicamente son representados en la siguiente figura:

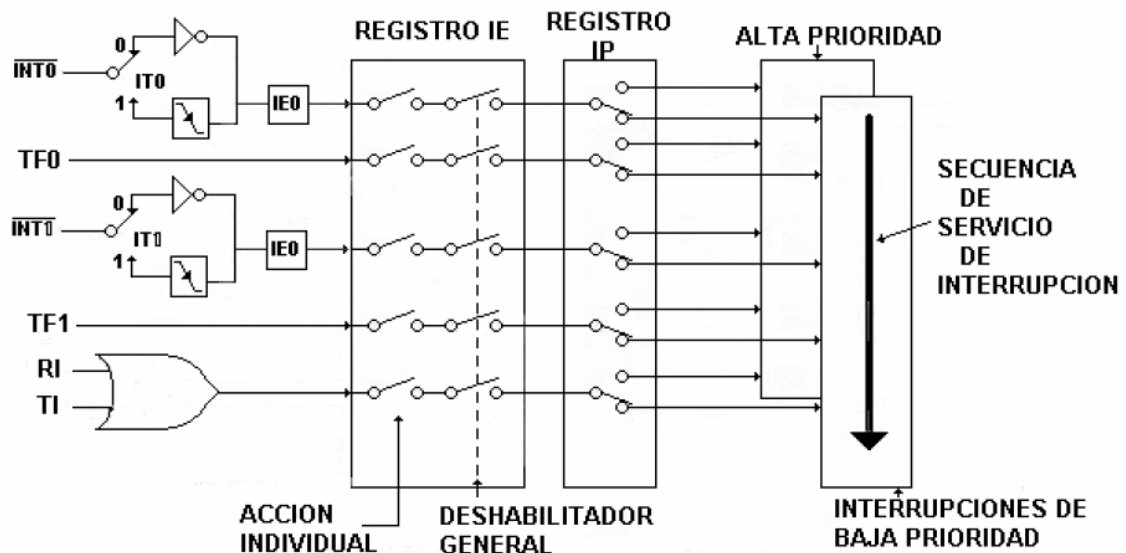


Figura 7.1. Registro de Interrupciones.

IE: Es un registro para habilitar las interrupciones, Permite que se atiendan todas las interrupciones por el microcontrolador o sólo las que el usuario considere aceptables.

IP: Cada interrupción puede programarse individualmente en el nivel 1 o 2 de prioridad, poniendo a 1 o a 0 los bits de este registro. Una interrupción de bajo nivel de prioridad se puede interrumpir por otra de un nivel más alto. Una interrupción de alto nivel de prioridad no puede ser interrumpida por otra interrupción de un nivel más bajo.

REGISTRO IE (Interrupt Enable Register.)								
	b7	b6	b5	b4	b3	b2	b1	b0
	EA	X	X	ES	ET1	EX1	ET0	EX0
BIT	NOMBRE Y COMENTARIO							
b0	EX0: Control de Interrupción externa 0. (INT0). - Si EX0 = 0 inhabilita la interrupción externa INT0 - Si EX0 = 1 Habilita la interrupción externa INT0							
b1	ET0: - Si ET0 = 1 habilita interrupción del Timer0. - Si ET0 = 0 inhabilita interrupción del Timer0.							
b2	EX1: - Si EX1 = 1 habilita Interrupción externa 1 (INT1). - Si EX1 = 0 inhabilita Interrupción externa 1 (INT1).							
b3	ET1: - Si ET1 = 1 habilita interrupción del Timer1. - Si ET1 = 0 inhabilita interrupción del Timer1.							
b4	ES: - Si ES = 1 habilita interrupción del puerto serie. - Si ES = 0 inhabilita interrupción del puerto serie.							
b5	Reservada.							
b6	Reservada.							
b7	EA: - Si EA = 1 habilita individualmente a todas las interrupciones que en este registro están a uno. - Si EA = 0 no reconoce ninguna interrupción.							

Tabla 7.1. Registro IE.

1.7.2. El Proceso de Interrupción en los MC 8751

Las banderas o indicadores de interrupción son muestreadas en el estado 5, fase 2 (S5P2) de cada ciclo máquina. El sistema de interrupciones del microcontrolador genera un LCALL al apropiado vector de interrupciones.

REGISTRO IP (Interrupt Priority Register.)								
	b7	b6	b5	b4	b3	b2	b1	b0
	X	X	PT2	PS	PT1	PX1	PT0	PX0
BIT	NOMBRE Y COMENTARIO							
b0	PX0: Si PX0=1 define alta prioridad la interrupción INT0.							
b1	PT0: Si PT0=1 define alta prioridad la interrupción Timer 0.							
b2	PX1: Si PX1=1 define alta prioridad la interrupción INT1.							
b3	PT1: Si PT1=1 define alta prioridad la interrupción Timer 1.							
b4	PS: Si PS=1 define alta prioridad la interrupción puerto serie.							
b5	PT2: : - Si PS=1 define la prioridad a interrupción Timer2.							
b6	Reservada.							
b7	Reservada.							

Tabla 7.2. Registro IP.

1.8. TEMPORIZADORES Y CONTADORES

El microcontrolador 8751 tiene dos registros temporizadores/contadores denominados Timer 0 (T0) y Timer 1 (T1).

Los dos timer pueden ser configurados para que operen como temporizadores o como contadores.

Cuando el dispositivo opera como timer, el registro contador se incrementa cada ciclo máquina (la temporización se produce contando cada ciclo máquina hasta <<sobrepasar>> el valor prefijado). Así, se puede considerar que funciona como un contador de ciclos máquina, de tal forma que, como a cada ciclo máquina le corresponden 12 períodos de reloj, la razón de contaje es 1/12 de la frecuencia del oscilador.

En la función como counter (contador), el registro es incrementado en respuesta a la transición del nivel alto al nivel bajo (flanco descendente) de la señal externa aplicada al (pin 14) para el contador T0 y al (pin 15) para T1. La entrada externa es muestreada durante el estado 5 de la fase 2(s5p2) de cada ciclo de máquina. El contador se incrementa cuando la muestra señala un nivel alto de la señal de entrada en un ciclo y un nivel bajo en el siguiente ciclo. El nuevo valor de conteo

aparece en el registro correspondiente durante el estado 3 de la fase 1(s3p1) del siguiente ciclo en que la transición ha sido detectada. Puesto que necesita dos ciclos máquina (24 ciclos de reloj) para reconocer la transición del flanco descendente, la máxima razón de conteo es 1/24 de la frecuencia del oscilador.

Los Timer 0 y 1 tienen cuatro modos de operación.

En la Figura 8.1 se observan cuatro bloques fundamentales que de izquierda a derecha se van a exponer a continuación:

- En la parte superior izquierda aparece un dispositivo conmutador que selecciona la forma de efectuar el <<conteo>>, mediante el oscilador del microcontrolador, o con un reloj externo. La primera opción establece aplicaciones generales de tipo timer (temporizador) y la segunda de tipo counter (contador).
- En la parte inferior izquierda se encuentra un circuito lógico que acciona el interruptor que permite el paso de los impulsos que incrementan los registros de conteo. Este circuito permite dos opciones: activar el interruptor por software, para ello GATE=0 y TR1=1, que son bit de imagen pertenecientes a los registros TMOD y TCON, o bien se acciona por hardware con las señales de nivel alto, aplicadas al pin INT 1, estando GATE=1 y TR1=1.
- En la parte central se encuentran los registros de conteo, que pueden ser de 8,13 ó 16 bits. Según el modo de trabajo (TL1, TH1).
- A la derecha de los contadores (TL y TH) se encuentra el bit de flag o bandera. TF1, que señala el overflow o desbordamiento de los contadores.
- Finalmente, si la interrupción correspondiente está habilitada, se produciría una interrupción.

1.8.1. TIMER 0 (T0) Y TIMER 1 (T1)

1.8.1.1. TH0-TL0 y TH1-TL1.

Timer Register: son pares de registros de 16 bits, que pueden actuar como temporizadores o contadores.

La función como Timer ó como Counter es seleccionada por el bit de control C/T perteneciente al registro TMOD (Timer/Counter Mode Control Register). El registro TMOD no es direccionable <<bit a bit>>. Estos dos timer tienen cuatro modos de operación y se seleccionan mediante los bits (M0,M1) en el registro TMOD.

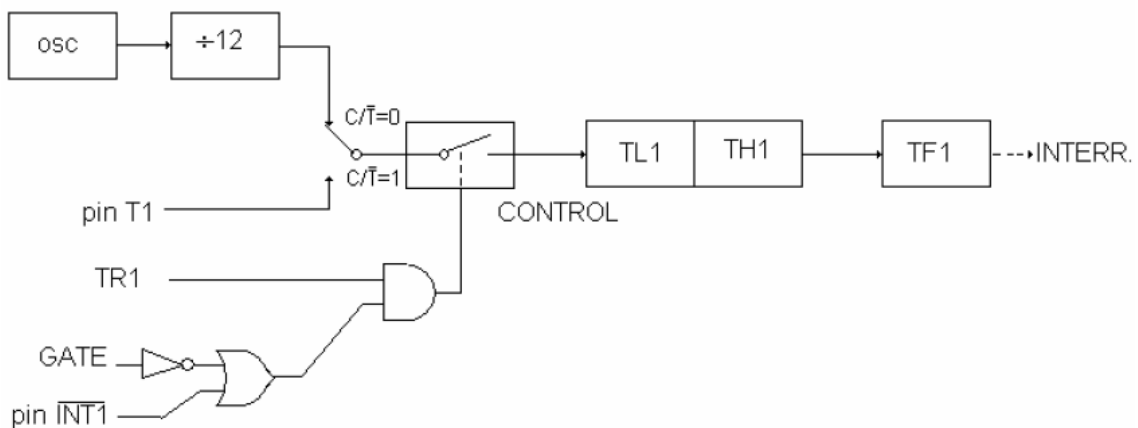


Figura 8.1. Bloque fundamentales del temporizador.

1.8.1.2. TMOD.

Timer/Counter Mode Register: Selecciona el Timer 0 ó 1, el modo de operación (Modo 0, 1, ó 2), si actúa como temporizador o como contador, etc.

1.8.1.3. MODO 0

Temporizador/Contador de 13 bits.

Poniendo los bits M0=M1=0 en el registro TMOD se selecciona el modo de operación cero (Modo 0). Cuando la cuenta, en los contadores, da una vuelta pasando desde todos <<unos>> a todos <<ceros>>, se activa la flag de interrupción TFX (x=0 si se trata del Timer 0 y x=1 si se trata del Timer 1), siendo éste un bit que pertenece al registro TCON (Timer/Counter control register), registro direccionable bit a bit.

REGISTRO TMOD							
B7	B6	B5	B4	B3	B2	B1	B0
GATE	C/T	M1	M0	GATE	C/T	M1	M0
← Timer 1 →				← Timer 0 →			
BIT	NOMBRE Y COMENTARIO						
B0-B1	MODO	M1	M0	MODO DE OPERACION			
	0	0	0	Temporizador de 13 bits.			
	1	0	1	Temporizador/Contador de 16 bits.			
	2	1	0	Temporizador/Contador de 8 bits con Auto-recarga.			
	3	1	1	Contadores múltiples específicos.			
B2	C/t: Selecciona temporizador o contador. Si C/T=0 entonces funciona como temporizador con los pulsos de reloj internos. Si C/T=1 entonces cuenta los pulsos que llegan por T0 (pin 14)						
B3	GATE: Habilita la entrada exterior INT0 (pin 12) Si GATE=1 entonces habilita INT0 si TR0=1 control por Hardware. Si GATE=0 entonces deshabilita INT) y depende exclusivamente de TR0. (TR0 es un bit del Reg. TCON y se activa o desactiva por software).						
B4-B5-B6-B7	Configuración del Timer 1. Igual que para el Timer 0, sustituyendo: T0 por T1, INT0 por INT1 y TR0 por TR1						

Tabla 8.1. Registro TMOD.

1.8.1.4. TCON.

Timer/Counter Control Register: Este es un registro que controla fundamentalmente el modo de operación de los Timer 0 y 1 en relación con las interrupciones y los flancos de activación de los mismos.

La autorización para contar pulsos, procedentes del reloj interno o bien del pin 15 (T1) (actuando como contador), se produce en el Timer 1, cuando TR1=1 y las entradas GATE=0 o INT1=1.

Una aplicación podría ser, para medir el ancho de pulso a través del pin INT1 ó INTO.

REGISTRO TCON								
	B7	B6	B5	B4	B3	B2	B1	B0
	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
BIT	NOMBRE Y COMENTARIO							
B0	IT0: Control de Interrupción externa 0. (INT0). - Si IT0=0 entonces es activada por un nivel bajo. - Si IT0=1 Entonces es activada por un flanco de bajada.							
B1	IE0: Flag de interrupción para la interrupción externa 0 (INT0). - Se pone a uno cuando se detecta interrupción externa. - Se repone automáticamente al atender la interrupción por flanco.							
B2	IT1: Control de Interrupción externa 1 (INT1).							
B3	IE1: Flag de interrupción externa 1 (INT 1).							
B4	TR0: Habilita temporizador/contador 0. - Si TR0=1 entonces habilita temporizador/contador 0. - Si TR0=0 entonces deshabilita temporizador/contador 0.							
B5	TF0: Flag de overflow del Timer 0. - Se repone automáticamente al atender la interrupción							
B6	TR1: Habilita temporizador/contador 1.							
B7	TF1: Bandera de Overflow del Timer 1.							

Tabla 8.2. Registro TCON.

1.8.1.5. MODO 2.

Temporizador/Contador de 8 bits con Auto-recarga.

El modo 2 configura el registro Timer como un contador de 8 bits (TL1) con recarga automática. El overflow de TL1 no sólo activa el bit de flag (TF1), sino que también <<recarga>> TL1 con el contenido de TH1, por lo que TH1 mantiene los datos iniciales con que fue cargado.

El funcionamiento es el mismo para Timer 0 y Timer 1.

1.8.1.6. SCON.

Este registro se encarga de establecer los parámetros para la transmisión o recepción de datos en comunicación serie; así si se trata de una transmisión o recepción, formato de la palabra (bit de start, bit de datos, bit de stop), Velocidad, etc.

1.8.1.7. SBUF.

Serial Data Buffer: son dos registros buffer aparentemente separados, pero físicamente el mismo, buffer de transmisión y buffer de recepción. Cuando un dato es movido a SBUF, este va al buffer del transmisor, cuando un dato es movido de SBUF, este viene del buffer del receptor.

1.8.1.8. PCON.

Power Control Register: Para aplicaciones en donde la característica de consumo sea crítica, la versión CHMOS ofrece dos modos de trabajo de bajo consumo: el modo POWER DOWN y el IDLE. También ofrece, este registro, posibilidades de variar la velocidad de comunicación en el canal serie.

CAPITULO II

ANALISIS, DISEÑO E IMPLEMENTACION

2.1. PROPUESTA

El proyecto que se presenta cuenta con algunos circuitos de electrónica digital con aplicaciones en el ámbito doméstico e industrial. Su funcionamiento básico es proporcionar al usuario un manejo adecuado en la administración del tiempo de encendido y apagado de sistemas, que se controlan con el programa del microcontrolador 8751. Se muestra la conexión de los dispositivos que se emplean para la entrada y salida de señales para el funcionamiento adecuado del sistema.

Los elementos que se utilizan primordialmente son el calentador de agua a gas, el microcontrolador 8751, una bomba de agua eléctrica, un presostato, un termostato, además de los componentes electrónicos, que son de fácil adquisición en el mercado local.

El microcontrolador se encarga de la administración del sistema, detecta y genera información para el usuario por medio de distintos dispositivos electrónicos.

Para realizar el proyecto es necesario tener los conocimientos básicos de cada uno de los componentes, desde su arquitectura, su comportamiento y manera de operar.

2.2. DIAGRAMA DE BLOQUES DEL SISTEMA

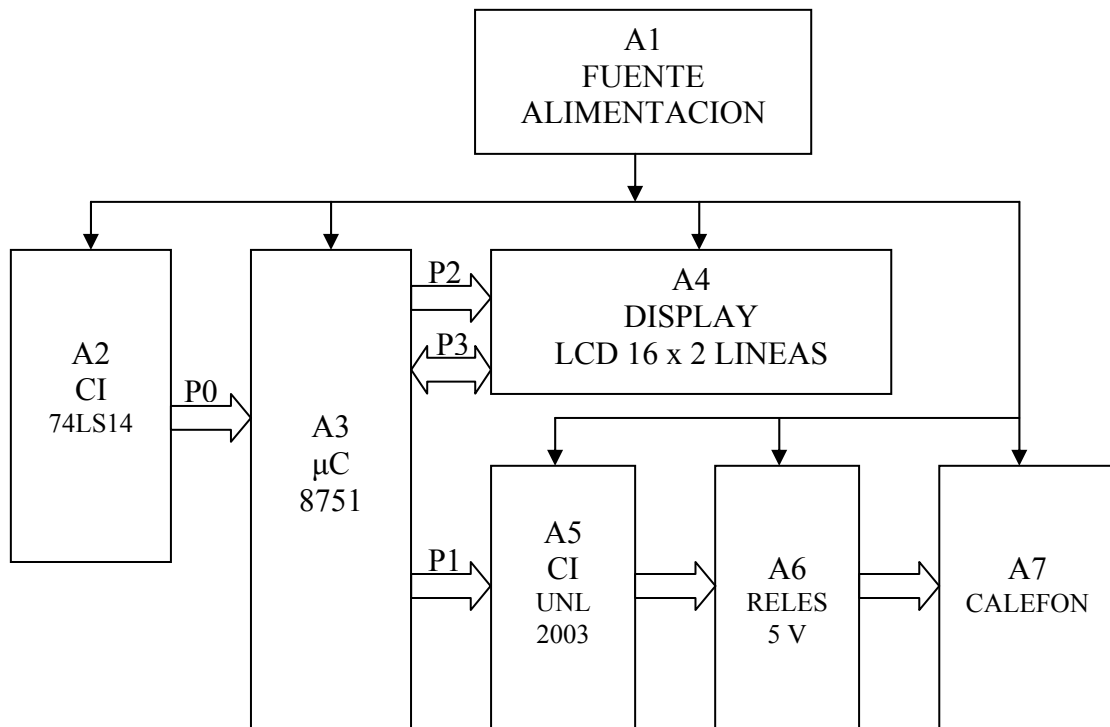


Figura 2.1. Diagrama de Bloques del Sistema.

2.2.1. Bloque A1

El circuito de alimentación del sistema se encuentra en este bloque. Son dos fuentes reguladas con salida a 5 Vcd y 1A cada una, con circuito integrado regulador de voltaje 7805, que nos proporciona el voltaje requerido.

2.2.2. Bloque A2

En este bloque se acondiciona la señal de entrada de las variables, que constan de contactos normalmente abiertos y cerrados. Para que no se produzcan rebotes al realizar el cambio de estado se utiliza el circuito integrado 74LS14, el mismo que brinda una eficiencia alta y consumo de energía bajo, además de que reduce el espacio para su conexión.

2.2.3. Bloque A3

Consta de una pantalla de cristal líquido (LCD) con blacklight de 16 X 2 líneas.

2.2.3.1. Display de Cristal Líquido (LCD)

Son sustancias que presentan características duales de un cristal y de un líquido. En un cristal las moléculas ocupan unas posiciones fijas en la estructura global y no se mueven respecto a las adyacentes, justo lo contrario que en un líquido. Las moléculas de un cristal líquido tienen una forma alargada y cilíndrica y la posición relativa entre ellas depende de diversos factores como son la temperatura y el campo eléctrico al que están sometidos.

2.2.3.2. Funcionamiento

La aplicación de un campo eléctrico a estas sustancias provoca que la posición de sus moléculas cambie de una posición indeterminada a otra perfectamente uniforme.

El cristal líquido será opaco o transparente en función de cómo estén organizadas las moléculas, que depende a su vez del campo eléctrico presente.

Una Pantalla de Cristal Líquido consta de los siguientes elementos (desde atrás hacia delante):

- A. Un espejo.
- B. Un filtro polarizador vertical.
- C. Una capa de vidrio con un electrodo transparente común (óxido de estaño).
- D. Sucesivas capas de cristal líquido.

- E. Una capa de vidrio con un electrodo transparente y con la forma que se quiera representar.
- F. Un filtro polarizador horizontal.

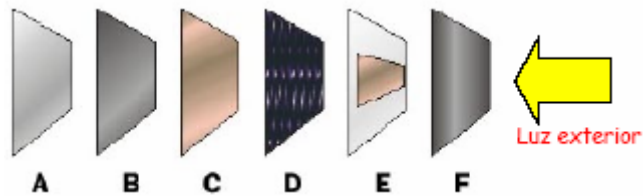


Figura 2.2. Elementos del LCD.

2.2.3.3. Tipos de LCD

- Reflectivos: con espejo posterior que refleja la luz incidente. No sirven en ambientes sin luz pero tienen consumos muy bajos.
- Transmisivos: con un generador de luz posterior (incandescencia, cátodo frío, diodos led).
- Transreflectivos: mixta combinación de los dos anteriores.

2.2.3.4. Control del LCD.

E: Señal de habilitación en las transferencias de información con el LCD (lecturas o escrituras) se debe poner a 1. Si no se usa el LCD debe permanecer a cero.

R/W: Selecciona lectura (1) o escritura (0) en el LCD. Lo normal es hacer escritura en LCD, pero es posible leer la RAM y el estado del LCD (ocupado o disponible) y el contador de direcciones.

RS: Se selecciona uno de los 2 Registros Internos del LCD:

- a) **IR** (Registro de instrucciones): almacena códigos de instrucciones relativas al manejo del display: borrar display, desplazar cursor, definir interface a 4 ú 8 bits, etc.
- b) **DR** (Registro de datos): almacena datos a leer o escribir en RAM.

2.2.3.5. Pines Externos del LCD.

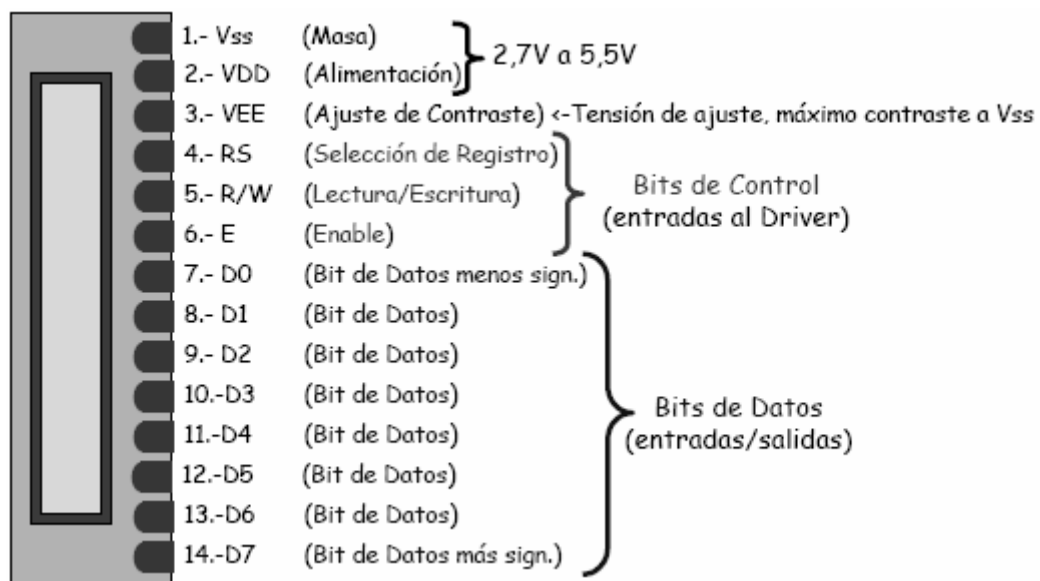


Figura 2.3. Descripción de pines de LCD.

2.3.6. Operaciones de Control

BF: Busy Flag ó Flag de ocupado, si está en 1 el LCD está en modo de operación interna y no puede procesar nuevos comandos hasta que se pone a 0.

AC: Address Counter ó Contador de Direcciones, es el puntero de la dirección de DDRAM ó CGRAM a la que se accedería con un comando de lectura o escritura de Registro de Datos.

Tras una lectura o escritura a RAM, el puntero se incrementa/decrementa (depende modo) de manera automática.

2.3.7. Cronogramas

1.- Escritura de Registro del LCD (interface 8 bits).

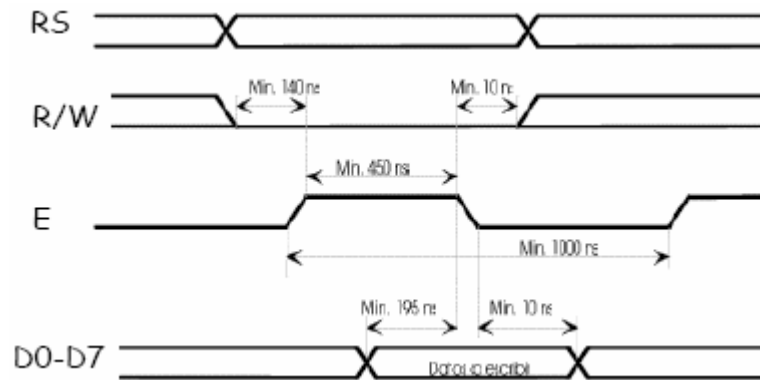


Figura 2.4. Cronograma Escritura Registro LCD.

Secuencia:

1.- Señal E=0

2.- RS=1 ó 0 y R/W=0

3.- E=1

4.- Situar dato en el bus

5.- E=0

2.- Lectura de Registro del LCD (interface 8 bits)

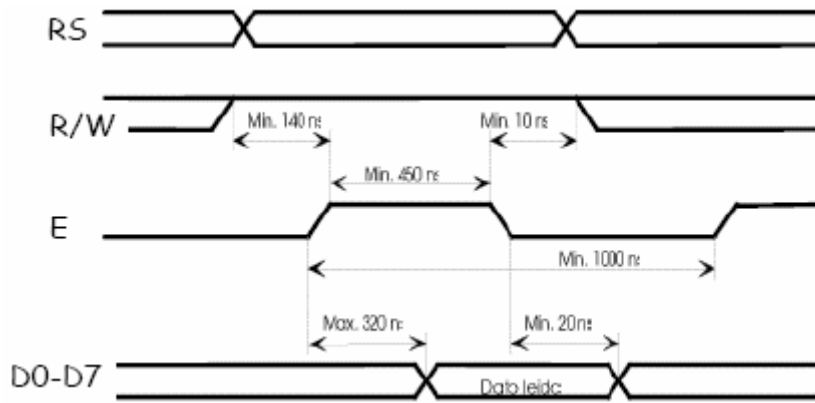


Figura 2.5. Cronograma Lectura Registro LCD.

- Secuencia:
- 1.- Señal E=0
 - 2.- RS=1 ó 0 y R/W=1
 - 3.- E=1
 - 4.- Leer dato del bus
 - 5.- E=0

2.3.9. Comandos del LCD

Después de ejecutar estos comandos, el puntero de direcciones se incrementa (o decrementa dependiendo del estado de I/D) en una unidad de manera automática.

El puntero se actualiza después de que BF pase a 0. Esta información se encuentra documentada en el Anexo B.

2.3.10. Descripción de los comandos

a) Borrar display.

00000001

Borra todas las posiciones de la DDRAM (0) y sitúa el display real en la posición inicial: desde la (1,1) hasta la (16,1) y desde la (1,2) hasta la (16,2).

Puntero en la posición 0 de la DDRAM.

b) Cursor a "CASA".

0000001x

El cursor es un indicador de la posición que se puede escribir a continuación en el LCD, indica la posición actual del puntero de direcciones.

El comando envía el cursor a la posición (1,1) (puntero en 0x00) y el display real se sitúa en la posición inicial.

No se modifica el contenido de la DDRAM.

c) Modo de Funcionamiento.

000001-I/D-S

I/D especifica incremento y desplazamiento del cursor a la derecha (1) o decremento y desplazamiento a la izquierda en pantalla (0) cuando se realice una lectura o escritura en DDRAM.

Si S=1 se debe desplazar el display real cada vez que se imprime un carácter, el desplazamiento será a la derecha o a la izquierda dependiendo de I/D.

d) Control Display, Cursor, Parpadeo.

00001DCB

Si D=0 el LCD no muestra nada pero la DDRAM mantiene su contenido, se pueden enviar y leer normalmente pero no aparece nada en pantalla, pueden volver a visualizar los caracteres de la DDRAM poniendo D=1.

Si C=1 se hace visible el cursor que indica la siguiente posición donde se imprimiría el siguiente carácter que se envíe (es un segmento de 5 puntos en la 8ª línea).

Si B=1 el carácter situado en la posición del cursor parpadea (a 2Hz aproximadamente).

e) Desplazar Cursor/Display.

0001-S/C-R/L-xx

Se emplea para desplazar una posición a la derecha/izquierda el cursor o el display real sin escribir o leer la DDRAM.

Si lo que se desplaza es el cursor (S/C=0), también se modifica el contador (puntero) de direcciones. Si se desplaza el display real (S/C=1) no cambia el puntero de direcciones de la DDRAM.

Si el display se define de una línea, al llegar a la posición final (carácter 16) se volvería a la primera con un desplazamiento del cursor.

Si el display está definido para 2 líneas, tras el carácter 16 de la primera línea se pasaría al principio de la 2ª línea.

f) Transferencia y Representación.

001-DL-N-F-xx

DL define el tamaño del interface de datos externo, si DL=1 es de 8 bits y si DL=0 es de 4 bits. Si N=1 se gestionan 2 líneas y si N=0 se trata de una línea activa en el display.

Si F=1 se emplean patrones de tamaño 5x10 y si F=0 son de 5x8 puntos.

g) Leer flag de ocupado y puntero de direcciones.

Con la combinación adecuada en RS y R/W las líneas de datos del LCD pasan a ser salidas y en el puerto del MCU se lee estado de BF y dirección actual del contador.

h) DDRAM (Display data RAM)

- Almacena el código de los caracteres que están siendo visualizados o que se encuentran en posiciones no visibles debido a la posición de la ventana de visualización.
- Tiene un tamaño de 2 líneas x 40 bytes/línea = 80 bytes
- Direcciones no contiguas entre línea 1 y 2

i) CGRAM (Character generator RAM)

- Contiene los patrones (caracteres) definibles por el usuario.

- Tamaño: 64 posiciones de 5 bits cada una, máximo 8 patrones.
- Direcciones 0x00 a 0x3F.

j) Enviar datos a DDRAM ó CGRAM:

Se carga la dirección de la DDRAM o la CGRAM a la que esté apuntando el contador de direcciones y éste se incrementa o decrementa dependiendo del estado configurado con I/D.

k) Leer contenido de DDRAM ó CGRAM.

Se lee el contenido de una posición de DDRAM o CGRAM, dependiendo dónde esté apuntando el contador de direcciones. Tras la lectura, este contador se incrementa o decrementa dependiendo del modo configurado con I/D.

2.3.11. Procesamiento de los Comandos.

- El LCD precisa de un cierto tiempo para procesar los comandos que se le van enviando. Para que se ejecute un determinado comando, es necesario que se haya finalizado el anterior.
- Posibilidades para asegurarlo:
 1. Esperar a que el flag de ocupado (BF) pase a 0.
 2. Establecer pausas entre comandos, las pausas deben ser superiores a los tiempos máximos que aparecen especificados para cada comando.

- Reset de inicialización en encendido con efectos: (tras paso por 4,5V inicialización dura 10ms aproximadamente).
- Borrado de Pantalla

DL=1(8 bits)

N=0 (1 línea)

F=0 (5x8 puntos)

D=0 (Display off)

C=0 (cursor off)

B=0 (sin parpadeo)

I/D=1 (Incremento)

S=0 (sin desplazamiento)

BF=1 durante inicialización

- Inicialización por software

El circuito de reset interno del LCD funcionará correctamente si la tensión de alimentación cumple unas determinadas condiciones:

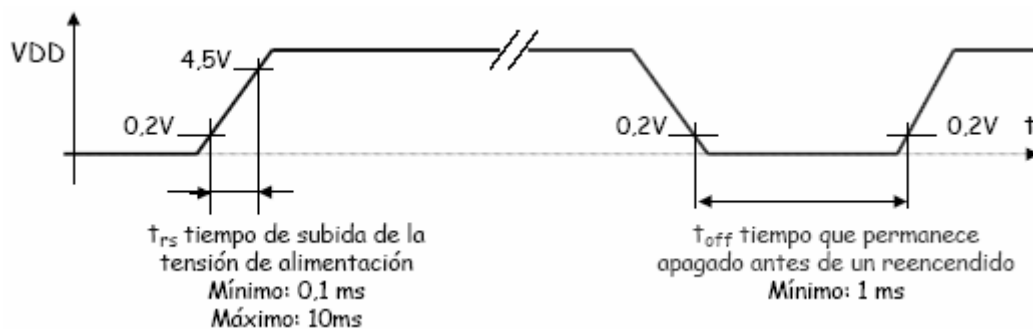


Figura 2.6. Diagrama de alimentación del LCD.

El tiempo que tarda la tensión de alimentación en pasar desde 0,2V hasta 4,5V debe situarse entre un máximo y un mínimo especificado.

El tiempo que debe transcurrir entre un apagado y un encendido debe ser superior a 1ms.

Si no se cumplen las condiciones anteriormente expuestas, será necesario inicializar adecuadamente el LCD por software mediante una secuencia de instrucciones determinada.

Se enviarán un “comando” repetido sin intención de configurar el LCD sino con el propósito de inicializar el microcontrolador. Tras la repetición de ese comando, se envían los comandos de configuración.

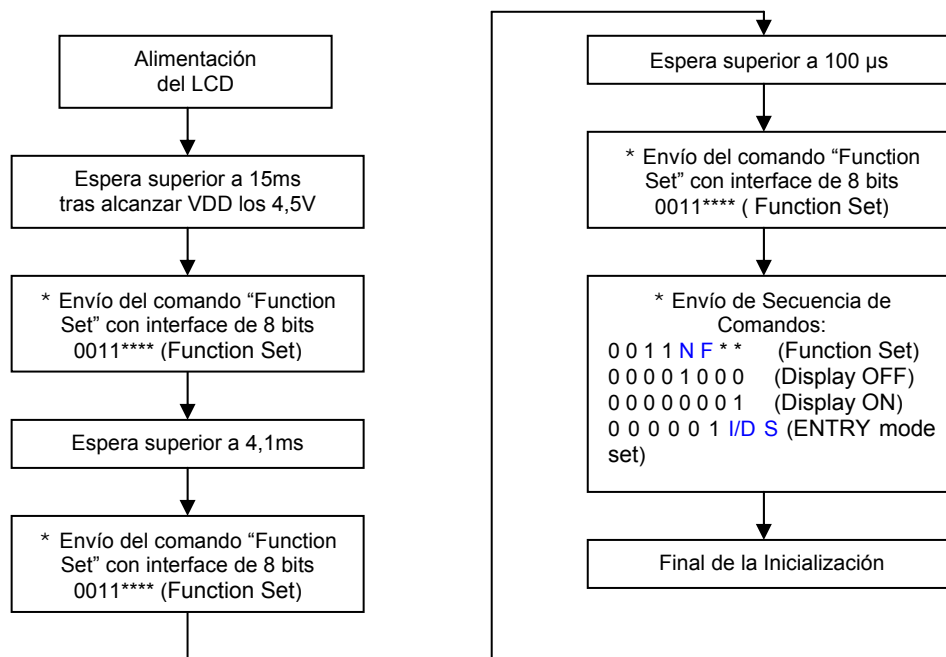


Figura 2.7. Secuencia de Inicialización para interface de 8 bits

Durante la secuencia de inicialización, el LCD no está en condiciones de responder si está listo con el flag BF, por ese motivo y para asegurar que el LCD los ha procesado se deben realizar unas pausas superiores a la duración especificada para los comandos.

La secuencia es ligeramente distinta dependiendo de que el interface se realice con 8 ó 4 bits, esto se muestra en las figuras 2.7 y 2.8.

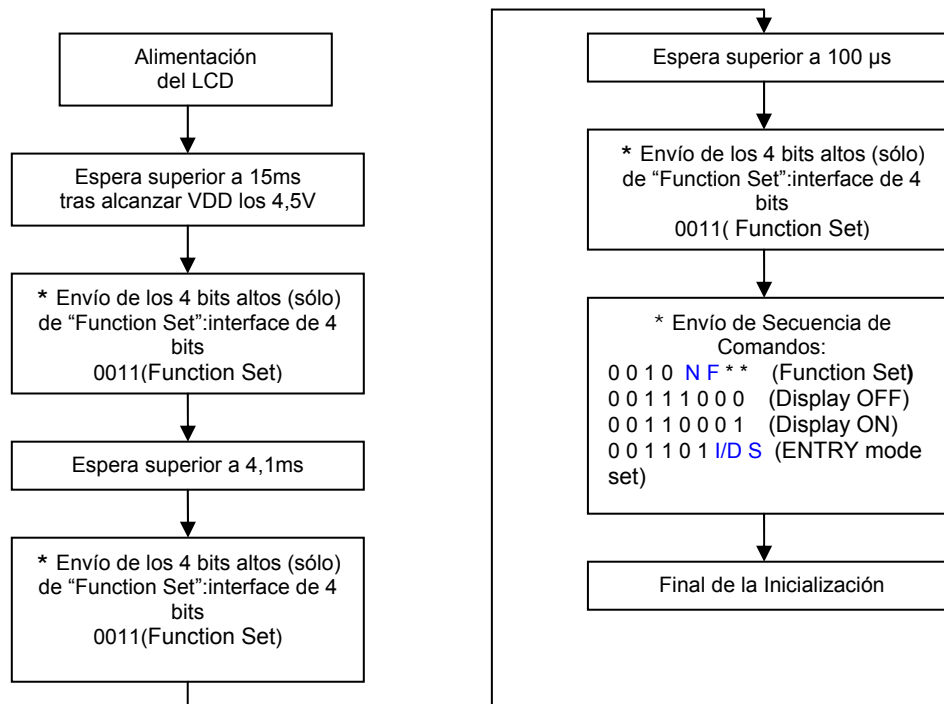


Figura 2.8. Secuencia de Inicialización para interface de 4 bits

- No es posible comprobar BF para el envío de estos comandos, se debe realizar una pausa.

2.2.4. Bloque A4

Es la etapa de amplificación de las salidas del microcontrolador, se utiliza el circuito integrado UNL2003, que maneja corrientes de salida hasta de 500mA, con lo que se puede controlar los diferentes relés de salida, el LCD y el BLACKLIGHT del LCD.

2.2.5. Bloque A5

Para realizar el control del sistema se utiliza relés con bobina de 5V. Son fáciles de adquirir en el mercado, el consumo es pequeño y el espacio que ocupan es mínimo, además de poseer un contacto normalmente abierto y un normalmente cerrado con un punto común.

2.2.6. Bloque A6

La etapa final del sistema es el calefón, el mismo que será controlado automáticamente por el microcontrolador 8751.

2.3. SELECCIÓN DE COMPONENTES

Para la lectura de datos que se realiza por el puerto P0, se utiliza el circuito recomendado para eliminar los rebotes; se trata del integrado 74LS14.

La salida de las señales de control es por el puerto P1, para lo cual se recurre al integrado UNL2003A, el mismo que maneja corriente de hasta 500mA. Con esto se puede manejar la carga que representan los relés, el display y el blacklight del mismo.

La información del estado del sistema se visualiza por medio de una pantalla de cristal líquido de 16 X 2 líneas.

El CPU en este caso es el microcontrolador 8751, las características se han mencionado anteriormente.

El Calefón que viene a ser el elemento principal se adquirió en base a las demandas de consumo del usuario. Sus características se detallan en la figura 3.2.

En el ANEXO A se especifica las hojas de datos de los componentes seleccionados para la implementación del circuito.

2.4. DIAGRAMA DE FLUJO DEL PROGRAMA DEL MICROCONTROLADOR

En la figura 2.9, se encuentra el diagrama de flujo del programa del microcontrolador que cumple con las especificaciones de diseño.

2.5. DISEÑO.

El presente trabajo tiene como objetivo principal el diseño, implementación y montaje de un sistema de control para el funcionamiento automático de un calentador de agua a gas con el microcontrolador 8751.

2.5.1. Software

El software del proyecto es un programa realizado con el microcontrolador 8751, el mismo que con sistemas de acondicionamiento de señal, periféricos de comunicación como el LCD, circuitos amplificadores de corriente; serán los encargados del buen desempeño del calentador de agua a gas.

2.5.2. Hardware

La fuente de alimentación del circuito es de 5 Vdc y 2 A. Luego el circuito de adquisición de datos se diseña con el circuito integrado 74LS14, que contiene seis compuertas smith trigger, con lo que se logra que las entradas al puerto P0 del microcontrolador no presente rebotes.

CAPITULO III

PRUEBAS DE FUNCIONAMIENTO Y MONTAJE

3.1. DESCRIPCIÓN DEL SISTEMA.

El presente proyecto consiste en automatizar un calentador de agua a gas para el sistema de distribución de agua caliente en una vivienda.

Para cumplir este propósito se tiene como elemento principal de control el microcontrolador 8751 que programado de manera adecuada hará que el sistema funcione de acuerdo a las especificaciones de diseño.

Una vez establecido el pulso de inicio, en este caso la apertura de la válvula de la línea de agua caliente, el calentador de agua a gas iniciará el proceso de manera automática energizando el sistema, la electroválvula y el piloto de gas para que se produzca el encendido del quemador; de la misma manera al cerrarse la válvula se producirá el apagado automático. En caso de que haya un corte del servicio de agua, al disponer de un tanque de reserva, el microcontrolador recibirá esta señal por medio de un presostato, en ese instante se energizará la bomba de agua y si se requiere de agua caliente el proceso será igual como se describió anteriormente.

En caso de que haya una elevación inusitada de temperatura, el microcontrolador recibe esta señal de un termostato instalado en la línea de salida del calentador enviando a todo el sistema a apagarse, y no saldrá de esa etapa hasta que nuevamente la señal del termostato vuelva a su estado normal.

Todo esto se visualizará en una pantalla de cristal líquido, el mismo que consta de los mensajes siguientes:

CALEFON ON	Funcionamiento normal.
BOMBA ON	Funcionamiento normal con bomba.
ALARMA ALTA TEMPERATURA	Sistema alarmado.
SISTEMA OFF	Sistema apagado.

Con esto el operador o persona encargada del sistema estará informada en que estado se encuentra el calentador de agua.

3.2. IMPLEMENTACIÓN Y PRUEBAS EXPERIMENTALES.

Para iniciar el proyecto se realizaron algunas adecuaciones del sistema de agua de la vivienda. De la línea principal que ingresa a los diferentes puntos de distribución, se realiza una toma que llega a un tanque de reserva, el mismo que tiene una válvula de control de nivel tipo flotador, de la salida de este reservorio se alimenta a una bomba que va a funcionar automáticamente en caso de que suspendan el servicio por medio de un presostato. La salida está conectada tanto para la vivienda como para el calefón a gas y cuenta con un juego de válvulas manuales para realizar el mantenimiento respectivo de los diferentes dispositivos del sistema. Además se realizó la instalación de la línea para agua caliente para los puntos establecidos.

Una vez comprobado todo el sistema hidráulico, se prosigue con el montaje del calentador de agua y varias pruebas del funcionamiento del sistema. La capacidad de presión de la bomba de agua cumple con los parámetros establecidos de distribución de agua hacia el domicilio de manera satisfactoria.

Después de haber terminado con las instalaciones hidráulicas, se continúa con el diseño del software y hardware para el control automático. Se realiza el diagrama

de flujo del sistema, se codifica el programa y se procede a grabar esta información en el microcontrolador; para posteriormente implementar el circuito con sus dispositivos electrónicos auxiliares en el protoboard, obteniendo resultados alentadores.

Se realiza la medición de corriente de consumo del microcontrolador y sus circuitos auxiliares, obteniendo como resultado 500 mA y una caída de voltaje de 0.5 Vdc de una fuente de alimentación de 5 Vdc y 1 A. Esto da la pauta que para los dispositivos utilizados para las señales de salida se utilice una fuente adicional de 5 Vdc, 1 A; con lo que se consigue aislar las salidas del resto del circuito con el integrado UNL2003.

El uso de relés de 5 Vdc, permite que no se tenga un contacto directo entre el circuito de control principal y el del calentador de agua, ya que son contactos normalmente abiertos y cerrados por los que circulará corrientes bajas del orden de unidades de miliamperios, ya que requiere de un voltaje de 1.5 Vdc para su funcionamiento.

Con esto se logra un factor de seguridad elevado y disminuir riesgos de algún incidente como fuego o explosión.

3.3. DETALLES DE MONTAJE.

3.3.1. Montaje de sistema de agua y circuito de control.

A continuación en las figura 3.1 y 3.2, se observan los circuitos correspondientes del sistema de control y de agua de la vivienda.

ITEM	P001
SERVICIO	BOMBA DE AGUA
SERVO	FRANCOLO
MODELO	6800
Q MAX	30 L / MIN
H MAX	8 m
SECCION 1" MAX	1/2"
SECCION 3/4" MAX	1/4"
SECCION 1/2" MAX	1/8"
SECCION 1/4" MAX	1/16"
SECCION 1/8" MAX	1/32"
SECCION 1/16" MAX	1/64"

ITEM	CALEFON A GAS
SERVICIO	SUMINISTRO AGUA CALIENTE
SERVO	BAÑIC
MODELO	AMERICAN WEST
TIPO	60 - 175
POTENCIA EN KW	4000W / 110V
CAUDAL NOMINAL EN LPM	25 L
PRESION DE AGUA NOMINAL	1.1 / 1.5
PRESION DE AGUA MAXIMA	263.1 / 3.0

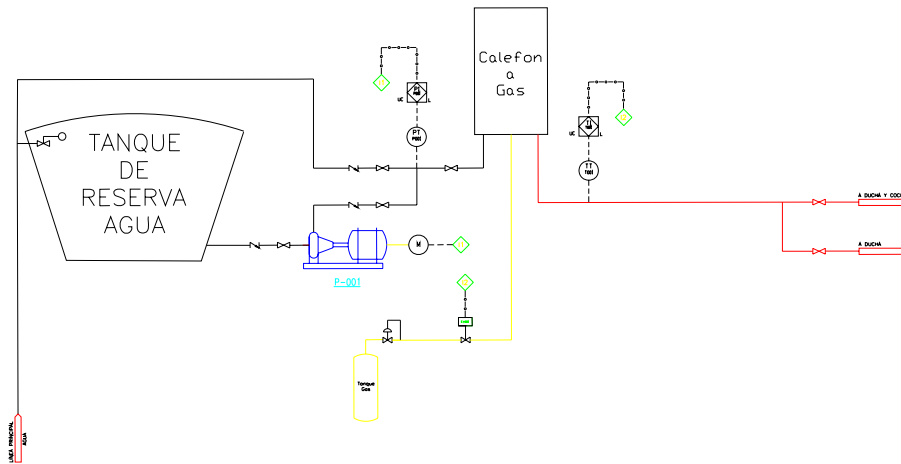


Figura 3.2. Circuito del Sistema de Agua

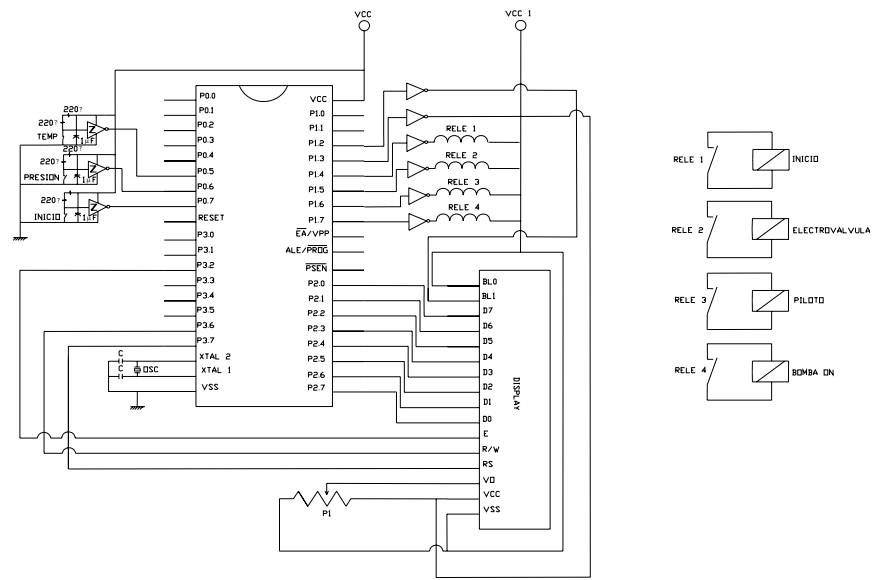


Figura 3.1. Circuito de Control

3.4. ALCANCES Y LIMITACIONES.

El funcionamiento del control automático del calentador de agua mientras no tenga cortes de energía operará en forma normal, cumpliendo con las características de diseño.

Las variables de entrada darán la pauta para que las señales de salida controlen adecuadamente el sistema, mientras que el display mostrará siempre la información del estado en que se encuentra.

En caso de tener algún problema la bomba de agua cuando no se disponga del servicio, el 8751 no permitirá que se realice ninguna acción y se mantendrá en OFF, puesto que el calentador dispone de una válvula que se activa por presión.

Además la bomba de agua se encenderá en caso de que baje la presión y sin necesidad del pulso inicial, porque se diseñó de tal manera que funcione para proveer del líquido al domicilio, tanto para el calentador como a los demás puntos de alimentación; mientras en la pantalla se indicará que la bomba esta activada.

El procedimiento con el termostato en caso de que este se active, el sistema no podrá ser reiniciado mientras no vuelva al estado original, es decir, si no baja la temperatura se mantendrá en alarma alta temperatura.

Mientras no se de el pulso de inicio, el display nos indicará que el sistema está en OFF y el calentador de agua estará fuera de servicio.

En cuanto a la seguridad se diseñó para que las corrientes y voltaje de trabajo sean bajas, con lo que se consigue una disminución de riesgo ante cualquier eventualidad que puede ocasionar, en caso de producirse algún inconveniente.

Cada etapa del circuito está aislado por diferentes medios, logrando optimizar el sistema para resolver problemas que se presenten y diagnosticar la falla rápidamente.

5. ANÁLISIS TÉCNICO- ECONÓMICO.

La electricidad para calefacción o para agua caliente es la forma mas ineficaz de utilización de esta energía (se pierde el 70% en la producción de electricidad).

Para realizar el cálculo del consumo por mes de una ducha eléctrica utilizaremos la siguiente fórmula.

EL COSTO MENSUAL = POTENCIA (kW) x horas de uso al día x días de uso al mes x tarifa eléctrica.

Donde:

Potencia de la ducha	4000 Watts
Horas de uso al día	1 Hora
Días de uso por mes	30
Tarifa eléctrica	USD. 0,099389671

Por lo que el costo mensual será de: USD. 11.93.

Sí este valor lo multiplicamos por 12 meses se tiene: USD. 143.12; que es la cantidad aproximada del costo de un calentador de agua a gas.

Este cálculo nos da una apreciación del ahorro que se puede obtener cambiando la forma de calentar el agua; de eléctrica a gas.

Con este análisis podemos establecer que el calentador de agua nos brindará un ahorro considerable y tomando en cuenta que la garantía que ofrece el vendedor es de 1 año. El mantenimiento es fácil y si lo realizamos de la forma adecuada la vida del calentador podrá alargarse por varios años, lo que amortiza el costo del equipo.

En el mercado se puede encontrar los accesorios principales del calentador, a precios accesibles; además de ser similares en su mayor parte para cualquier marca.

Al automatizar el calentador se puede ahorrar aún más, optimizando y alargando la duración de los electrodos de encendido, del quemador, del serpentín y bajando el consumo de gas.

Los elementos electrónicos tienen costos relativamente bajos y son de fácil adquisición en el mercado local. De acuerdo al diseño de la tarjeta electrónica se puede reemplazar de una forma sencilla.

Por lo que el proyecto “DISEÑO, IMPLEMENTACIÓN Y MONTAJE DE UN SISTEMA DE CONTROL PARA EL FUNCIONAMIENTO AUTOMÁTICO DE UN CALENTADOR DE AGUA A GAS CON MICROCONTROLADOR 8751”; nos brindará un funcionamiento adecuado y de bajo costo.

CAPITULO IV

CONCLUSIONES Y RECOMENDACIONES

4.1. CONCLUSIONES

- Al finalizar el proyecto podemos decir que se ha reafirmado y se ha puesto en práctica todos y cada uno de los conocimientos teóricos adquiridos en el transcurso de la vida estudiantil y laboral; cumpliendo con los objetivos propuestos al inicio de este diseño, como es el funcionamiento automático del sistema, con sus variables de proceso controladas por el microcontrolador 8751.
- La operación del equipo se garantiza dentro de sus especificaciones de diseño y que los circuitos electrónicos auxiliares responden de una forma adecuada y segura para su funcionamiento. El microcontrolador 8751 brinda muchas facilidades tanto interna como externamente; lo que permite una comunicación confiable y con datos reales del proceso.
- El conocimiento y el manejo adecuado de las diferentes herramientas manuales y accesorios utilizados para la instalación del circuito de agua fría y caliente, permitió que se realice rápidamente y con ahorro económico considerable.
- En la actualidad se puede conseguir información adicional de cualquier dispositivo, la forma de realizar el montaje, la parte técnica y teórica, los elementos y accesorios que se necesitan, etc. Esto hace que el diseño sea totalmente fiable y cumpla con los objetivos propuestos.

- Al trabajar con un módulo de Pantalla de Cristal Líquido; nos ofrece gran versatilidad en el manejo de datos del sistema. La disposición de sus comandos permite una comunicación efectiva con el microcontrolador 8751 y al familiarizarse con estos el intercambio de información es realmente viable.
- Poner en marcha el trabajo realizado y que funcione como se planteó al iniciarlo; hace que todo el esfuerzo y energía se convierta en satisfacción y nos da la pauta para continuar investigando y reforzando los conocimientos y avances científicos día a día.

4.2. RECOMENDACIONES

- Al iniciar el proyecto se debe tener suficiente información y conocimiento de los diferentes tipos de variables, elementos electrónicos y si son de fácil adquisición en el mercado local, lo que permitirá un ahorro de recursos y velocidad en el diseño del sistema.
- Al ser el microcontrolador 8751 un circuito de tecnología CMOS hay que tener cuidado en su manipulación, para no causar su destrucción. La programación se debe realizar de tal manera que se cumplan con la secuencia y no sufrir la pérdida de información.
- Se debe tener las hojas de datos de los diferentes elementos para poder realizar el cálculo del consumo de potencia y así evitar daños. Un mal diseño de la fuente de alimentación hará que el circuito y sus componentes no funcionen de acuerdo a las especificaciones para las que fueron fabricados.
- El manejo de Pantallas de Cristal Líquido proporciona datos fiables, pero al mismo tiempo hay que utilizar y conocer el procedimiento de programación, para no causar una avería al dispositivo. Un factor importante es su

inicialización, se la debe realizar de la forma adecuada para que su comunicación con el microcontrolador 8751 no tenga problemas.

- Los puntos de suelda de los dispositivos electrónicos se debe realizar en base a la información de la temperatura de las hojas de datos, porque puede afectar el funcionamiento a temperaturas distintas e inclusive su destrucción.
- Los puntos de conexión tanto de la fuente de energía como de los diferentes entradas y salidas de señales se debe realizar de acuerdo a especificaciones y normas eléctricas vigentes.
- Los anclajes tanto del calentador de agua como de la caja de conexiones eléctricas deben ser seguros, para evitar que estos produzcan averías y un funcionamiento inadecuado del sistema.
- Antes de realizar la compra de los accesorios para la instalación del circuito de agua se debe efectuar el plano correspondiente y la lista de materiales a ser utilizados. Impermeabilizar la tubería y verificar con una prueba hidrostática que no existan fugas.
- Constatar con un multímetro si la energía eléctrica cumple con los valores y condiciones que requiere el sistema. Además de la presión del agua y del gas.
- Verificar que no existan fugas de gas con una mezcla de agua y detergente antes de poner en funcionamiento el sistema.
- Guardar una copia del programa, para respaldar el software en caso de cambio o avería del microcontrolador.

BIBLIOGRAFIA

1. GONZÁLES VAZQUEZ JOSÉ ADOLFO, “Introducción a los Microcontroladores”, 1992 por McGRAW-HILL / INTERAMERICANA DE ESPAÑA.
2. BOYLESTAD ROBERT / NASHELSKY LOUIS, “Electrónica Teoría de Circuitos”, Cuarta Edición 1989 PRENTICE – HALL HISPANOAMERICANA, S.A.
3. Periféricos que facilitan el trabajo con Microcontroladores y Microprocesadores - Monografias_com.htm.
4. SÁNCHEZ ARELLANO EDUARDO, “Curso de Microcontroladores I”.PDF.
5. VALVULA TEMPORIZADORA.htm
6. ADQUISICIÓN DE MAGNITUDES FÍSICAS.PDF.
7. JUNKERS GRUPO BOSCH, “Guía del Instalador de Agua Caliente Sanitaria”.PDF.
8. www.DatasheetCatalog.com
9. ATE – UNIVERSIDAD DE OVIEDO, “Conexión de Periféricos a microcontroladores”.PDF.

10. **MAYNÉ JORDI, “Sensores Acondicionadores y Procesadores de señal”, SILICA An Avnet Division.PDF.**
11. **WWW.ALLDATASHEET.COM, “HD44780U (LCD – II)”.PDF.**
12. **www.datasheetcatalog.com,
“UNL2001A,UNL2002A,UNL2003A,UNL2004A”.PDF.**
13. **JAIMES V. MARTHA PAOLA, LÓPEZ A. ANA MARÍA, “ Diseño e Implementación de Transmisores de Temperatura, Humedad y Presión”, Universidad de Antioquia, Facultad de Ingeniería Departamento de Electrónica.**
14. **WWW.ALLDATASHEET.COM, “ MCS ® -51”.PDF**
15. **PHILIPS, “ECG ® Products”, Electronic Components.**
16. **YANSAPANTA SUNTA Eduardo R, “ Estudio e implementación de un control Digital por Supervisión y de un control Digital Directo”, ESPE – Latacunga 1997**
17. **AMORES GRANDES Darwin Humberto, LEÓN SEGOVIA Marco Aníbal, “Implementación de un control Digital de velocidad de un motor DC de 1 HP para cuatro cuadrantes”, ESPE – Latacunga 2000**

APENDICE A
GLOSARIO

A. C. S. Agua caliente sanitaria.

ACC. Registro de acumulación

A/D. Análogo / digital

Automatización. Aplicar la automatización a un proceso o un dispositivo.

BCD. Código digital binario

Bit. Unidad de medida

Buffer. Es una ubicación de la memoria en un instrumento digital reservada para el almacenamiento temporal de información

Control. Regulación manual o automática sobre un sistema

CPU. Unidad Central de Procesamiento

D/A. Digital / análogo

DPTR. Contador de programa

DR. Registro de datos

EA. Señales de acceso externo.

Encriptación. Conjunto de técnicas que intentan hacer inaccesible la información a personas no autorizadas

Hardware. Es el substrato físico, abarca todas las piezas físicas de un ordenador

I/E. Entrada / Salida

IE. Interrupción de borrado

IP. Interrupción de prioridad

IR. Registro de instrucciones

LCD. Dispositivos de cristal líquido

Monitoreo. Vigilar el funcionamiento de un sistema

Multiplexación. Técnica utilizada en comunicaciones y operaciones de entrada y salida para transmitir simultáneamente a través de un único canal o una sola línea varias señales diferentes.

PC's. Computador Personal

Poliamida. Polímero caracterizado por la presencia de múltiples grupos amida, como el nailon.

PWM. Modulación de ancho de pulso

RAM. Memoria de acceso aleatorio

ROM. Memoria de sólo lectura

PC. Contador de programa

Presostato. . Dispositivo que permite mantener constante la presión de un fluido en un circuito.

SFR. Registro de funciones especiales.

Software. El software es un conjunto de instrucciones indispensable para el funcionamiento del computador.

Válvula. Dispositivo mecánico empleado para controlar el flujo de un gas o un líquido.



PRELIMINARY

T-49-19-07

MCS®-51
8-BIT CONTROL-ORIENTED MICROCOMPUTERS
8031/8051
8031AH/8051AH
8032AH/8052AH
8751H/8751H-8

- High Performance HMOS Process
- Internal Timers/Event Counters
- 2-Level Interrupt Priority Structure
- 32 I/O Lines (Four 8-Bit Ports)
- 64K Program Memory Space
- Security Feature Protects EPROM Parts Against Software Piracy
- Boolean Processor
- Bit-Addressable RAM
- Programmable Full Duplex Serial Channel
- 111 Instructions (64 Single-Cycle)
- 64K Data Memory Space

The MCS®-51 products are optimized for control applications. Byte-processing and numerical operations on small data structures are facilitated by a variety of fast addressing modes for accessing the internal RAM. The instruction set provides a convenient menu of 8-bit arithmetic instructions, including multiply and divide instructions. Extensive on-chip support is provided for one-bit variables as a separate data type, allowing direct bit manipulation and testing in control and logic systems that require Boolean processing.

The 8051 is the original member of the MCS-51 family. The 8051AH is identical to the 8051, but it is fabricated with HMOS II technology.

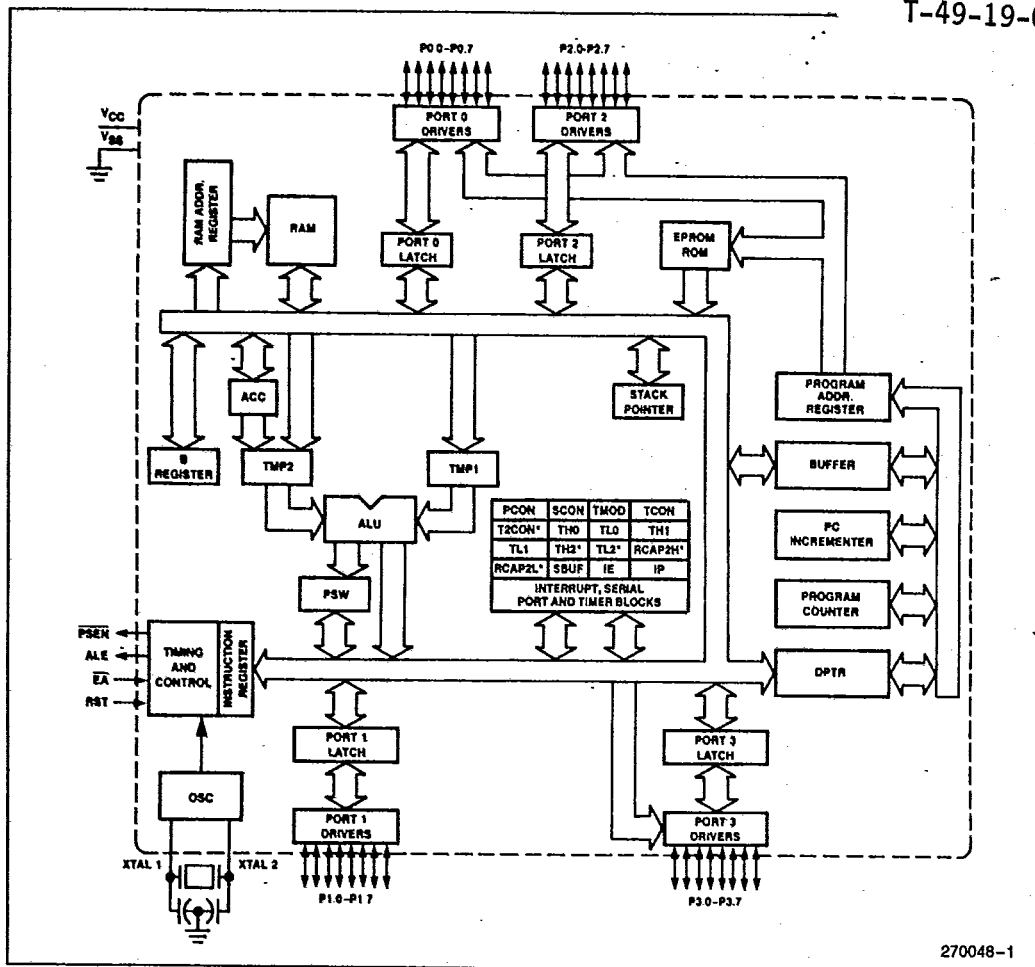
The 8751H is an EPROM version of the 8051AH; that is, the on-chip Program Memory can be electrically programmed, and can be erased by exposure to ultraviolet light. It is fully compatible with its predecessor, the 8751-8, but incorporates two new features: a Program Memory Security bit that can be used to protect the EPROM against unauthorized read-out, and a programmable baud rate modification bit (SMOD). The 8751H-8 is identical to the 8751H but only operates up to 8 MHz.

The 8052AH is an enhanced version of the 8051AH. It is backwards compatible with the 8051AH and is fabricated with HMOS II technology. The 8052AH enhancements are listed in the table below. Also refer to this table for the ROM, ROMless, and EPROM versions of each product.

Device	Internal Memory		Timers/ Event Counters	Interrupts
	Program	Data		
8052AH	8K x 8 ROM	256 x 8 RAM	3 x 16-Bit	6
8051AH	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8051	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8032AH	none	256 x 8 RAM	3 x 16-Bit	6
8031AH	none	128 x 8 RAM	2 x 16-Bit	5
8031	none	128 x 8 RAM	2 x 16-Bit	5
8751H	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5
8751H-8	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5



T-49-19-07



270048-1

Figure 1. MCS[®]-51 Block Diagram

PACKAGES

Part	Prefix	Package Type
8051AH/ 8031AH	P D N	40-Pin Plastic DIP 40-Pin CERDIP 44-Pin PLCC
8052AH/ 8032AH	P D N	40-Pin Plastic DIP 40-Pin CERDIP 44-Pin PLCC
8751H/ 8751H-8	D R	40-Pin CERDIP 44-Pin LCC

Port 0: Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink 8 LS TTL inputs.

Port 0 pins that have 1s written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1s and can source and sink 8 LS TTL inputs.

Port 0 also receives the code bytes during programming of the EPROM parts, and outputs the code bytes during program verification of the ROM and EPROM parts. External pullups are required during program verification.

PIN DESCRIPTIONS

V_{CC}: Supply voltage.

V_{SS}: Circuit ground.

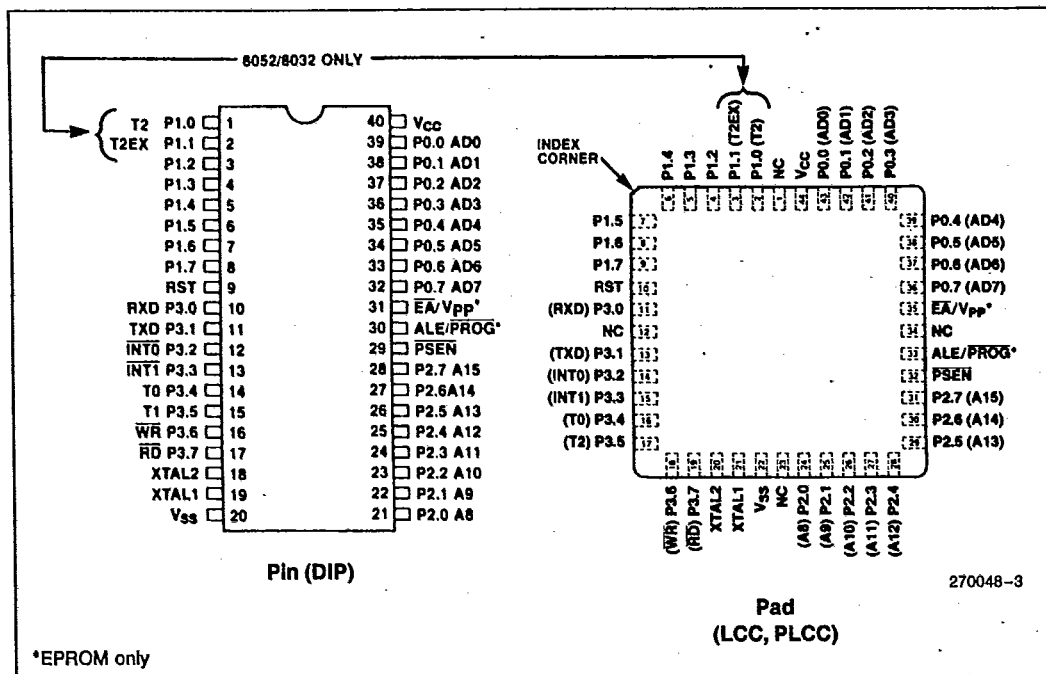


Figure 2. MCS[®]-51 Connections

Port 1: Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source 4 LS TTL inputs. Port 1 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL} on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during programming of the EPROM parts and during program verification of the ROM and EPROM parts.

In the 8032AH and 8052AH, Port 1 pins P1.0 and P1.1 also serve the T2 and T2EX functions, respectively.

Port 2: Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source 4 LS TTL inputs. Port 2 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL} on the data sheet) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @DPTR). In this application it uses strong internal pullups when emitting 1s. Dur-

ing accesses to external Data Memory that use 8-bit addresses (MOVX @Ri), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits during programming of the EPROM parts and during program verification of the ROM and EPROM parts.

Port 3: Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source 4 LS TTL inputs. Port 3 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL} on the data sheet) because of the pullups.

Port 3 also serves the functions of various special features of the MCS-51 Family, as listed below:

Port Pin	Alternative Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	WR (external data memory write strobe)
P3.7	RD (external data memory read strobe)

RST: Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/PROG: Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during programming of the EPROM parts.

In normal operation ALE is emitted at a constant rate of $\frac{1}{6}$ the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

PSEN: Program Store Enable is the read strobe to external Program Memory.

When the device is executing code from external Program Memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to external Data Memory.

EA/V_{pp}: External Access enable \overline{EA} must be strapped to V_{SS} in order to enable any MCS-51 device to fetch code from external Program memory locations starting at 0000H up to FFFFH. \overline{EA} must be strapped to V_{CC} for internal program execution.

Note, however, that if the Security Bit in the EPROM devices is programmed, the device will not fetch code from any location in external Program Memory.

This pin also receives the 21V programming supply voltage (V_{PP}) during programming of the EPROM parts.

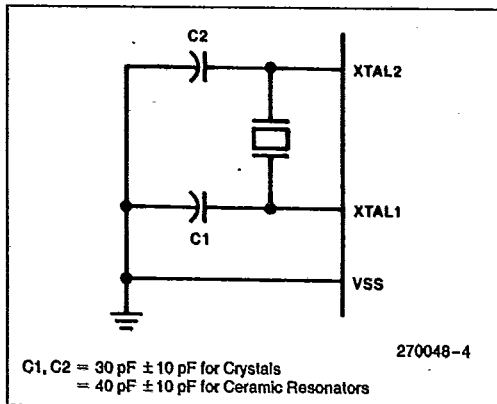


Figure 3. Oscillator Connections

XTAL1: Input to the inverting oscillator amplifier.

XTAL2: Output from the inverting oscillator amplifier.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 3. Either a quartz crystal or ceramic resonator may be used. More detailed information concerning the use of the on-chip oscillator is available in Application Note AP-155, "Oscillators for Microcontrollers."

To drive the device from an external clock source, XTAL1 should be grounded, while XTAL2 is driven, as shown in Figure 4. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the Data Sheet must be observed.

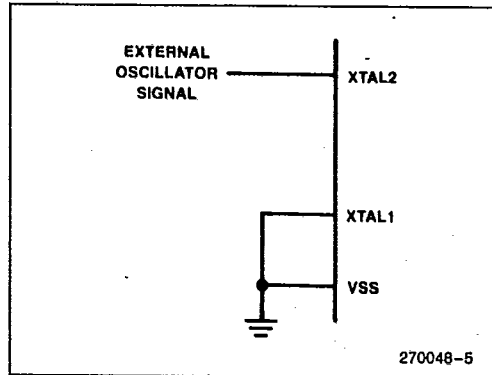


Figure 4. External Drive Configuration

DESIGN CONSIDERATIONS

If an 8751BH or 8752BH may replace an 8751H in a future design, the user should carefully compare both data sheets for DC or AC Characteristic differences. Note that the V_{IH} and I_{IH} specifications for the EA pin differ significantly between the devices.

Exposure to light when the EPROM device is in operation may cause logic errors. For this reason, it is suggested that an opaque label be placed over the window when the die is exposed to ambient light.



T-49-19-07

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage on \overline{EA}/V_{PP} Pin to V_{SS} ... -0.5V to +21.5V
 Voltage on Any Other Pin to V_{SS} -0.5V to +7V
 Power Dissipation.....1.5W

**Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } 70^\circ\text{C}; V_{CC} = 5V \pm 10\%; V_{SS} = 0V$

Symbol	Parameter	Min	Max	Units	Test Conditions
V_{IL}	Input Low Voltage (Except \overline{EA} Pin of 8751H & 8751H-8)	-0.5	0.8	V	
V_{IL1}	Input Low Voltage to \overline{EA} Pin of 8751H & 8751H-8	0	0.7	V	
V_{IH}	Input High Voltage (Except XTAL2, RST)	2.0	$V_{CC} + 0.5$	V	
V_{IH1}	Input High Voltage to XTAL2, RST	2.5	$V_{CC} + 0.5$	V	XTAL1 = V_{SS}
V_{OL}	Output Low Voltage (Ports 1, 2, 3)*		0.45	V	$I_{OL} = 1.6 \text{ mA}$
V_{OL1}	Output Low Voltage (Port 0, ALE, PSEN)*		0.60	V	$I_{OL} = 3.2 \text{ mA}$
			0.45	V	$I_{OL} = 2.4 \text{ mA}$
			0.45	V	$I_{OL} = 3.2 \text{ mA}$
V_{OH}	Output High Voltage (Ports 1, 2, 3, ALE, PSEN)	2.4		V	$I_{OH} = -80 \mu\text{A}$
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	2.4		V	$I_{OH} = -400 \mu\text{A}$
I_{IL}	Logical 0 Input Current (Ports 1, 2, 3, RST) 8032AH, 8052AH All Others		-800 -500	μA μA	$V_{IN} = 0.45\text{V}$ $V_{IN} = 0.45\text{V}$
I_{IL1}	Logical 0 Input Current to \overline{EA} Pin of 8751H & 8751H-8 Only		-15	mA	$V_{IN} = 0.45\text{V}$
I_{IL2}	Logical 0 Input Current (XTAL2)		-3.2	mA	$V_{IN} = 0.45\text{V}$
I_{LI}	Input Leakage Current (Port 0) 8751H & 8751H-8 All Others		± 100	μA	$0.45 \leq V_{IN} \leq V_{CC}$
			± 10	μA	$0.45 \leq V_{IN} \leq V_{CC}$
I_{IH}	Logical 1 Input Current to \overline{EA} Pin of 8751H & 8751H-8		500	μA	$V_{IN} = 2.4\text{V}$
I_{IH1}	Input Current to RST to Activate Reset		500	μA	$V_{IN} < (V_{CC} - 1.5\text{V})$
I_{CC}	Power Supply Current: 8031/8051 8031AH/8051AH 8032AH/8052AH 8751H/8751H-8		160	mA	All Outputs Disconnected; $\overline{EA} = V_{CC}$
			125	mA	
			175	mA	
			250	mA	
C_{IO}	Pin Capacitance		10	pF	Test freq = 1 MHz

***NOTE:**

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the V_{OL} s of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100 pF), the noise pulse on the ALE line may exceed 0.8V. In such cases it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input.

MCS[®]-51

PRELIMINARY

T-49-19-07

A.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } +70^\circ\text{C}$; $V_{CC} = 5V \pm 10\%$; $V_{SS} = 0V$;
Load Capacitance for Port 0, ALE, and PSEN = 100 pF;
Load Capacitance for All Other Outputs = 80 pF

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
1/TCLCL	Oscillator Frequency			3.5	12.0	MHz
TLHLL	ALE Pulse Width	127		2TCLCL - 40		ns
TAVLL	Address Valid to ALE Low	43		TCLCL - 40		ns
TLLAX	Address Hold after ALE Low	48		TCLCL - 35		ns
TLLIV	ALE Low to Valid Instr In					
	8751H		183		4TCLCL - 150	ns
	All Others		233		4TCLCL - 100	ns
TLLPL	ALE Low to PSEN Low	58		TCLCL - 25		ns
TPLPH	PSEN Pulse Width					
	8751H	190		3TCLCL - 60		ns
	All Others	215		3TCLCL - 35		ns
TPLIV	PSEN Low to Valid Instr In					
	8751H		100		3TCLCL - 150	ns
	All Others		125		3TCLCL - 125	ns
TPXIX	Input Instr Hold after PSEN	0		0		ns
TPXIZ	Input Instr Float after PSEN		63		TCLCL - 20	ns
TPXAV	PSEN to Address Valid	75		TCLCL - 8		ns
TAVIV	Address to Valid Instr In					
	8751H		267		5TCLCL - 150	ns
	All Others		302		5TCLCL - 115	ns
TPLAZ	PSEN Low to Address Float		20		20	ns
TRLRH	RD Pulse Width	400		6TCLCL - 100		ns
TWLWH	WR Pulse Width	400		6TCLCL - 100		ns
TRLDV	RD Low to Valid Data In		252		5TCLCL - 165	ns
TRHDX	Data Hold after RD	0		0		ns
TRHDZ	Data Float after RD		97		2TCLCL - 70	ns
TLLDV	ALE Low to Valid Data In		517		8TCLCL - 150	ns
TAVDV	Address to Valid Data In		585		9TCLCL - 165	ns
TLLWL	ALE Low to RD or WR Low	200	300	3TCLCL - 50	3TCLCL + 50	ns
TAVWL	Address to RD or WR Low	203		4TCLCL - 130		ns
TQVWX	Data Valid to WR Transition					
	8751H	13		TCLCL - 70		ns
	All Others	23		TCLCL - 60		ns
TQVWH	Data Valid to WR High	433		7TCLCL - 150		ns
TWHQX	Data Hold after WR	33		TCLCL - 50		ns
TRLAZ	RD Low to Address Float		20		20	ns
TWHLH	RD or WR High to ALE High					
	8751H	33	133	TCLCL - 50	TCLCL + 50	ns
	All Others	43	123	TCLCL - 40	TCLCL + 40	ns

NOTE:

*This table does not include the 8751-8 A.C. characteristics (see next page).



T-49-19-07

This Table is only for the 8751H-8

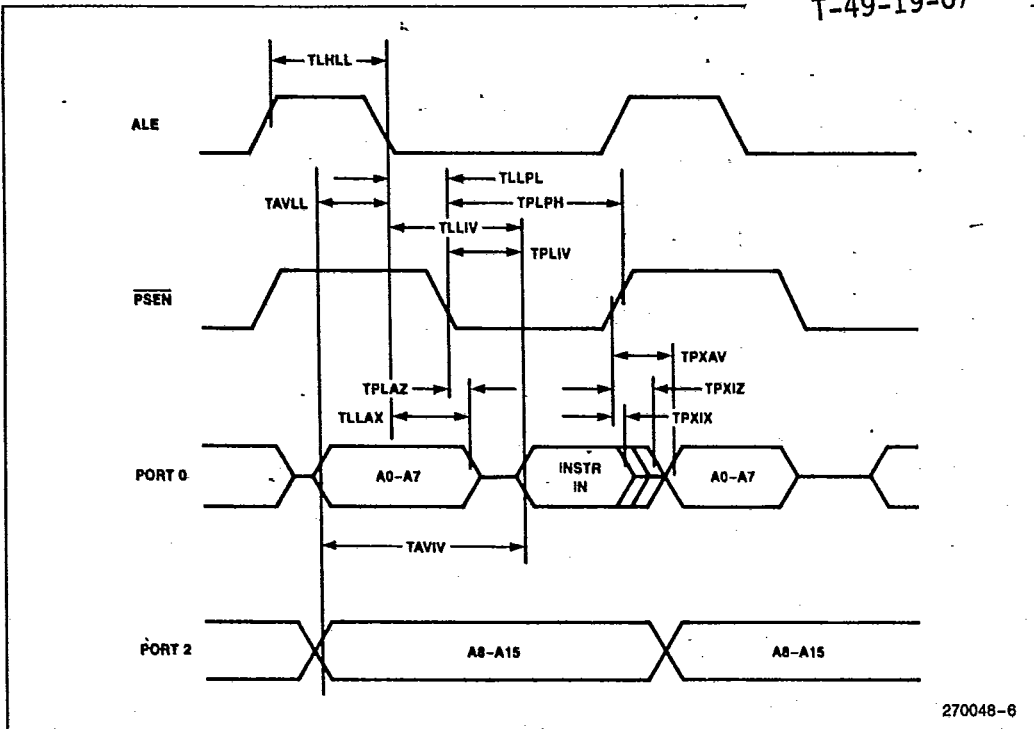
A.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } +70^\circ\text{C}$; $V_{CC} = 5V \pm 10\%$; $V_{SS} = 0V$;
 Load Capacitance for Port 0, ALE, and PSEN = 100 pF;
 Load Capacitance for All Other Outputs = 80 pF

Symbol	Parameter	8 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
1/TCLCL	Oscillator Frequency			3.5	8.0	MHz
TLHLL	ALE Pulse Width	210		2TCLCL - 40		ns
TAVLL	Address Valid to ALE Low	85		TCLCL - 40		ns
TLLAX	Address Hold after ALE Low	90		TCLCL - 35		ns
TLLIV	ALE Low to Valid Instr In		350		4TCLCL - 150	ns
TLLPL	ALE Low to PSEN Low	100		TCLCL - 25		ns
TPLPH	PSEN Pulse Width	315		3TCLCL - 60		ns
TPLIV	PSEN Low to Valid Instr In		225		3TCLCL - 150	ns
TPXIX	Input Instr Hold after PSEN	0		0		ns
TPXIZ	Input Instr Float after PSEN		105		TCLCL - 20	ns
TPXAV	PSEN to Address Valid	117		TCLCL - 8		ns
TAVIV	Address to Valid Instr In		475		5TCLCL - 150	ns
TPLAZ	PSEN Low to Address Float		20		20	ns
TRLRH	RD Pulse Width	650		6TCLCL - 100		ns
TWLWH	WR Pulse Width	650		6TCLCL - 100		ns
TRLDV	RD Low to Valid Data In		460		5TCLCL - 165	ns
TRHDX	Data Hold after RD	0		0		ns
TRHDZ	Data Float after RD		180		2TCLCL - 70	ns
TLLDV	ALE Low to Valid Data In		850		8TCLCL - 150	ns
TAVDV	Address to Valid Data In		960		9TCLCL - 165	ns
TLLWL	ALE Low to RD or WR Low	325	425	3TCLCL - 50	3TCLCL + 50	ns
TAVWL	Address to RD or WR Low	370		4TCLCL - 130		ns
TQVWX	Data Valid to WR Transition	55		TCLCL - 70		ns
TQVWH	Data Valid to WR High	725		7TCLCL - 150		ns
TWHQX	Data Hold after WR	75		TCLCL - 50		ns
TRLAZ	RD Low to Address Float		20		20	ns
TWHLH	RD or WR High to ALE High	75	175	TCLCL - 50	TCLCL + 50	ns



EXTERNAL PROGRAM MEMORY READ CYCLE

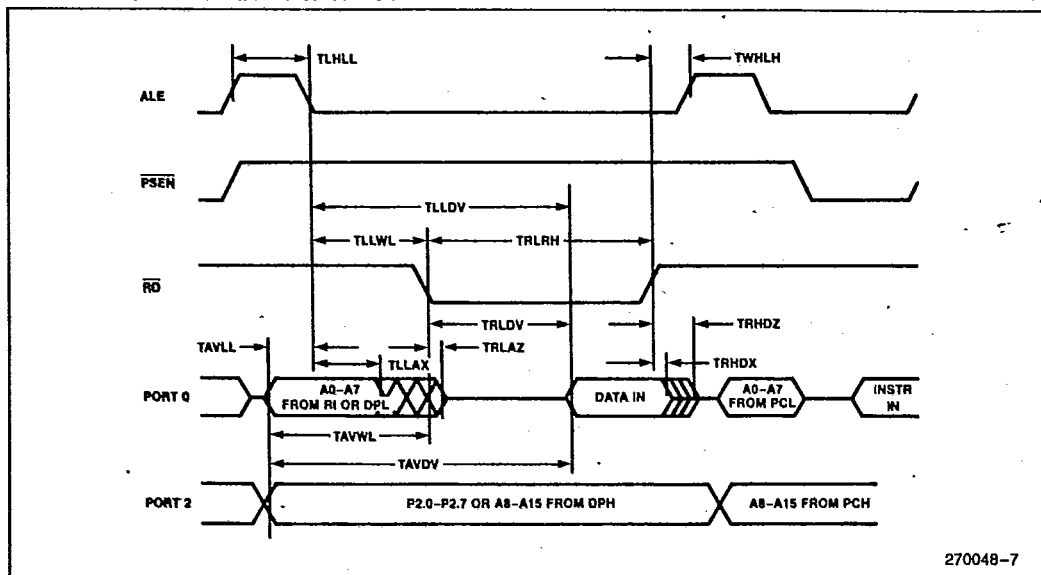
T-49-19-07



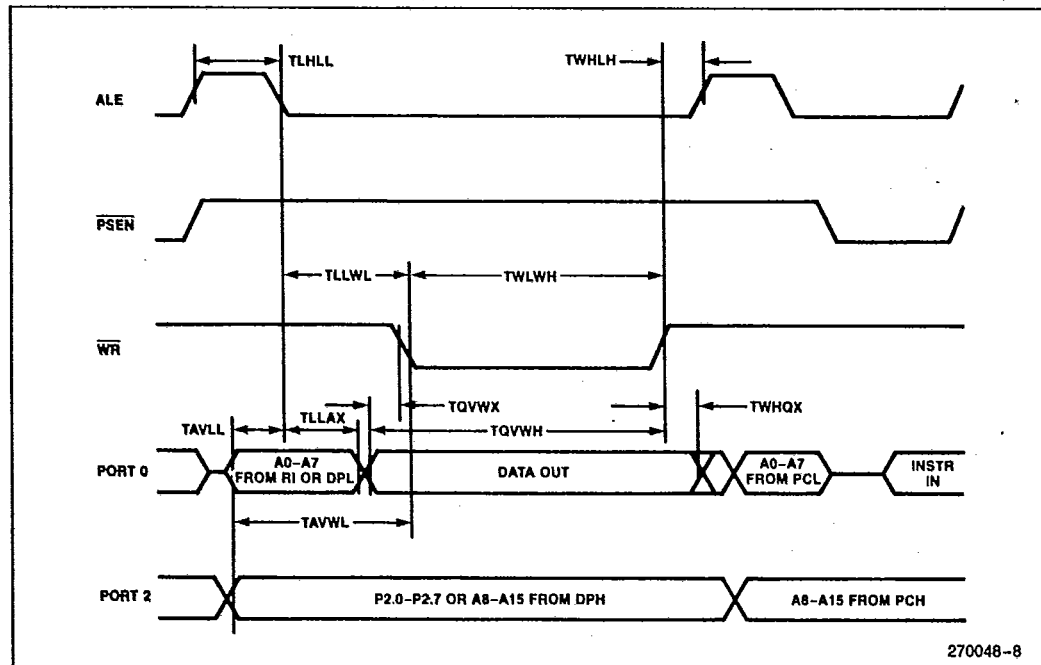


EXTERNAL DATA MEMORY READ CYCLE

T-49-19-07



EXTERNAL DATA MEMORY WRITE CYCLE



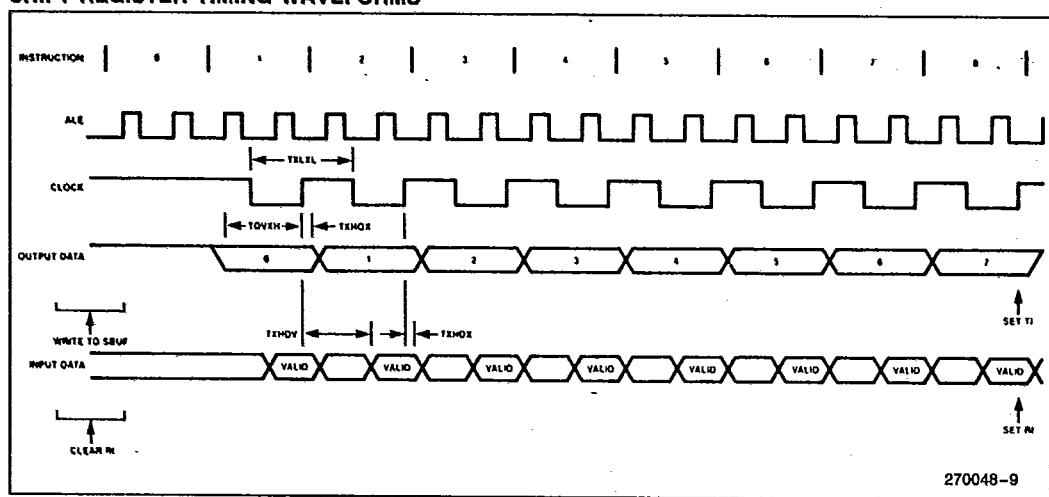


SERIAL PORT TIMING—SHIFT REGISTER MODE

Test Conditions: T_A = 0°C to 70°C; V_{CC} = 5V ± 10%; V_{SS} = 0V; Load Capacitance = 80 pF

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
TXLXL	Serial Port Clock Cycle Time	1.0		12TCLCL		μs
TQVXH	Output Data Setup to Clock Rising Edge	700		10TCLCL - 133		ns
TXHQX	Output Data Hold after Clock Rising Edge	50		2TCLCL - 117		ns
TXHDX	Input Data Hold after Clock Rising Edge	0		0		ns
TXHDV	Clock Rising Edge to Input Data Valid		700		10TCLCL - 133	ns

SHIFT REGISTER TIMING WAVEFORMS



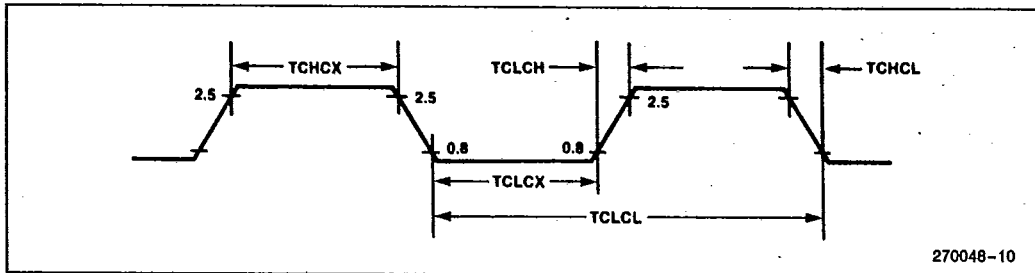


T-49-19-07

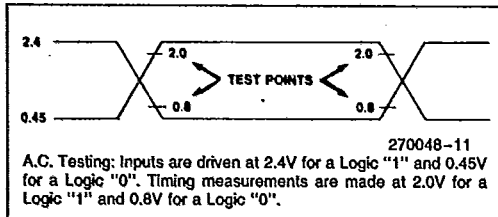
EXTERNAL CLOCK DRIVE

Symbol	Parameter	Min	Max	Units
1/TCLCL	Oscillator Frequency (except 8751H-8) 8751H-8	3.5 3.5	12 8	MHz MHz
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns

EXTERNAL CLOCK DRIVE WAVEFORM



A.C. TESTING INPUT, OUTPUT WAVEFORM





EPROM CHARACTERISTICS

Table 3. EPROM Programming Modes

Mode	RST	PSEN	ALE	EA	P2.7	P2.6	P2.5	P2.4
Program	1	0	0*	VPP	1	0	X	X
Inhibit	1	0	1	X	1	0	X	X
Verify	1	0	1	1	0	0	X	X
Security Set	1	0	0*	VPP	1	1	X	X

NOTE:

"1" = logic high for that pin
 "0" = logic low for that pin
 "X" = "don't care"

"VPP" = +21V ±0.5V
 *ALE is pulsed low for 50 ms.

Programming the EPROM

To be programmed, the part must be running with a 4 to 6 MHz oscillator. (The reason the oscillator needs to be running is that the internal bus is being used to transfer address and program data to appropriate internal registers.) The address of an EPROM location to be programmed is applied to Port 1 and pins P2.0–P2.3 of Port 2, while the code byte to be programmed into that location is applied to Port 0. The other Port 2 pins, and RST, PSEN, and EA should be held at the "Program" levels indicated in Table 3. ALE is pulsed low for 50 ms to program the code byte into the addressed EPROM location. The setup is shown in Figure 5.

Normally EA is held at a logic high until just before ALE is to be pulsed. Then EA is raised to +21V, ALE is pulsed, and then EA is returned to a logic high. Waveforms and detailed timing specifications are shown in later sections of this data sheet.

Note that the EA/VPP pin must not be allowed to go above the maximum specified VPP level of 21.5V for any amount of time. Even a narrow glitch above that voltage level can cause permanent damage to the device. The VPP source should be well regulated and free of glitches.

Program Verification

If the Security Bit has not been programmed, the on-chip Program Memory can be read out for verification purposes, if desired, either during or after the programming operation. The address of the Program Memory location to be read is applied to Port 1 and pins P2.0–P2.3. The other pins should be held at the "Verify" levels indicated in Table 3. The contents of the addressed location will come out on Port 0. External pullups are required on Port 0 for this operation.

The setup, which is shown in Figure 6, is the same as for programming the EPROM except that pin P2.7 is held at a logic low, or may be used as an active-low read strobe.

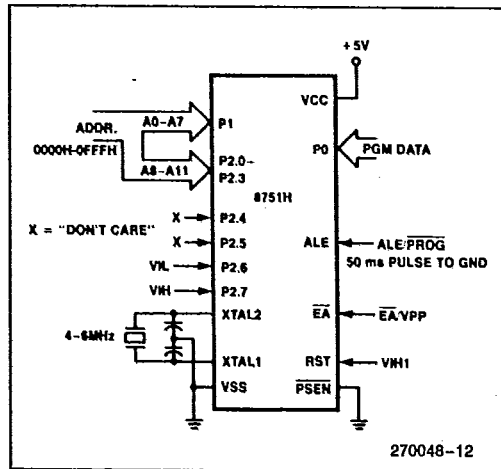


Figure 5. Programming Configuration

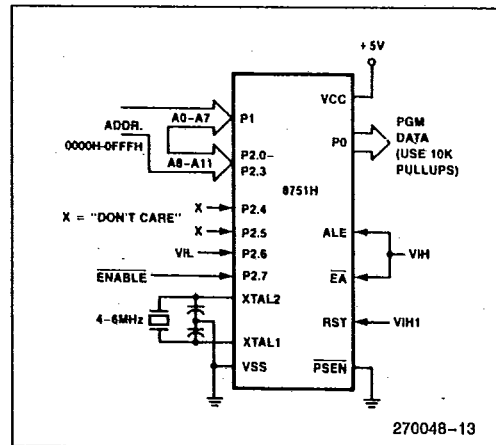


Figure 6. Program Verification

EPROM Security

The security feature consists of a "locking" bit which when programmed denies electrical access by any external means to the on-chip Program Memory. The bit is programmed as shown in Figure 7. The setup and procedure are the same as for normal EPROM programming, except that P2.6 is held at a logic high. Port 0, Port 1, and pins P2.0–P2.3 may be in any state. The other pins should be held at the "Security" levels indicated in Table 3.

Once the Security Bit has been programmed, it can be cleared only by full erasure of the Program Memory. While it is programmed, the internal Program Memory can not be read out, the device can not be further programmed, and it can not execute out of external program memory. Erasing the EPROM, thus clearing the Security Bit, restores the device's full functionality. It can then be reprogrammed.

Erasure Characteristics

Erasure of the EPROM begins to occur when the chip is exposed to light with wavelengths shorter than approximately 4,000 Angstroms. Since sunlight and fluorescent lighting have wavelengths in this range, exposure to these light sources over an extended time (about 1 week in sunlight, or 3 years in room-level fluorescent lighting) could cause inadvertent erasure. If an application subjects the device to this type of exposure, it is suggested that an opaque label be placed over the window.

EPROM PROGRAMMING AND VERIFICATION CHARACTERISTICS

T_A = 21°C to 27°C; V_{CC} = 5V ± 10%; V_{SS} = 0V

Symbol	Parameter	Min	Max	Units
V _{PP}	Programming Supply Voltage	20.5	21.5	V
I _{PP}	Programming Supply Current		30	mA
1/TCLCL	Oscillator Frequency	4	6	MHz
TAVGL	Address Setup to $\overline{\text{PROG}}$ Low	48TCLCL		
TGHAX	Address Hold after $\overline{\text{PROG}}$	48TCLCL		
TDVGL	Data Setup to $\overline{\text{PROG}}$ Low	48TCLCL		
TGHDX	Data Hold after $\overline{\text{PROG}}$	48TCLCL		
TEHSH	P2.7 ($\overline{\text{ENABLE}}$) High to V _{PP}	48TCLCL		
TSHGL	V _{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
TGHSL	V _{PP} Hold after $\overline{\text{PROG}}$	10		μs
TGLGH	$\overline{\text{PROG}}$ Width	45	55	ms
TAVQV	Address to Data Valid		48TCLCL	
TELQV	$\overline{\text{ENABLE}}$ Low to Data Valid		48TCLCL	
TEHQZ	Data Float after $\overline{\text{ENABLE}}$	0	48TCLCL	

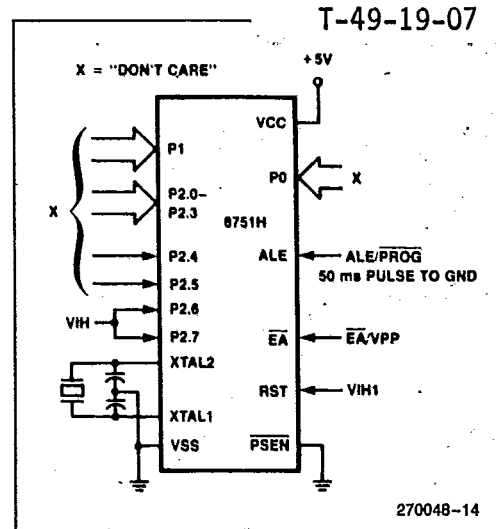


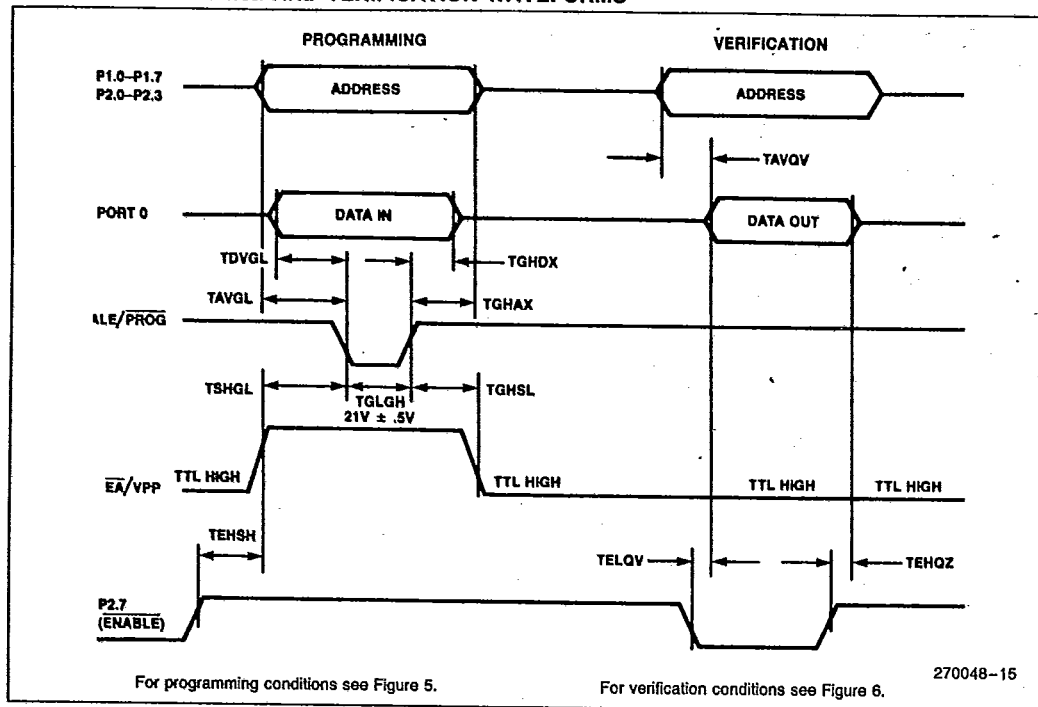
Figure 7. Programming the Security Bit

The recommended erasure procedure is exposure to ultraviolet light (at 2537 Angstroms) to an integrated dose of at least 15 W-sec/cm². Exposing the EPROM to an ultraviolet lamp of 12,000 μW/cm² rating for 20 to 30 minutes, at a distance of about 1 inch, should be sufficient.

Erasure leaves the array in an all 1s state.

EPROM PROGRAMMING AND VERIFICATION WAVEFORMS

T-49-19-07

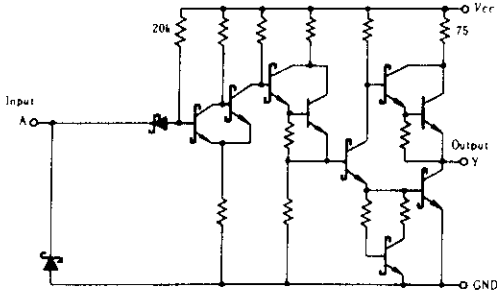


DATA SHEET REVISION SUMMARY

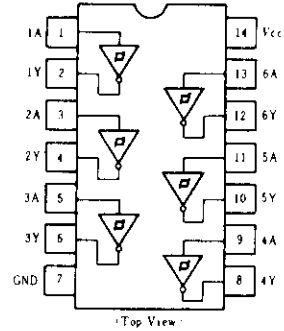
The following are the key differences between this and the -003 version of this data sheet:

1. Introduction was expanded to include product descriptions.
2. Package table was added.
3. Design Considerations added.
4. Test Conditions for I_{L1} and I_{IH} specifications added to the DC Characteristics.
5. Data Sheet Revision Summary added.

■ CIRCUIT SCHEMATIC (1/6)



■ PIN ARRANGEMENT



■ ELECTRICAL CHARACTERISTICS (Ta = -20 ~ +75°C)

Item	Symbol	Test Conditions	min	typ*	max	Unit	
Input threshold voltage	V_{T^+}	$V_{CC}=5V$	1.4	1.6	1.9	V	
	V_{T^-}	$V_{CC}=5V$	0.5	0.7	1.0	V	
Hysteresis	$V_{T^+} - V_{T^-}$	$V_{CC}=5V$	0.4	0.9	—	V	
Output voltage	V_{OH}	$V_{CC}=4.75V, V_I=0.5V, I_{OH}=-400\mu A$	2.7	—	—	V	
	V_{OL}	$V_{CC}=4.75V, V_I=1.9V$	$I_{OL}=8mA$	—	—	0.50	V
			$I_{OL}=4mA$	—	—	0.40	
Input threshold current	I_{T^+}	$V_{CC}=5V, V_I=V_{T^+}$	—	-0.14	—	mA	
	I_{T^-}	$V_{CC}=5V, V_I=V_{T^-}$	—	-0.18	—	mA	
Input current	I_{IH}	$V_{CC}=5.25V, V_I=2.7V$	—	—	20	μA	
	I_{IL}	$V_{CC}=5.25V, V_I=0.4V$	—	—	-0.4	mA	
	I_I	$V_{CC}=5.25V, V_I=7V$	—	—	0.1	mA	
Short-circuit output current	I_{OS}	$V_{CC}=5.25V$	-20	—	-100	mA	
Supply current	I_{CCH}	$V_{CC}=5.25V$	—	8.6	16	mA	
	I_{CCL}	$V_{CC}=5.25V$	—	12	21	mA	
Input clamp voltage	V_{IK}	$V_{CC}=4.75V, I_{IN}=-18mA$	—	—	-1.5	V	

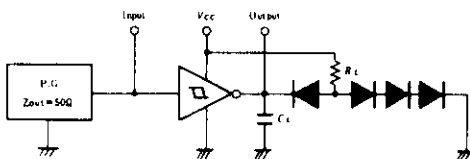
* $V_{CC}=5V, T_a=25^\circ C$

■ SWITCHING CHARACTERISTICS ($V_{CC}=5V, T_a=25^\circ C$)

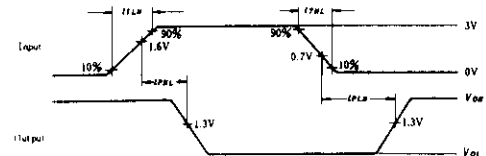
Item	Symbol	Test Conditions	min	typ	max	Unit
Propagation delay time	t_{PLH}	$C_L=15pF, R_L=2k\Omega$	—	15	22	ns
	t_{PHL}		—	15	22	ns

■ TESTING METHOD

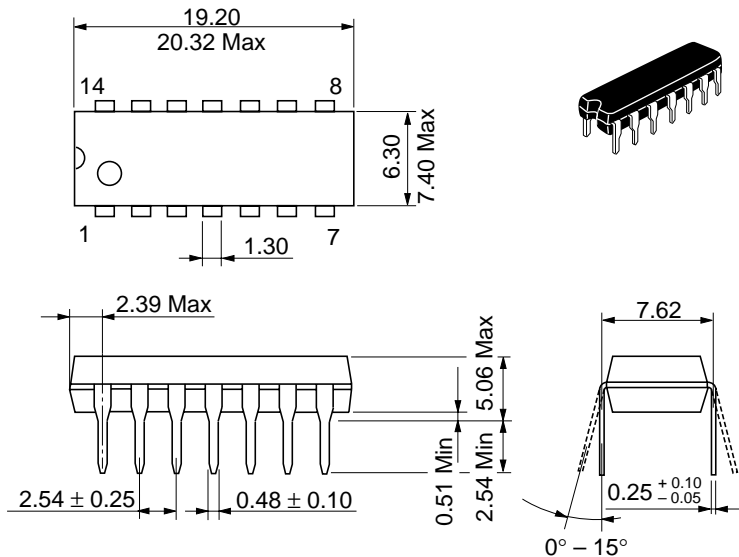
1. Test Circuit



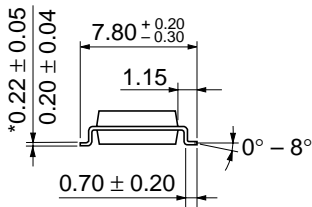
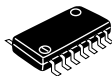
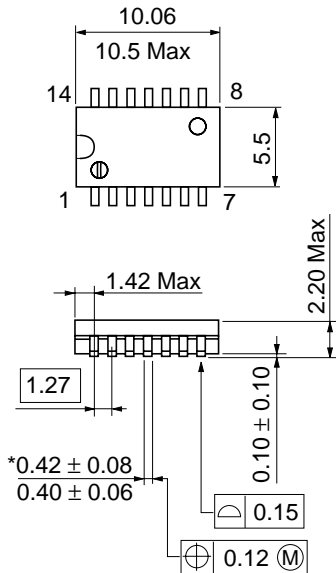
Waveform



- Notes) 1. Input pulse; $t_{TLH} \leq 15ns, t_{THL} \leq 6ns, PRR=1MHz, \text{duty cycle}=50\%$
 2. C_L includes probe and jig capacitance.
 3. All diodes are 1S2074

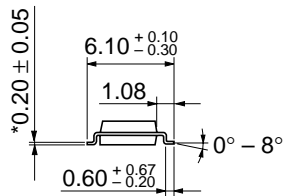
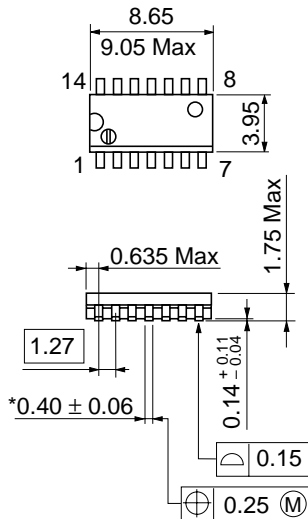


Hitachi Code	DP-14
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.97 g



Hitachi Code	FP-14DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.23 g

*Dimension including the plating thickness
Base material dimension



Hitachi Code	FP-14DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.13 g

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

HITACHI

Hitachi, Ltd.

Semiconductor & Integrated Circuits.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL North America : <http://semiconductor.hitachi.com/>
 Europe : <http://www.hitachi-eu.com/hel/ecg>
 Asia (Singapore) : <http://www.has.hitachi.com.sg/grp3/sicd/index.htm>
 Asia (Taiwan) : http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
 Asia (HongKong) : <http://www.hitachi.com.hk/eng/bo/grp3/index.htm>
 Japan : <http://www.hitachi.co.jp/Sicd/indx.htm>

For further information write to:

Hitachi Semiconductor
(America) Inc.
179 East Tasman Drive,
San Jose, CA 95134
Tel: <1> (408) 433-1990
Fax: <1> (408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Dornacher Straße 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building, No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

Copyright ' Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

HITACHI

This datasheet has been downloaded from:

www.DatasheetCatalog.com

Datasheets for electronic components.



ULN2001A-ULN2002A ULN2003A-ULN2004A

SEVEN DARLINGTON ARRAYS

- SEVEN DARLINGTONS PER PACKAGE
- OUTPUT CURRENT 500mA PER DRIVER (600mA PEAK)
- OUTPUT VOLTAGE 50V
- INTEGRATED SUPPRESSION DIODES FOR INDUCTIVE LOADS
- OUTPUTS CAN BE PARALLELED FOR HIGHER CURRENT
- TTL/CMOS/PMOS/DTL COMPATIBLE INPUTS
- INPUTS PINNED OPPOSITE OUTPUTS TO SIMPLIFY LAYOUT

DESCRIPTION

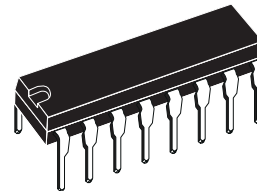
The ULN2001A, ULN2002A, ULN2003 and ULN2004A are high voltage, high current darlington arrays each containing seven open collector darlington pairs with common emitters. Each channel rated at 500mA and can withstand peak currents of 600mA. Suppression diodes are included for inductive load driving and the inputs are pinned opposite the outputs to simplify board layout.

The four versions interface to all common logic families :

ULN2001A	General Purpose, DTL, TTL, PMOS, CMOS
ULN2002A	14-25V PMOS
ULN2003A	5V TTL, CMOS
ULN2004A	6-15V CMOS, PMOS

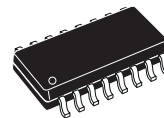
These versatile devices are useful for driving a wide range of loads including solenoids, relays DC motors, LED displays filament lamps, thermal print-heads and high power buffers.

The ULN2001A/2002A/2003A and 2004A are supplied in 16 pin plastic DIP packages with a copper leadframe to reduce thermal resistance. They are available also in small outline package (SO-16) as ULN2001D/2002D/2003D/2004D.



DIP16

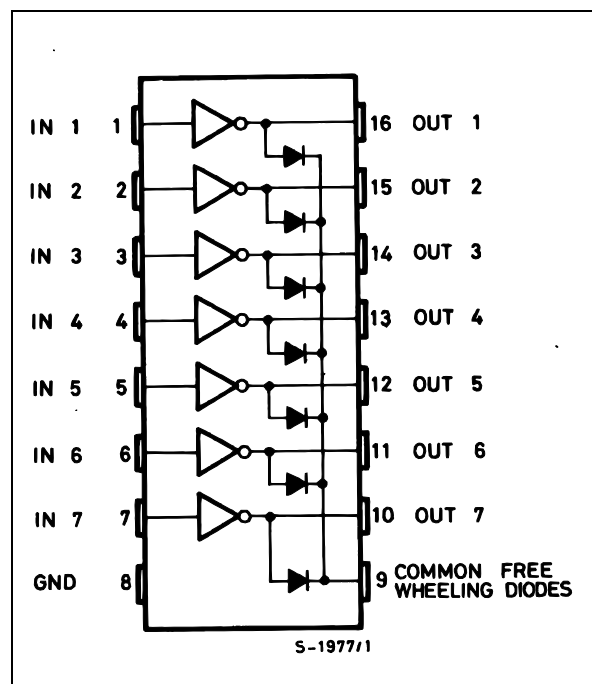
ORDERING NUMBERS: ULN2001A/2A/3A/4A



SO16

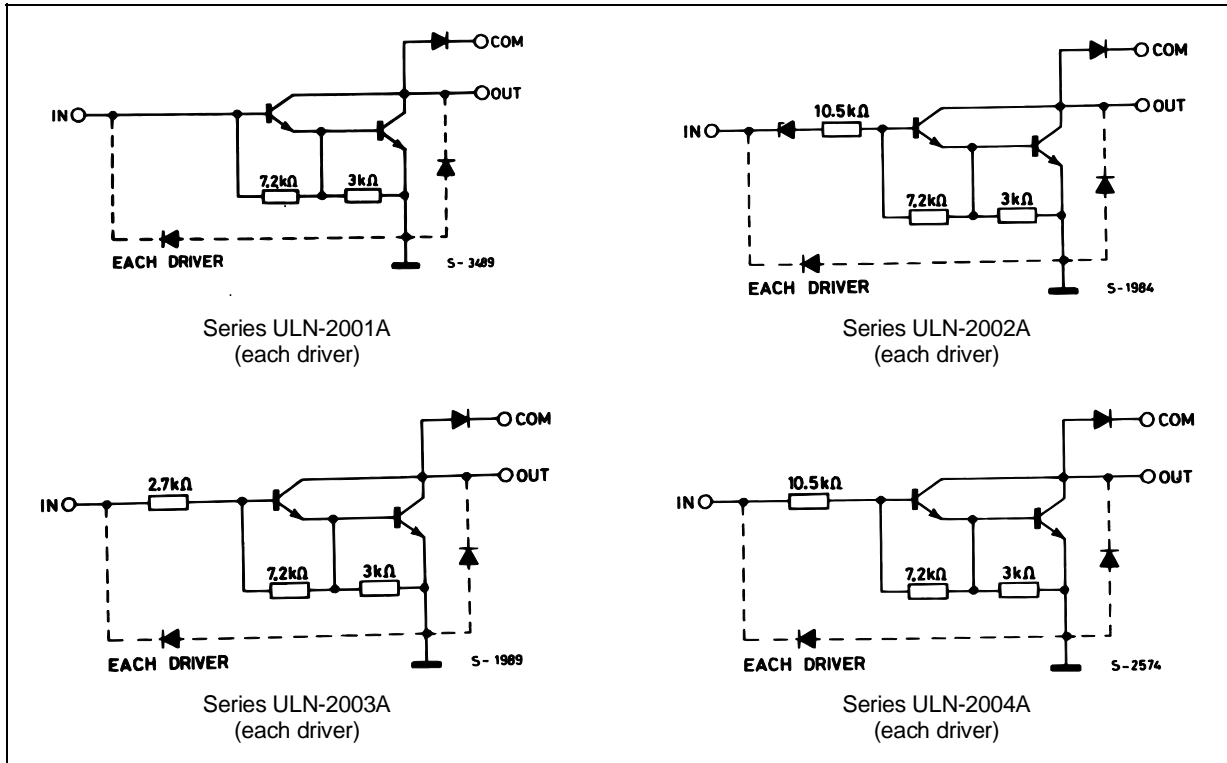
ORDERING NUMBERS: ULN2001D/2D/3D/4D

PIN CONNECTION



ULN2001A - ULN2002A - ULN2003A - ULN2004A

SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_o	Output Voltage	50	V
V_{in}	Input Voltage (for ULN2002A/D - 2003A/D - 2004A/D)	30	V
I_c	Continuous Collector Current	500	mA
I_b	Continuous Base Current	25	mA
T_{amb}	Operating Ambient Temperature Range	- 20 to 85	°C
T_{stg}	Storage Temperature Range	- 55 to 150	°C
T_j	Junction Temperature	150	°C

THERMAL DATA

Symbol	Parameter	DIP16	SO16	Unit
$R_{th j-amb}$	Thermal Resistance Junction-ambient	Max. 70	120	°C/W

ULN2001A - ULN2002A - ULN2003A - ULN2004A

ELECTRICAL CHARACTERISTICS ($T_{amb} = 25^{\circ}\text{C}$ unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	Fig.
I_{CEX}	Output Leakage Current	$V_{CE} = 50\text{V}$ $T_{amb} = 70^{\circ}\text{C}, V_{CE} = 50\text{V}$			50 100	μA μA	1a 1a
		$T_{amb} = 70^{\circ}\text{C}$ for ULN2002A $V_{CE} = 50\text{V}, V_i = 6\text{V}$			500	μA	1b
		for ULN2004A $V_{CE} = 50\text{V}, V_i = 1\text{V}$			500	μA	1b
$V_{CE(sat)}$	Collector-emitter Saturation Voltage	$I_C = 100\text{mA}, I_B = 250\mu\text{A}$		0.9	1.1	V	2
		$I_C = 200\text{mA}, I_B = 350\mu\text{A}$		1.1	1.3	V	2
		$I_C = 350\text{mA}, I_B = 500\mu\text{A}$		1.3	1.6	V	2
$I_{i(on)}$	Input Current	for ULN2002A, $V_i = 17\text{V}$		0.82	1.25	mA	3
		for ULN2003A, $V_i = 3.85\text{V}$		0.93	1.35	mA	3
		for ULN2004A, $V_i = 5\text{V}$		0.35	0.5	mA	3
		$V_i = 12\text{V}$		1	1.45	mA	3
$I_{i(off)}$	Input Current	$T_{amb} = 70^{\circ}\text{C}, I_C = 500\mu\text{A}$	50	65		μA	4
$V_{i(on)}$	Input Voltage	$V_{CE} = 2\text{V}$ for ULN2002A $I_C = 300\text{mA}$			13	V	5
		for ULN2003A $I_C = 200\text{mA}$			2.4		
		$I_C = 250\text{mA}$			2.7		
		$I_C = 300\text{mA}$			3		
		for ULN2004A $I_C = 125\text{mA}$			5		
		$I_C = 200\text{mA}$			6		
		$I_C = 275\text{mA}$			7		
		$I_C = 350\text{mA}$			8		
h_{FE}	DC Forward Current Gain	for ULN2001A $V_{CE} = 2\text{V}, I_C = 350\text{mA}$	1000				2
C_i	Input Capacitance			15	25	pF	
t_{PLH}	Turn-on Delay Time	$0.5 V_i$ to $0.5 V_o$		0.25	1	μs	
t_{PHL}	Turn-off Delay Time	$0.5 V_i$ to $0.5 V_o$		0.25	1	μs	
I_R	Clamp Diode Leakage Current	$V_R = 50\text{V}$			50	μA	6
		$T_{amb} = 70^{\circ}\text{C}, V_R = 50\text{V}$			100	μA	6
V_F	Clamp Diode Forward Voltage	$I_F = 350\text{mA}$		1.7	2	V	7

TEST CIRCUITS

Figure 1a.

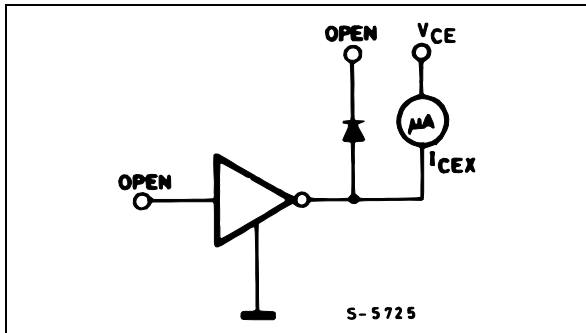


Figure 1b.

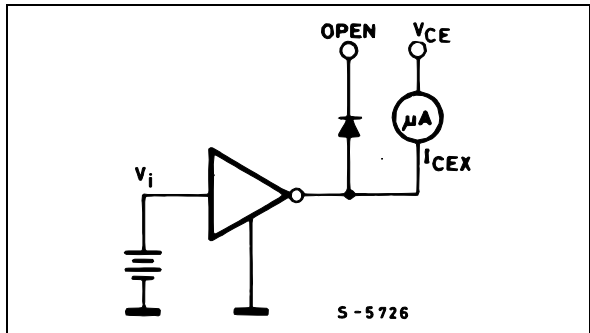


Figure 2.

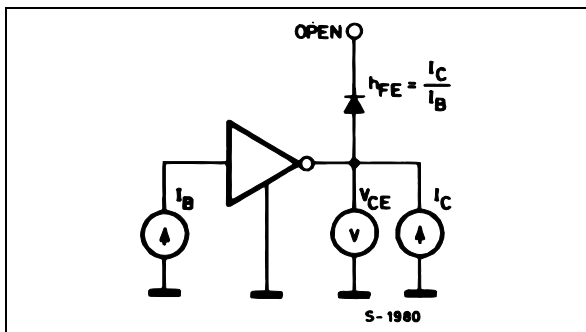


Figure 3.

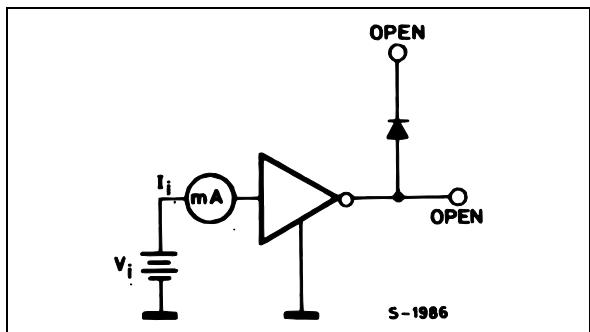


Figure 4.

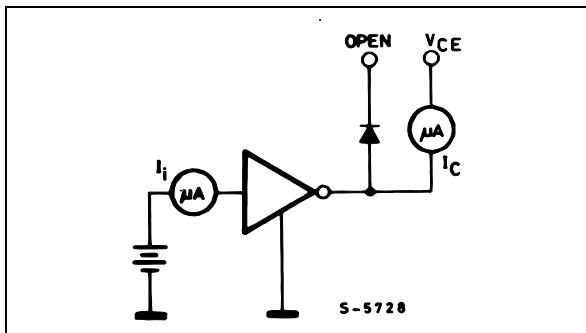


Figure 5.

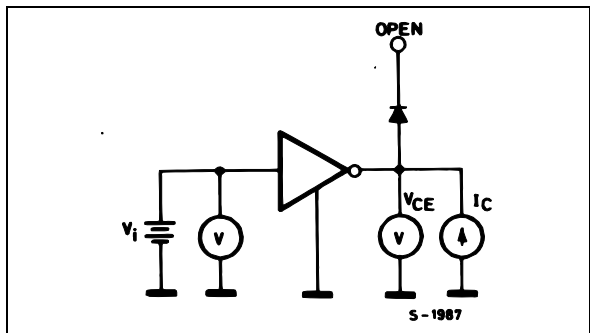


Figure 6.

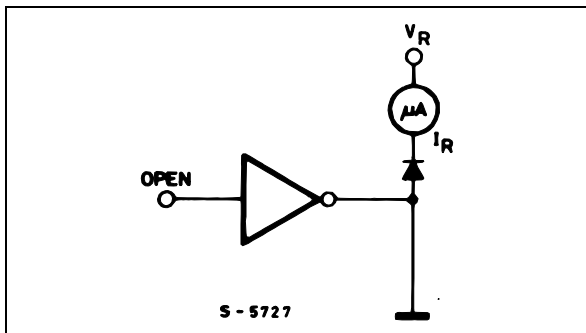


Figure 7.

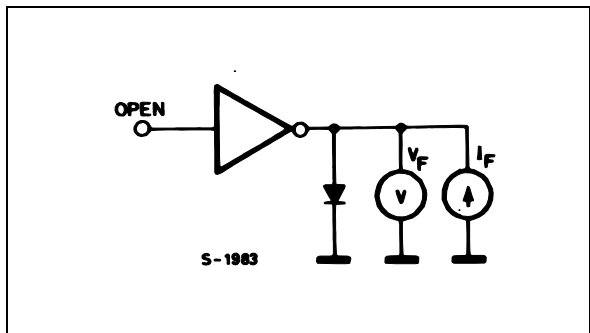


Figure 8: Collector Current versus Input Current

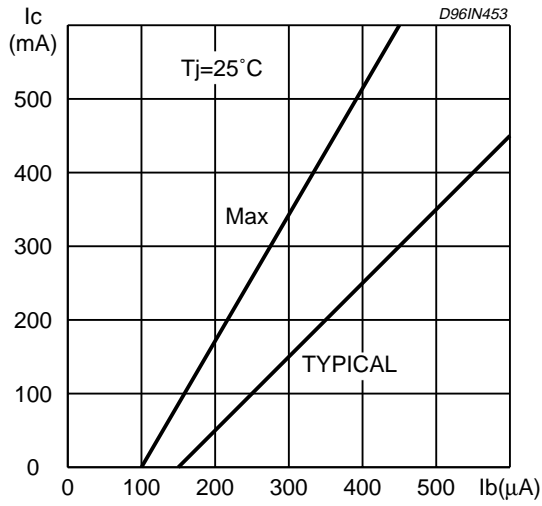


Figure 9: Collector Current versus Saturation Voltage

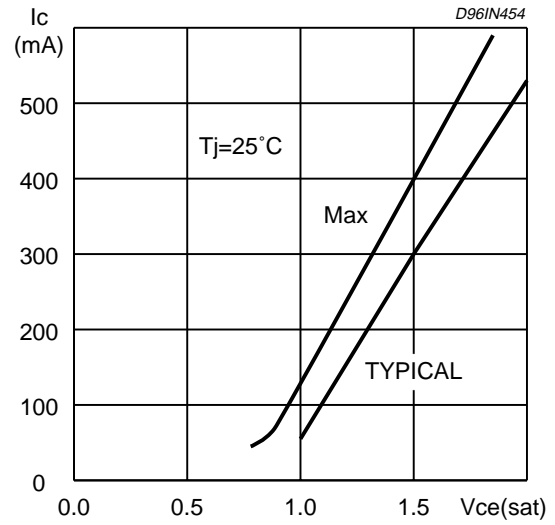


Figure 10: Peak Collector Current versus Duty Cycle

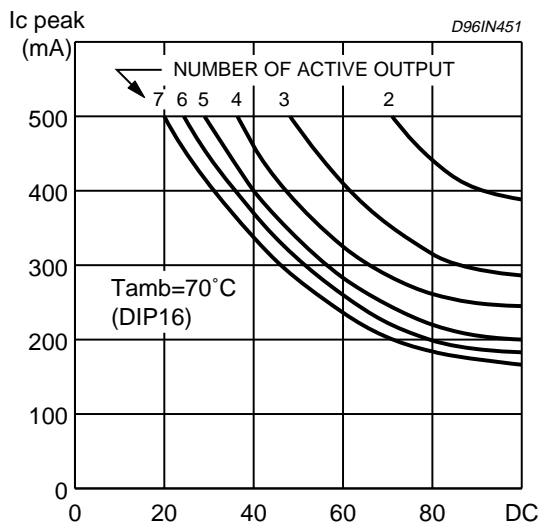
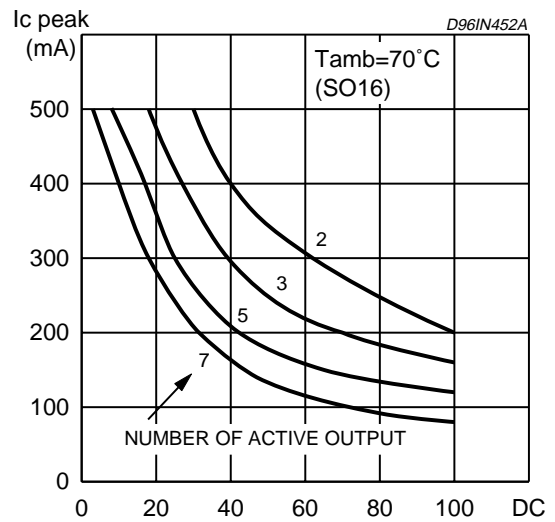


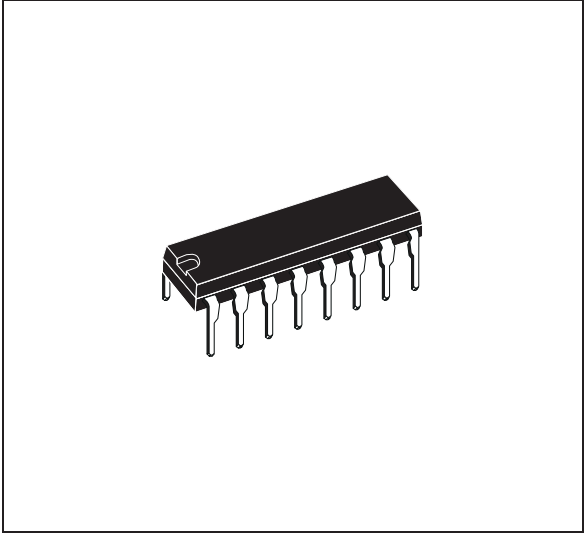
Figure 11: Peak Collector Current versus Duty Cycle



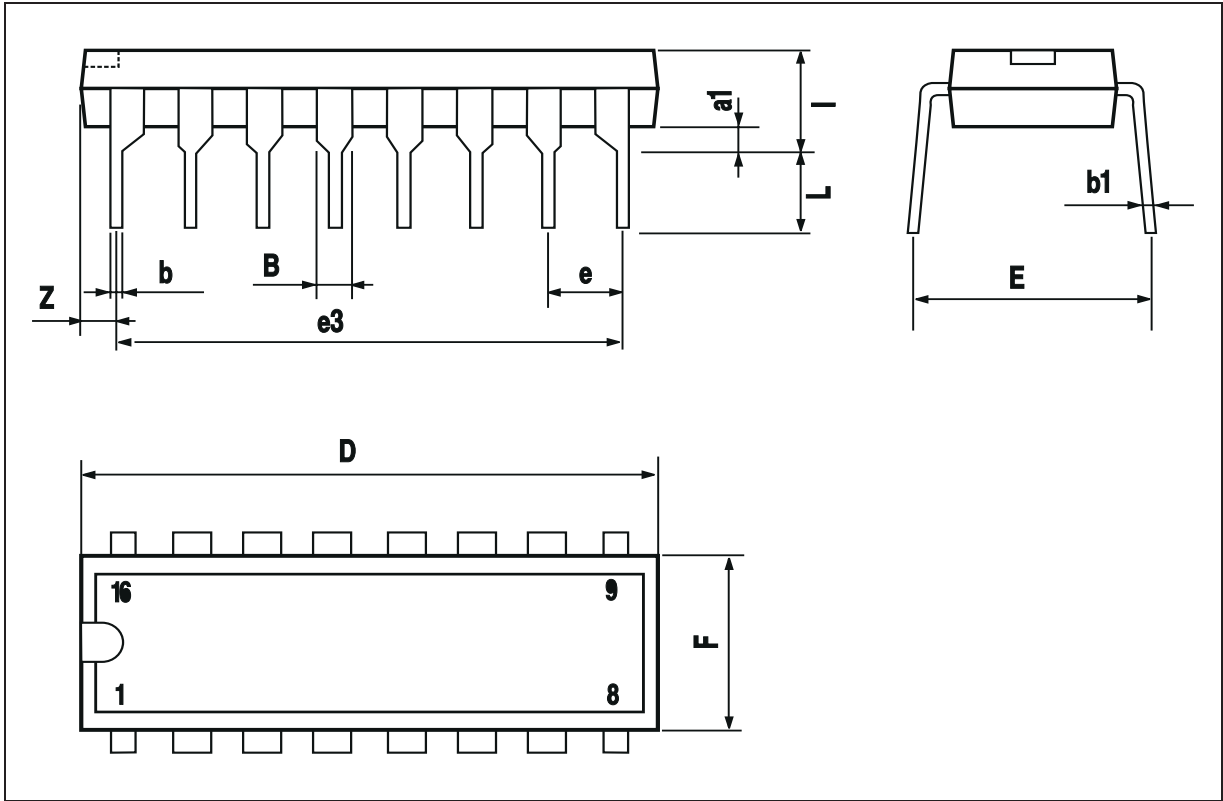
ULN2001A - ULN2002A - ULN2003A - ULN2004A

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
a1	0.51			0.020		
B	0.77		1.65	0.030		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		17.78			0.700	
F			7.1			0.280
I			5.1			0.201
L		3.3			0.130	
Z			1.27			0.050

OUTLINE AND MECHANICAL DATA

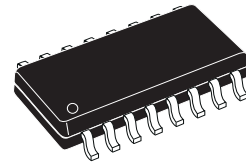


DIP16



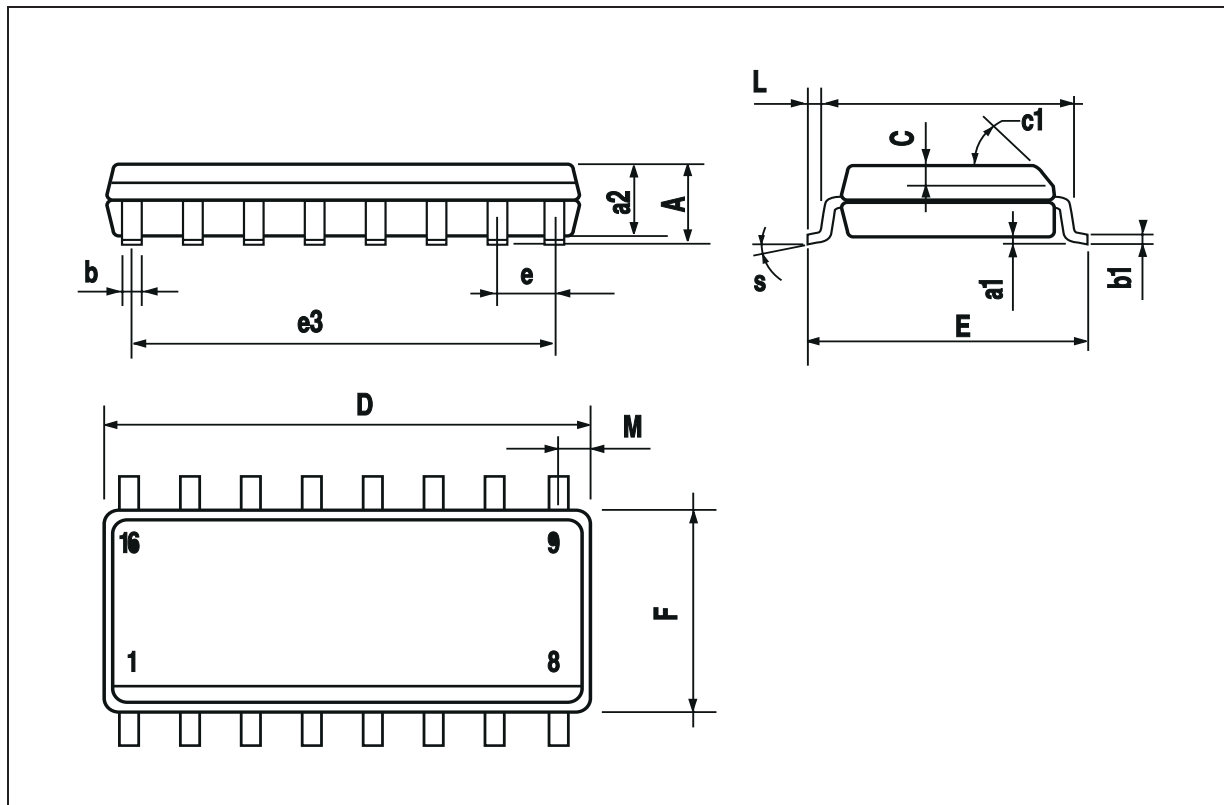
DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			1.75			0.069
a1	0.1		0.25	0.004		0.009
a2			1.6			0.063
b	0.35		0.46	0.014		0.018
b1	0.19		0.25	0.007		0.010
C		0.5			0.020	
c1	45° (typ.)					
D (1)	9.8		10	0.386		0.394
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		8.89			0.350	
F (1)	3.8		4	0.150		0.157
G	4.6		5.3	0.181		0.209
L	0.4		1.27	0.016		0.050
M			0.62			0.024
S	8°(max.)					

OUTLINE AND MECHANICAL DATA



SO16 Narrow

(1) D and F do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm (.006inch).



Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a registered trademark of STMicroelectronics
© 2002 STMicroelectronics – Printed in Italy – All Rights Reserved
STMicroelectronics GROUP OF COMPANIES

Australia - Brazil - Canada - China - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States.

<http://www.st.com>

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

HD44780U (LCD-II)

(Dot Matrix Liquid Crystal Display Controller/Driver)

HITACHI

Description

The HD44780U dot-matrix liquid crystal display controller and driver LSI displays alphanumerics, Japanese kana characters, and symbols. It can be configured to drive a dot-matrix liquid crystal display under the control of a 4- or 8-bit microprocessor. Since all the functions such as display RAM, character generator, and liquid crystal driver, required for driving a dot-matrix liquid crystal display are internally provided on one chip, a minimal system can be interfaced with this controller/driver.

A single HD44780U can display up to one 8-character line or two 8-character lines.

The HD44780U has pin function compatibility with the HD44780S which allows the user to easily replace an LCD-II with an HD44780U. The HD44780U character generator ROM is extended to generate 208 5×8 dot character fonts and 32 5×10 dot character fonts for a total of 240 different character fonts.

The low power supply (2.7V to 5.5V) of the HD44780U is suitable for any portable battery-driven product requiring low power dissipation.

Features

- 5×8 and 5×10 dot matrix possible
- Low power operation support:
 - 2.7 to 5.5V
- Wide range of liquid crystal display driver power
 - 3.0 to 11V
- Liquid crystal drive waveform
 - A (One line frequency AC waveform)
- Correspond to high speed MPU bus interface
 - 2 MHz (when $V_{CC} = 5V$)
- 4-bit or 8-bit MPU interface enabled
- 80×8 -bit display RAM (80 characters max.)
- 9,920-bit character generator ROM for a total of 240 character fonts
 - 208 character fonts (5×8 dot)
 - 32 character fonts (5×10 dot)

HD44780U

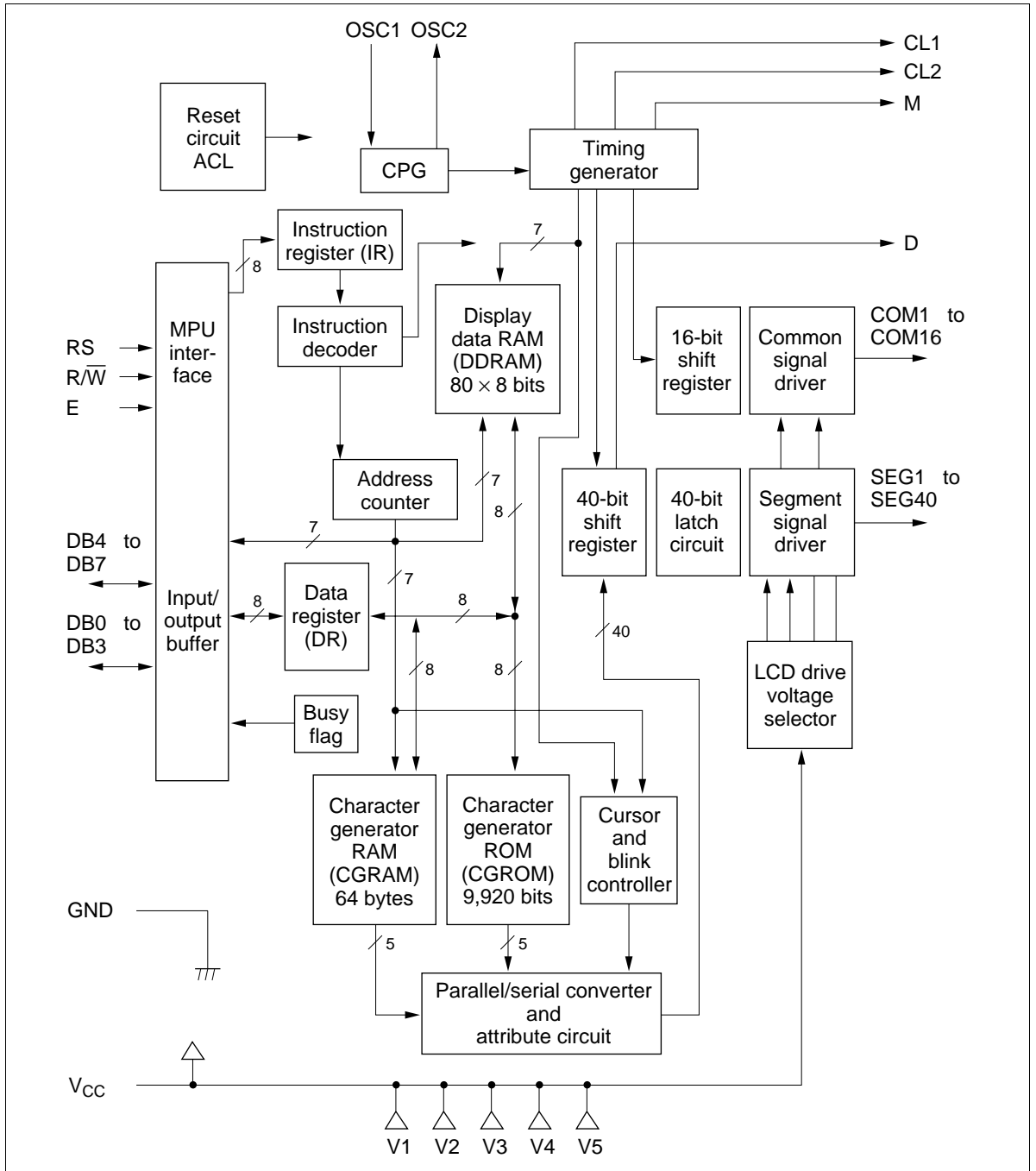
- 64 × 8-bit character generator RAM
 - 8 character fonts (5 × 8 dot)
 - 4 character fonts (5 × 10 dot)
- 16-common × 40-segment liquid crystal display driver
- Programmable duty cycles
 - 1/8 for one line of 5 × 8 dots with cursor
 - 1/11 for one line of 5 × 10 dots with cursor
 - 1/16 for two lines of 5 × 8 dots with cursor
- Wide range of instruction functions:
 - Display clear, cursor home, display on/off, cursor on/off, display character blink, cursor shift, display shift
- Pin function compatibility with HD44780S
- Automatic reset circuit that initializes the controller/driver after power on
- Internal oscillator with external resistors
- Low power consumption

Ordering Information

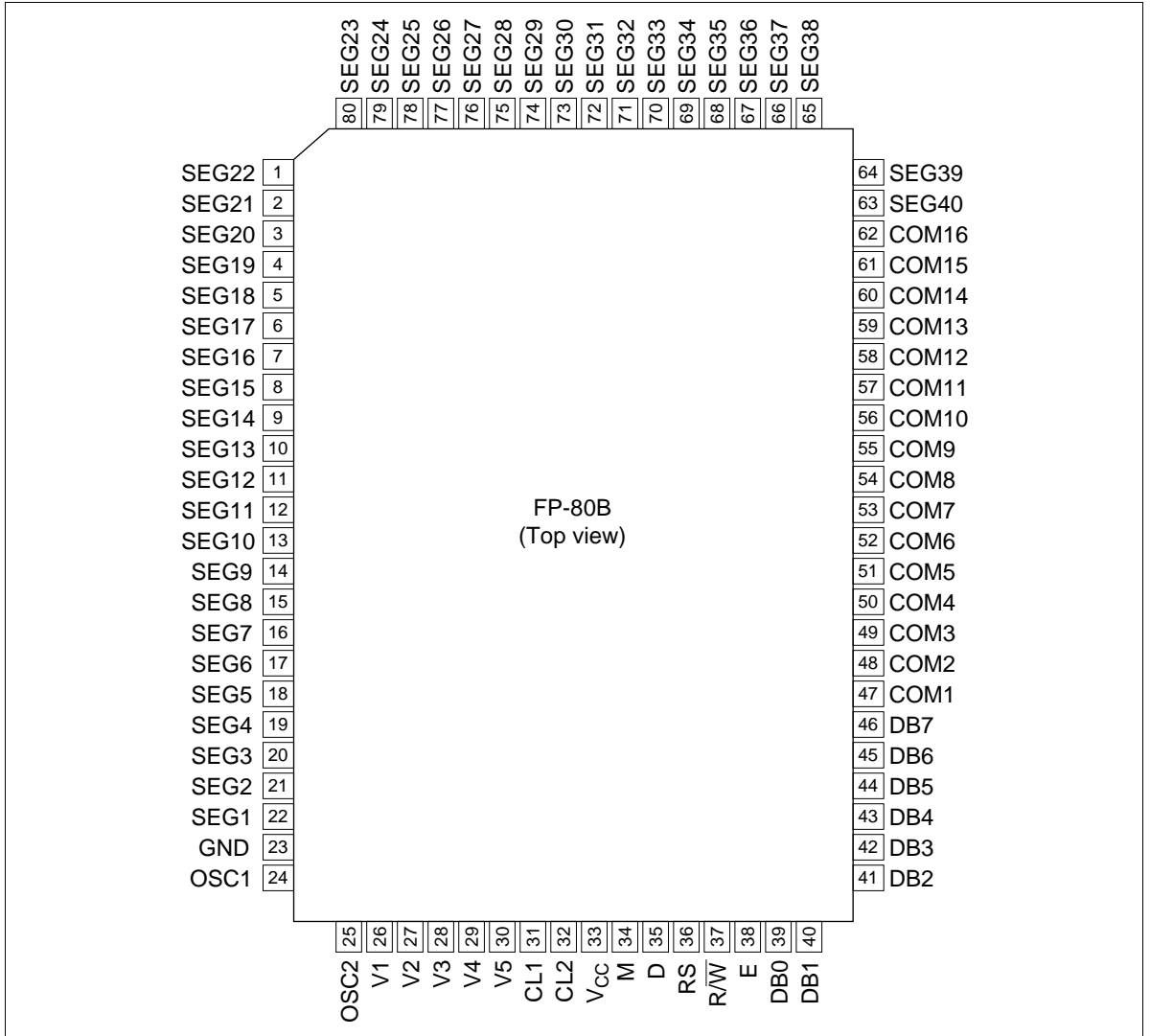
Type No.	Package	CGROM
HD44780UA00FS	FP-80B	Japanese standard font
HCD44780UA00	Chip	
HD44780UA00TF	TFP-80F	
HD44780UA02FS	FP-80B	European standard font
HCD44780UA02	Chip	
HD44780UA02TF	TFP-80F	
HD44780UBxxFS	FP-80B	Custom font
HCD44780UBxx	Chip	
HD44780UBxxTF	TFP-80F	

Note: xx: ROM code No.

HD44780U Block Diagram



HD44780U Pin Arrangement (FP-80B)



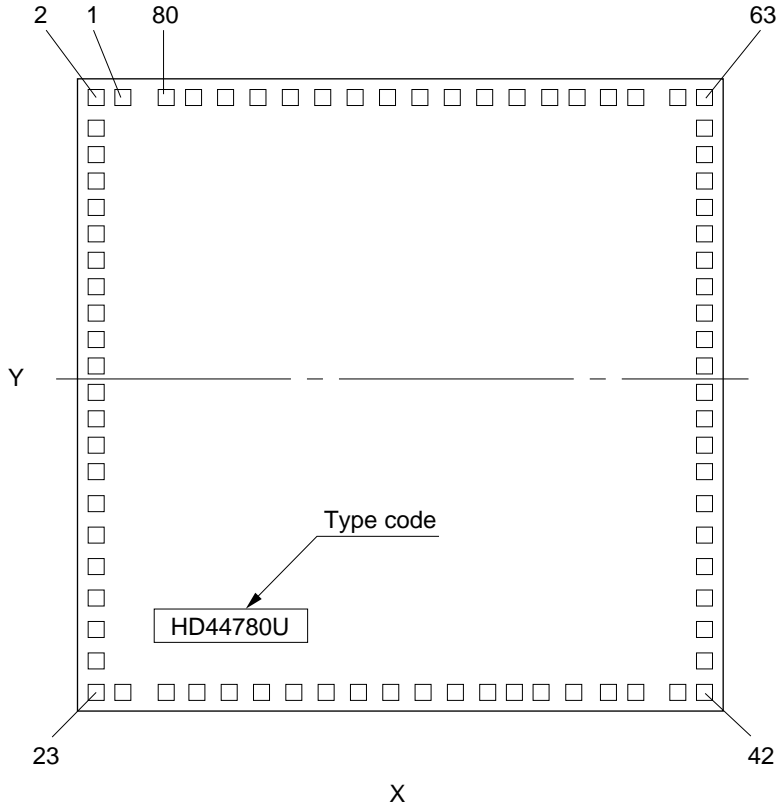
HD44780U Pad Arrangement

Chip size: $4.90 \times 4.90 \text{ mm}^2$

Coordinate: Pad center (μm)

Origin: Chip center

Pad size: $114 \times 114 \mu\text{m}^2$



HCD44780U Pad Location Coordinates

Pad No.	Function	Coordinate		Pad No.	Function	Coordinate	
		X (um)	Y (um)			X (um)	Y (um)
1	SEG22	-2100	2313	41	DB2	2070	-2290
2	SEG21	-2280	2313	42	DB3	2260	-2290
3	SEG20	-2313	2089	43	DB4	2290	-2099
4	SEG19	-2313	1833	44	DB5	2290	-1883
5	SEG18	-2313	1617	45	DB6	2290	-1667
6	SEG17	-2313	1401	46	DB7	2290	-1452
7	SEG16	-2313	1186	47	COM1	2313	-1186
8	SEG15	-2313	970	48	COM2	2313	-970
9	SEG14	-2313	755	49	COM3	2313	-755
10	SEG13	-2313	539	50	COM4	2313	-539
11	SEG12	-2313	323	51	COM5	2313	-323
12	SEG11	-2313	108	52	COM6	2313	-108
13	SEG10	-2313	-108	53	COM7	2313	108
14	SEG9	-2313	-323	54	COM8	2313	323
15	SEG8	-2313	-539	55	COM9	2313	539
16	SEG7	-2313	-755	56	COM10	2313	755
17	SEG6	-2313	-970	57	COM11	2313	970
18	SEG5	-2313	-1186	58	COM12	2313	1186
19	SEG4	-2313	-1401	59	COM13	2313	1401
20	SEG3	-2313	-1617	60	COM14	2313	1617
21	SEG2	-2313	-1833	61	COM15	2313	1833
22	SEG1	-2313	-2073	62	COM16	2313	2095
23	GND	-2280	-2290	63	SEG40	2296	2313
24	OSC1	-2080	-2290	64	SEG39	2100	2313
25	OSC2	-1749	-2290	65	SEG38	1617	2313
26	V1	-1550	-2290	66	SEG37	1401	2313
27	V2	-1268	-2290	67	SEG36	1186	2313
28	V3	-941	-2290	68	SEG35	970	2313
29	V4	-623	-2290	69	SEG34	755	2313
30	V5	-304	-2290	70	SEG33	539	2313
31	CL1	-48	-2290	71	SEG32	323	2313
32	CL2	142	-2290	72	SEG31	108	2313
33	V _{cc}	309	-2290	73	SEG30	-108	2313
34	M	475	-2290	74	SEG29	-323	2313
35	D	665	-2290	75	SEG28	-539	2313
36	RS	832	-2290	76	SEG27	-755	2313
37	R/ \bar{W}	1022	-2290	77	SEG26	-970	2313
38	E	1204	-2290	78	SEG25	-1186	2313
39	DB0	1454	-2290	79	SEG24	-1401	2313
40	DB1	1684	-2290	80	SEG23	-1617	2313

Pin Functions

Signal	No. of Lines	I/O	Device Interfaced with	Function
RS	1	I	MPU	Selects registers. 0: Instruction register (for write) Busy flag: address counter (for read) 1: Data register (for write and read)
$\overline{R/W}$	1	I	MPU	Selects read or write. 0: Write 1: Read
E	1	I	MPU	Starts data read/write.
DB4 to DB7	4	I/O	MPU	Four high order bidirectional tristate data bus pins. Used for data transfer and receive between the MPU and the HD44780U. DB7 can be used as a busy flag.
DB0 to DB3	4	I/O	MPU	Four low order bidirectional tristate data bus pins. Used for data transfer and receive between the MPU and the HD44780U. These pins are not used during 4-bit operation.
CL1	1	O	Extension driver	Clock to latch serial data D sent to the extension driver
CL2	1	O	Extension driver	Clock to shift serial data D
M	1	O	Extension driver	Switch signal for converting the liquid crystal drive waveform to AC
D	1	O	Extension driver	Character pattern data corresponding to each segment signal
COM1 to COM16	16	O	LCD	Common signals that are not used are changed to non-selection waveforms. COM9 to COM16 are non-selection waveforms at 1/8 duty factor and COM12 to COM16 are non-selection waveforms at 1/11 duty factor.
SEG1 to SEG40	40	O	LCD	Segment signals
V1 to V5	5	—	Power supply	Power supply for LCD drive $V_{CC} - V5 = 11\text{ V (max)}$
V_{CC} , GND	2	—	Power supply	V_{CC} : 2.7V to 5.5V, GND: 0V
OSC1, OSC2	2	—	Oscillation resistor clock	When crystal oscillation is performed, a resistor must be connected externally. When the pin input is an external clock, it must be input to OSC1.

Function Description

Registers

The HD44780U has two 8-bit registers, an instruction register (IR) and a data register (DR).

The IR stores instruction codes, such as display clear and cursor shift, and address information for display data RAM (DDRAM) and character generator RAM (CGRAM). The IR can only be written from the MPU.

The DR temporarily stores data to be written into DDRAM or CGRAM and temporarily stores data to be read from DDRAM or CGRAM. Data written into the DR from the MPU is automatically written into DDRAM or CGRAM by an internal operation. The DR is also used for data storage when reading data from DDRAM or CGRAM. When address information is written into the IR, data is read and then stored into the DR from DDRAM or CGRAM by an internal operation. Data transfer between the MPU is then completed when the MPU reads the DR. After the read, data in DDRAM or CGRAM at the next address is sent to the DR for the next read from the MPU. By the register selector (RS) signal, these two registers can be selected (Table 1).

Busy Flag (BF)

When the busy flag is 1, the HD44780U is in the internal operation mode, and the next instruction will not be accepted. When $RS = 0$ and $R/\overline{W} = 1$ (Table 1), the busy flag is output to DB7. The next instruction must be written after ensuring that the busy flag is 0.

Address Counter (AC)

The address counter (AC) assigns addresses to both DDRAM and CGRAM. When an address of an instruction is written into the IR, the address information is sent from the IR to the AC. Selection of either DDRAM or CGRAM is also determined concurrently by the instruction.

After writing into (reading from) DDRAM or CGRAM, the AC is automatically incremented by 1 (decremented by 1). The AC contents are then output to DB0 to DB6 when $RS = 0$ and $R/\overline{W} = 1$ (Table 1).

Table 1 Register Selection

RS	R/ \overline{W}	Operation
0	0	IR write as an internal operation (display clear, etc.)
0	1	Read busy flag (DB7) and address counter (DB0 to DB6)
1	0	DR write as an internal operation (DR to DDRAM or CGRAM)
1	1	DR read as an internal operation (DDRAM or CGRAM to DR)

Display Data RAM (DDRAM)

Display data RAM (DDRAM) stores display data represented in 8-bit character codes. Its extended capacity is 80×8 bits, or 80 characters. The area in display data RAM (DDRAM) that is not used for display can be used as general data RAM. See Figure 1 for the relationships between DDRAM addresses and positions on the liquid crystal display.

The DDRAM address (A_{DD}) is set in the address counter (AC) as hexadecimal.

- 1-line display ($N = 0$) (Figure 2)
 - When there are fewer than 80 display characters, the display begins at the head position. For example, if using only the HD44780, 8 characters are displayed. See Figure 3.
 - When the display shift operation is performed, the DDRAM address shifts. See Figure 3.

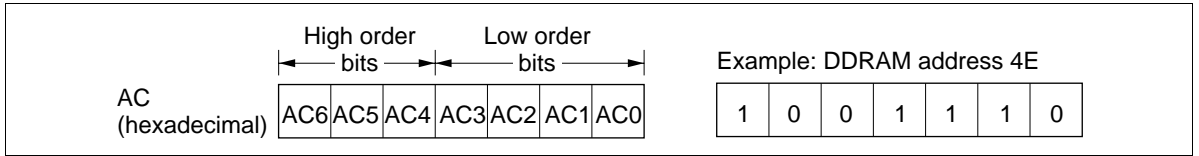


Figure 1 DDRAM Address

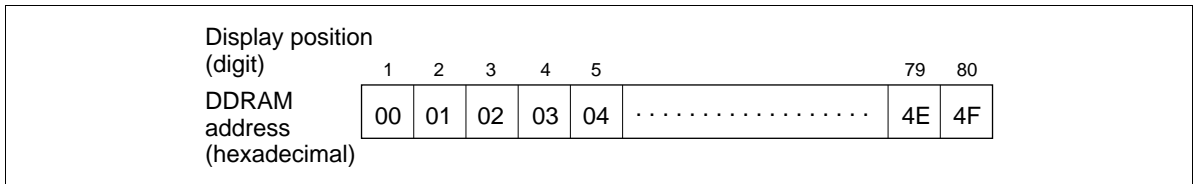


Figure 2 1-Line Display

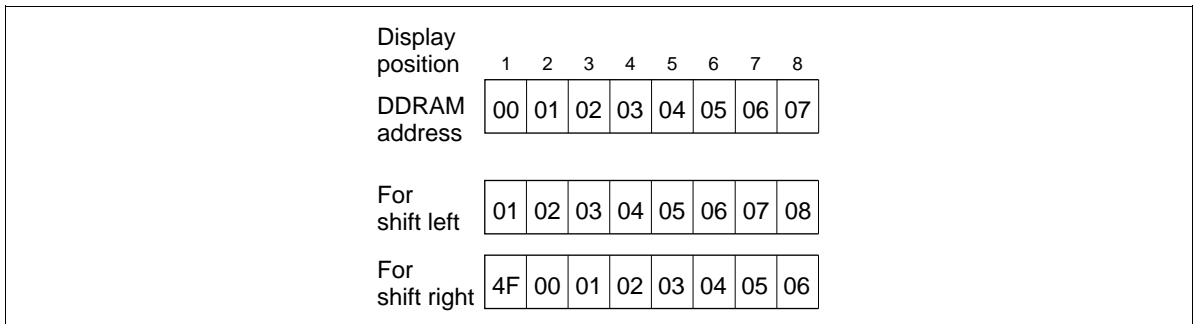


Figure 3 1-Line by 8-Character Display Example

- 2-line display (N = 1) (Figure 4)

— Case 1: When the number of display characters is less than 40×2 lines, the two lines are displayed from the head. Note that the first line end address and the second line start address are not consecutive. For example, when just the HD44780 is used, 8 characters \times 2 lines are displayed. See Figure 5.

When display shift operation is performed, the DDRAM address shifts. See Figure 5.

Display position	1	2	3	4	5	39	40
DDRAM address (hexadecimal)	00	01	02	03	04	26	27
	40	41	42	43	44	66	67

Figure 4 2-Line Display

Display position	1	2	3	4	5	6	7	8
DDRAM address	00	01	02	03	04	05	06	07
	40	41	42	43	44	45	46	47
For shift left	01	02	03	04	05	06	07	08
	41	42	43	44	45	46	47	48
For shift right	27	00	01	02	03	04	05	06
	67	40	41	42	43	44	45	46

Figure 5 2-Line by 8-Character Display Example

— Case 2: For a 16-character × 2-line display, the HD44780 can be extended using one 40-output extension driver. See Figure 6.

When display shift operation is performed, the DDRAM address shifts. See Figure 6.

Display position	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
DDRAM address	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F
	HD44780U display								Extension driver display							
For shift left	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10
	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50
For shift right	27	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E
	67	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E

Figure 6 2-Line by 16-Character Display Example

Character Generator ROM (CGROM)

The character generator ROM generates 5×8 dot or 5×10 dot character patterns from 8-bit character codes (Table 4). It can generate 208 5×8 dot character patterns and 32 5×10 dot character patterns. User-defined character patterns are also available by mask-programmed ROM.

Character Generator RAM (CGRAM)

In the character generator RAM, the user can rewrite character patterns by program. For 5×8 dots, eight character patterns can be written, and for 5×10 dots, four character patterns can be written.

Write into DDRAM the character codes at the addresses shown as the left column of Table 4 to show the character patterns stored in CGRAM.

See Table 5 for the relationship between CGRAM addresses and data and display patterns.

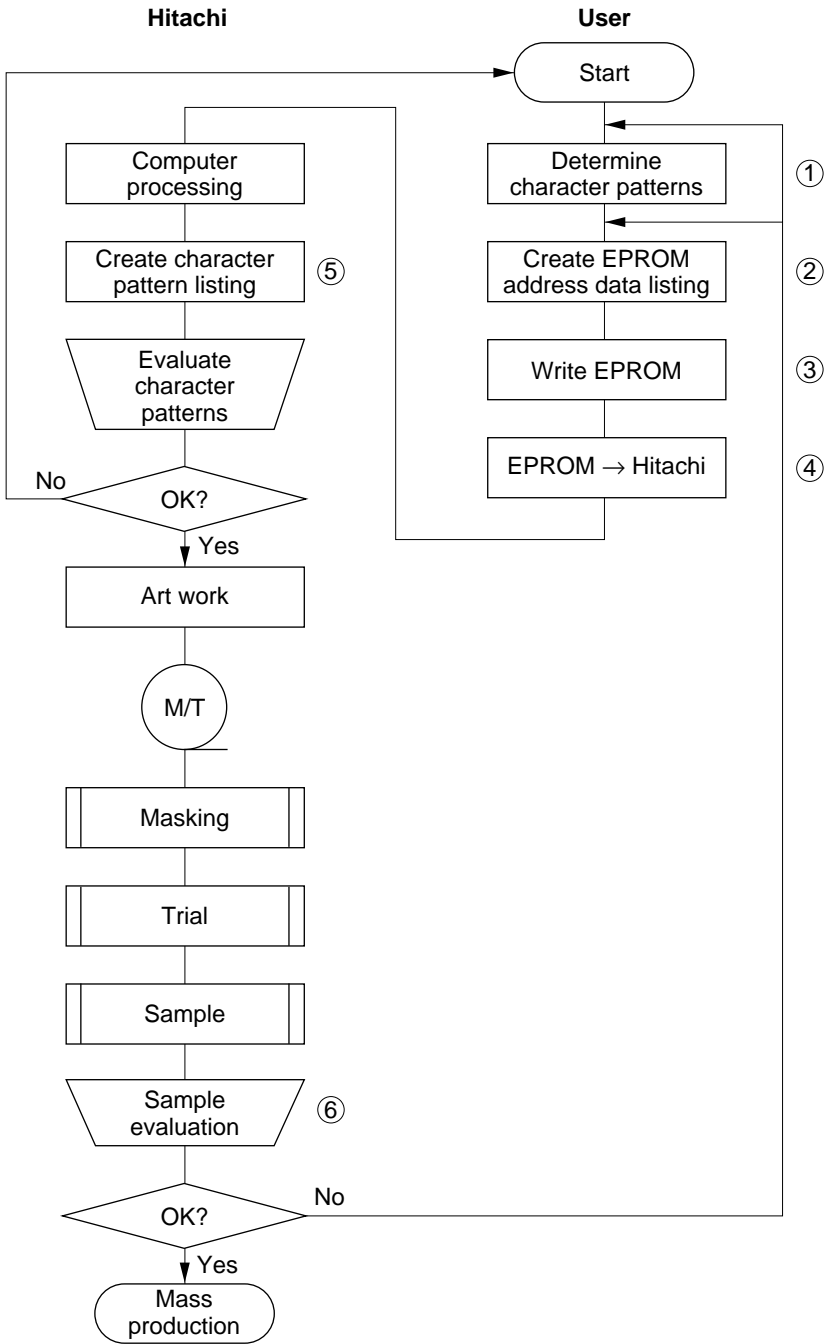
Areas that are not used for display can be used as general data RAM.

Modifying Character Patterns

- Character pattern development procedure

The following operations correspond to the numbers listed in Figure 7:

1. Determine the correspondence between character codes and character patterns.
2. Create a listing indicating the correspondence between EPROM addresses and data.
3. Program the character patterns into the EPROM.
4. Send the EPROM to Hitachi.
5. Computer processing on the EPROM is performed at Hitachi to create a character pattern listing, which is sent to the user.
6. If there are no problems within the character pattern listing, a trial LSI is created at Hitachi and samples are sent to the user for evaluation. When it is confirmed by the user that the character patterns are correctly written, mass production of the LSI proceeds at Hitachi.



Note: For a description of the numbers used in this figure, refer to the preceding page.

Figure 7 Character Pattern Development Procedure

• Programming character patterns

This section explains the correspondence between addresses and data used to program character patterns in EPROM. The HD44780U character generator ROM can generate 208 5 × 8 dot character patterns and 32 5 × 10 dot character patterns for a total of 240 different character patterns.

— Character patterns

EPROM address data and character pattern data correspond with each other to form a 5 × 8 or 5 × 10 dot character pattern (Tables 2 and 3).

Table 2 Example of Correspondence between EPROM Address Data and Character Pattern (5 × 8 Dots)

EPROM Address											Data					
A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	O4	O3	O2	O1	O0
					0	0	0	0	0	0	0	1	0	0	0	0
					0	0	0	0	1	0	0	1	0	0	0	0
					0	0	1	0	0	0	0	1	0	1	1	0
					0	0	1	1	0	0	0	1	1	0	0	1
					0	1	0	0	0	0	0	1	0	0	0	1
					0	1	0	1	0	0	0	1	0	0	0	1
					0	1	1	0	0	0	0	1	1	1	1	0
0	1	1	0	0	0	1	0	0	1	1	1	0	0	0	0	0
					1	0	0	0	0	0	0	0	0	0	0	0
					1	0	0	1	0	0	0	0	0	0	0	0
					1	0	1	0	0	0	0	0	0	0	0	0
					1	0	1	1	0	0	0	0	0	0	0	0
					1	1	0	0	0	0	0	0	0	0	0	0
					1	1	0	1	0	0	0	0	0	0	0	0
					1	1	1	0	0	0	0	0	0	0	0	0
					1	1	1	1	0	0	0	0	0	0	0	0

← Cursor position

Character code Line position

- Notes:
1. EPROM addresses A11 to A4 correspond to a character code.
 2. EPROM addresses A3 to A0 specify a line position of the character pattern.
 3. EPROM data O4 to O0 correspond to character pattern data.
 4. EPROM data O5 to O7 must be specified as 0.
 5. A lit display position (black) corresponds to a 1.
 6. Line 9 and the following lines must be blanked with 0s for a 5 × 8 dot character fonts.

— Handling unused character patterns

1. EPROM data outside the character pattern area: Always input 0s.
2. EPROM data in CGRAM area: Always input 0s. (Input 0s to EPROM addresses 00H to FFH.)
3. EPROM data used when the user does not use any HD44780U character pattern: According to the user application, handled in one of the two ways listed as follows.
 - a. When unused character patterns are not programmed: If an unused character code is written into DDRAM, all its dots are lit. By not programming a character pattern, all of its bits become lit. (This is due to the EPROM being filled with 1s after it is erased.)
 - b. When unused character patterns are programmed as 0s: Nothing is displayed even if unused character codes are written into DDRAM. (This is equivalent to a space.)

Table 3 Example of Correspondence between EPROM Address Data and Character Pattern (5 × 10 Dots)

EPROM Address											Data					
A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	O4	O3	O2	O1	O0
								0	0	0	0	0	0	0	0	0
								0	0	0	1	0	0	0	0	0
								0	0	1	0	0	1	1	0	1
								0	0	1	1	1	0	0	1	1
								0	1	0	0	1	0	0	0	1
								0	1	0	1	1	0	0	0	1
								0	1	1	0	0	1	1	1	1
0	1	0	1	0	0	1	0	0	1	1	1	0	0	0	0	1
								1	0	0	0	0	0	0	0	1
								1	0	0	1	0	0	0	0	1
								1	0	1	0	0	0	0	0	0
								1	0	1	1	0	0	0	0	0
								1	1	0	0	0	0	0	0	0
								1	1	0	1	0	0	0	0	0
								1	1	1	0	0	0	0	0	0
								1	1	1	1	0	0	0	0	0

← Cursor position

Character code Line position

- Notes:
1. EPROM addresses A11 to A3 correspond to a character code.
 2. EPROM addresses A3 to A0 specify a line position of the character pattern.
 3. EPROM data O4 to O0 correspond to character pattern data.
 4. EPROM data O5 to O7 must be specified as 0.
 5. A lit display position (black) corresponds to a 1.
 6. Line 11 and the following lines must be blanked with 0s for a 5 × 10 dot character fonts.

Table 4 Correspondence between Character Codes and Character Patterns (ROM Code: A00)

Lower 4 Bits \ Upper 4 Bits	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
xxxx0000	CG RAM (1)			0	a	P	`	P				-	9	3	o	p
xxxx0001	(2)		!	1	A	Q	a	9			.	7	7	4	a	9
xxxx0010	(3)		"	2	B	R	b	r			7	7	7	7	p	o
xxxx0011	(4)		#	3	C	S	c	s			7	7	7	7	e	o
xxxx0100	(5)		\$	4	D	T	d	t			7	7	7	7	7	o
xxxx0101	(6)		%	5	E	U	e	u			.	7	7	7	7	o
xxxx0110	(7)		&	6	F	V	f	v			7	7	7	7	p	z
xxxx0111	(8)		'	7	G	W	g	w			7	7	7	7	g	π
xxxx1000	(1)		(8	H	X	h	x			7	7	7	7	7	7
xxxx1001	(2))	9	I	Y	i	y			7	7	7	7	7	7
xxxx1010	(3)		*	:	J	Z	j	z			7	7	7	7	7	7
xxxx1011	(4)		+	;	K	L	k	l			7	7	7	7	7	7
xxxx1100	(5)		,	<	L	¥	l	l			7	7	7	7	7	7
xxxx1101	(6)		-	=	M	I	m	l			7	7	7	7	7	7
xxxx1110	(7)		.	>	N	^	n	7			7	7	7	7	7	7
xxxx1111	(8)		/	?	O	_	o	7			7	7	7	7	7	7

Note: The user can specify any pattern for character-generator RAM.

Table 4 Correspondence between Character Codes and Character Patterns (ROM Code: A02)

Lower 4 Bits \ Upper 4 Bits		0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
xxxx0000		CG RAM (1)	⬇	⊙	Ⓐ	Ⓟ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(2)	⬇	!	1	A	Q	a	9	À	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx0010	(3)	“	"	2	B	R	b	r	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(4)	”	#	3	C	S	c	s	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx0100	(5)	Ⓜ	\$	4	D	T	d	t	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(6)	Ⓜ	%	5	E	U	e	u	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx0110	(7)	Ⓜ	&	6	F	V	f	v	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(8)	Ⓜ	'	7	G	W	w	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx1000	(1)	↑	(8	H	X	h	x	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(2)	↓)	9	I	Y	i	y	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx1010	(3)	→	*	:	J	Z	j	z	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(4)	←	+	;	K	[k	[Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx1100	(5)	Ⓜ	,	<	L	\	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(6)	Ⓜ	-	=	M]	m]	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx1110	(7)	Ⓜ	.	>	N	^	n	~	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(8)	Ⓜ	/	?	O	_	o	ˆ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
xxxx1111	(8)	Ⓜ	/	?	O	_	o	ˆ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ
	(8)	Ⓜ	/	?	O	_	o	ˆ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ	Ⓜ

Table 5 Relationship between CGRAM Addresses, Character Codes (DDRAM) and Character Patterns (CGRAM Data)

For 5 × 8 dot character patterns

Character Codes (DDRAM data)								CGRAM Address						Character Patterns (CGRAM data)																			
7	6	5	4	3	2	1	0	5			4			3			2			1			0										
High				Low				High			Low			High				Low															
0 0 0 0 * 0 0 0								0 0 0						0	0	0	* * *						1	1	1	1	0	Character pattern (1)					
														0	0	1																	
														0	1	0																	
														0	1	1																	
														1	0	0																	
														1	0	1																	
														1	1	0																	
														1	1	1																	
0 0 0 0 * 0 0 1								0 0 1						0	0	0	* * *						1	0	0	0	1	Character pattern (2)					
														0	0	1																	
														0	1	0																	
														0	1	1																	
														1	0	0																	
														1	0	1																	
														1	1	0																	
														1	1	1																	
0 0 0 0 * 1 1 1								1 1 1						0	0	0	* * *						Cursor position										
														0	0	1																	
														1	0	0																	
														1	0	1																	
														1	1	0																	
														1	1	1																	
														* * *																			
														* * *																			

- Notes:
- Character code bits 0 to 2 correspond to CGRAM address bits 3 to 5 (3 bits: 8 types).
 - CGRAM address bits 0 to 2 designate the character pattern line position. The 8th line is the cursor position and its display is formed by a logical OR with the cursor. Maintain the 8th line data, corresponding to the cursor display position, at 0 as the cursor display. If the 8th line data is 1, 1 bits will light up the 8th line regardless of the cursor presence.
 - Character pattern row positions correspond to CGRAM data bits 0 to 4 (bit 4 being at the left).
 - As shown Table 5, CGRAM character patterns are selected when character code bits 4 to 7 are all 0. However, since character code bit 3 has no effect, the R display example above can be selected by either character code 00H or 08H.
 - 1 for CGRAM data corresponds to display selection and 0 to non-selection.
- * Indicates no effect.

Table 5 Relationship between CGRAM Addresses, Character Codes (DDRAM) and Character Patterns (CGRAM Data) (cont)

For 5 × 10 dot character patterns

Character Codes (DDRAM data)		CGRAM Address		Character Patterns (CGRAM data)		
7 6 5 4 3 2 1 0		5 4 3 2 1 0		7 6 5 4 3 2 1 0		
High	Low	High	Low	High	Low	
0 0 0 0 * 0 0 *		0 0	0 0 0 0	* * *	0 0 0 0 0	} Character pattern
			0 0 0 1		0 0 0 0 0	
			0 0 1 0		1 0 1 1 0	
			0 0 1 1		1 1 0 0 1	
			0 1 0 0		1 0 0 0 1	
			0 1 0 1		1 0 0 0 1	
			0 1 1 0		1 1 1 1 0	
			0 1 1 1		1 0 0 0 0	
			1 0 0 0		1 0 0 0 0	
			1 0 0 1		1 0 0 0 0	
			1 0 1 0		1 0 0 0 0	
1 0 1 1		* * * 0 0 0 0 0				
1 1 0 0		* * * * * * * *				
1 1 0 1		↑ ↓				
1 1 1 0		↑ ↓				
1 1 1 1		* * * * * * * *				
0 0 0 0		* * *				
0 0 0 1		↑				
0 0 0 0		↓				
0 0 0 1		* * *				
0 0 0 0 * 1 1 *		1 1	1 0 0 1	↓		
			1 0 1 0	* * *		
			1 0 1 1	* * * * * * * *		
			1 1 0 0	↑ ↓		
			1 1 0 1	↑ ↓		
			1 1 1 0	↑ ↓		
			1 1 1 1	* * * * * * * *		

- Notes:
- Character code bits 1 and 2 correspond to CGRAM address bits 4 and 5 (2 bits: 4 types).
 - CGRAM address bits 0 to 3 designate the character pattern line position. The 11th line is the cursor position and its display is formed by a logical OR with the cursor.
 Maintain the 11th line data corresponding to the cursor display position at 0 as the cursor display. If the 11th line data is „1“, „1“ bits will light up the 11th line regardless of the cursor presence. Since lines 12 to 16 are not used for display, they can be used for general data RAM.
 - Character pattern row positions are the same as 5 × 8 dot character pattern positions.
 - CGRAM character patterns are selected when character code bits 4 to 7 are all 0. However, since character code bits 0 and 3 have no effect, the P display example above can be selected by character codes 00H, 01H, 08H, and 09H.
 - 1 for CGRAM data corresponds to display selection and 0 to non-selection.
- * Indicates no effect.

Timing Generation Circuit

The timing generation circuit generates timing signals for the operation of internal circuits such as DDRAM, CGROM and CGRAM. RAM read timing for display and internal operation timing by MPU access are generated separately to avoid interfering with each other. Therefore, when writing data to DDRAM, for example, there will be no undesirable interferences, such as flickering, in areas other than the display area.

Liquid Crystal Display Driver Circuit

The liquid crystal display driver circuit consists of 16 common signal drivers and 40 segment signal drivers. When the character font and number of lines are selected by a program, the required common signal drivers automatically output drive waveforms, while the other common signal drivers continue to output non-selection waveforms.

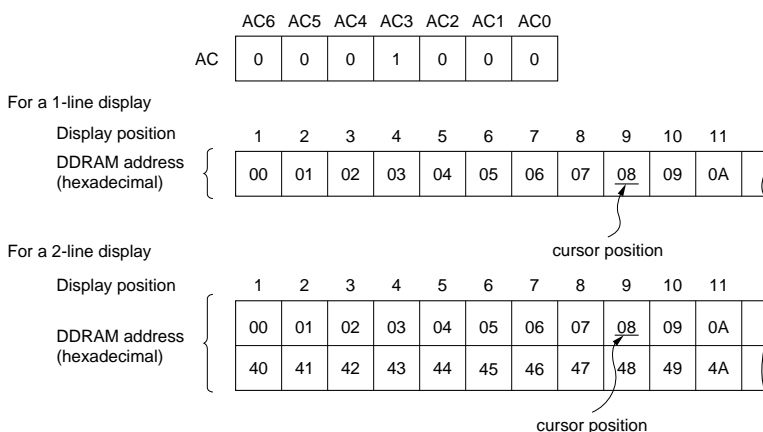
Sending serial data always starts at the display data character pattern corresponding to the last address of the display data RAM (DDRAM).

Since serial data is latched when the display data character pattern corresponding to the starting address enters the internal shift register, the HD44780U drives from the head display.

Cursor/Blink Control Circuit

The cursor/blink control circuit generates the cursor or character blinking. The cursor or the blinking will appear with the digit located at the display data RAM (DDRAM) address set in the address counter (AC).

For example (Figure 8), when the address counter is 08H, the cursor position is displayed at DDRAM address 08H.



Note: The cursor or blinking appears when the address counter (AC) selects the character generator RAM (CGRAM). However, the cursor and blinking become meaningless. The cursor or blinking is displayed in the meaningless position when the AC is a CGRAM address.

Figure 8 Cursor/Blink Display Example

Interfacing to the MPU

The HD44780U can send data in either two 4-bit operations or one 8-bit operation, thus allowing interfacing with 4- or 8-bit MPUs.

- For 4-bit interface data, only four bus lines (DB4 to DB7) are used for transfer. Bus lines DB0 to DB3 are disabled. The data transfer between the HD44780U and the MPU is completed after the 4-bit data has been transferred twice. As for the order of data transfer, the four high order bits (for 8-bit operation, DB4 to DB7) are transferred before the four low order bits (for 8-bit operation, DB0 to DB3). The busy flag must be checked (one instruction) after the 4-bit data has been transferred twice. Two more 4-bit operations then transfer the busy flag and address counter data.
- For 8-bit interface data, all eight bus lines (DB0 to DB7) are used.

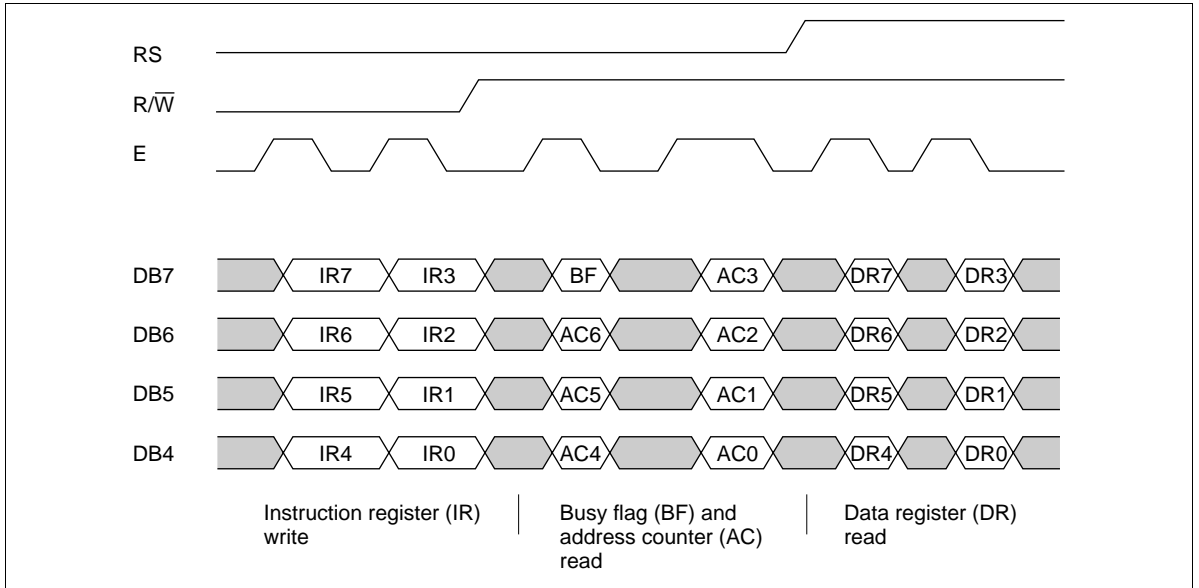


Figure 9 4-Bit Transfer Example

Reset Function

Initializing by Internal Reset Circuit

An internal reset circuit automatically initializes the HD44780U when the power is turned on. The following instructions are executed during the initialization. The busy flag (BF) is kept in the busy state until the initialization ends (BF = 1). The busy state lasts for 10 ms after V_{CC} rises to 4.5 V.

1. Display clear
2. Function set:
 - DL = 1; 8-bit interface data
 - N = 0; 1-line display
 - F = 0; 5 × 8 dot character font
3. Display on/off control:
 - D = 0; Display off
 - C = 0; Cursor off
 - B = 0; Blinking off
4. Entry mode set:
 - I/D = 1; Increment by 1
 - S = 0; No shift

Note: If the electrical characteristics conditions listed under the table Power Supply Conditions Using Internal Reset Circuit are not met, the internal reset circuit will not operate normally and will fail to initialize the HD44780U. For such a case, initialization must be performed by the MPU as explained in the section, Initializing by Instruction.

Instructions

Outline

Only the instruction register (IR) and the data register (DR) of the HD44780U can be controlled by the MPU. Before starting the internal operation of the HD44780U, control information is temporarily stored into these registers to allow interfacing with various MPUs, which operate at different speeds, or various peripheral control devices. The internal operation of the HD44780U is determined by signals sent from the MPU. These signals, which include register selection signal (RS), read/

write signal (R/\overline{W}), and the data bus (DB0 to DB7), make up the HD44780U instructions (Table 6). There are four categories of instructions that:

- Designate HD44780U functions, such as display format, data length, etc.
- Set internal RAM addresses
- Perform data transfer with internal RAM
- Perform miscellaneous functions

Normally, instructions that perform data transfer with internal RAM are used the most. However, auto-incrementation by 1 (or auto-decrementation by 1) of internal HD44780U RAM addresses after each data write can lighten the program load of the MPU. Since the display shift instruction (Table 11) can perform concurrently with display data write, the user can minimize system development time with maximum programming efficiency.

When an instruction is being executed for internal operation, no instruction other than the busy flag/address read instruction can be executed.

Because the busy flag is set to 1 while an instruction is being executed, check it to make sure it is 0 before sending another instruction from the MPU.

Note: Be sure the HD44780U is not in the busy state (BF = 0) before sending an instruction from the MPU to the HD44780U. If an instruction is sent without checking the busy flag, the time between the first instruction and next instruction will take much longer than the instruction time itself. Refer to Table 6 for the list of each instruction execution time.

Table 6 Instructions

Instruction	Code										Description	Execution Time (max) (when f_{cp} or f_{osc} is 270 kHz)
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
Clear display	0	0	0	0	0	0	0	0	0	1	Clears entire display and sets DDRAM address 0 in address counter.	
Return home	0	0	0	0	0	0	0	0	1	—	Sets DDRAM address 0 in address counter. Also returns display from being shifted to original position. DDRAM contents remain unchanged.	1.52 ms
Entry mode set	0	0	0	0	0	0	0	1	I/D	S	Sets cursor move direction and specifies display shift. These operations are performed during data write and read.	37 μ s
Display on/off control	0	0	0	0	0	0	1	D	C	B	Sets entire display (D) on/off, cursor on/off (C), and blinking of cursor position character (B).	37 μ s
Cursor or display shift	0	0	0	0	0	1	S/C	R/L	—	—	Moves cursor and shifts display without changing DDRAM contents.	37 μ s
Function set	0	0	0	0	1	DL	N	F	—	—	Sets interface data length (DL), number of display lines (N), and character font (F).	37 μ s
Set CGRAM address	0	0	0	1	ACG	ACG	ACG	ACG	ACG	ACG	Sets CGRAM address. CGRAM data is sent and received after this setting.	37 μ s
Set DDRAM address	0	0	1	ADD	ADD	ADD	ADD	ADD	ADD	ADD	Sets DDRAM address. DDRAM data is sent and received after this setting.	37 μ s
Read busy flag & address	0	1	BF	AC	AC	AC	AC	AC	AC	AC	Reads busy flag (BF) indicating internal operation is being performed and reads address counter contents.	0 μ s

Table 6 Instructions (cont)

Instruction	Code										Description	Execution Time (max) (when f_{cp} or f_{osc} is 270 kHz)	
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
Write data to CG or DDRAM	1	0	Write data									Writes data into DDRAM or CGRAM.	37 μ s $t_{ADD} = 4 \mu$ s*
Read data from CG or DDRAM	1	1	Read data									Reads data from DDRAM or CGRAM.	37 μ s $t_{ADD} = 4 \mu$ s*
			I/D = 1:	Increment							DDRAM: Display data RAM	Execution time changes when frequency changes Example: When f_{cp} or f_{osc} is 250 kHz, 37μ s $\times \frac{270}{250} = 40 \mu$ s	
			I/D = 0:	Decrement							CGRAM: Character generator RAM		
			S = 1:	Accompanies display shift							ACG: CGRAM address		
			S/C = 1:	Display shift							ADD: DDRAM address		
			S/C = 0:	Cursor move							(corresponds to cursor address)		
			R/L = 1:	Shift to the right							AC: Address counter used for both DD and CGRAM addresses		
			R/L = 0:	Shift to the left									
			DL = 1:	8 bits, DL = 0: 4 bits									
			N = 1:	2 lines, N = 0: 1 line									
			F = 1:	5 \times 10 dots, F = 0: 5 \times 8 dots									
			BF = 1:	Internally operating									
			BF = 0:	Instructions acceptable									

Note: — indicates no effect.

* After execution of the CGRAM/DDRAM data write or read instruction, the RAM address counter is incremented or decremented by 1. The RAM address counter is updated after the busy flag turns off. In Figure 10, t_{ADD} is the time elapsed after the busy flag turns off until the address counter is updated.

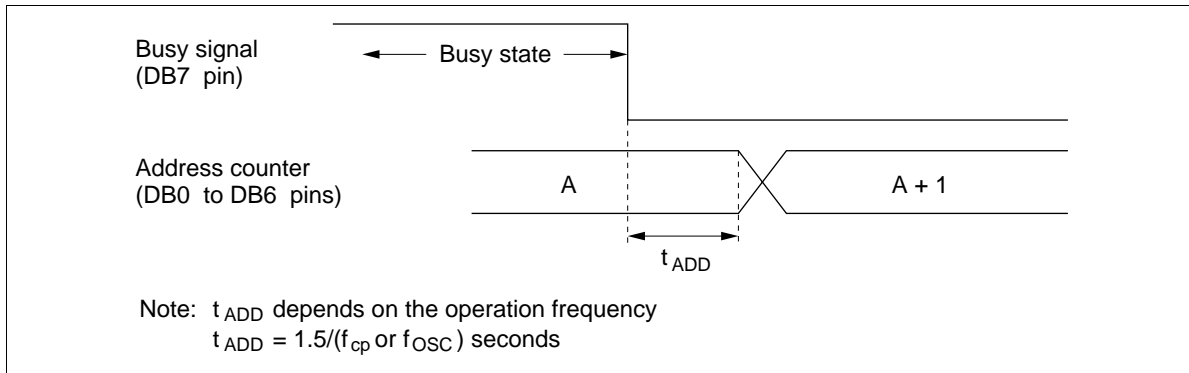


Figure 10 Address Counter Update

Instruction Description

Clear Display

Clear display writes space code 20H (character pattern for character code 20H must be a blank pattern) into all DDRAM addresses. It then sets DDRAM address 0 into the address counter, and returns the display to its original status if it was shifted. In other words, the display disappears and the cursor or blinking goes to the left edge of the display (in the first line if 2 lines are displayed). It also sets I/D to 1 (increment mode) in entry mode. S of entry mode does not change.

Return Home

Return home sets DDRAM address 0 into the address counter, and returns the display to its original status if it was shifted. The DDRAM contents do not change.

The cursor or blinking go to the left edge of the display (in the first line if 2 lines are displayed).

Entry Mode Set

I/D: Increments ($I/D = 1$) or decrements ($I/D = 0$) the DDRAM address by 1 when a character code is written into or read from DDRAM.

The cursor or blinking moves to the right when incremented by 1 and to the left when decremented by 1. The same applies to writing and reading of CGRAM.

S: Shifts the entire display either to the right ($I/D = 0$) or to the left ($I/D = 1$) when S is 1. The display does not shift if S is 0.

If S is 1, it will seem as if the cursor does not move but the display does. The display does not shift when reading from DDRAM. Also, writing into or reading out from CGRAM does not shift the display.

Display On/Off Control

D: The display is on when D is 1 and off when D is 0. When off, the display data remains in DDRAM, but can be displayed instantly by setting D to 1.

C: The cursor is displayed when C is 1 and not displayed when C is 0. Even if the cursor disappears, the function of I/D or other specifications will not change during display data write. The cursor is displayed using 5 dots in the 8th line for 5×8 dot character font selection and in the 11th line for the 5×10 dot character font selection (Figure 13).

B: The character indicated by the cursor blinks when B is 1 (Figure 13). The blinking is displayed as switching between all blank dots and displayed characters at a speed of 409.6-ms intervals when f_{cp} or f_{osc} is 250 kHz. The cursor and blinking can be set to display simultaneously. (The blinking frequency changes according to f_{osc} or the reciprocal of f_{cp} . For example, when f_{cp} is 270 kHz, $409.6 \times 250/270 = 379.2$ ms.)

Cursor or Display Shift

Cursor or display shift shifts the cursor position or display to the right or left without writing or reading display data (Table 7). This function is used to correct or search the display. In a 2-line display, the cursor moves to the second line when it passes the 40th digit of the first line. Note that the first and second line displays will shift at the same time.

When the displayed data is shifted repeatedly each line moves only horizontally. The second line display does not shift into the first line position.

The address counter (AC) contents will not change if the only action performed is a display shift.

Function Set

DL: Sets the interface data length. Data is sent or received in 8-bit lengths (DB7 to DB0) when DL is 1, and in 4-bit lengths (DB7 to DB4) when DL is 0. When 4-bit length is selected, data must be sent or received twice.

N: Sets the number of display lines.

F: Sets the character font.

Note: Perform the function at the head of the program before executing any instructions (except for the read busy flag and address instruction). From this point, the function set instruction cannot be executed unless the interface data length is changed.

Set CGRAM Address

Set CGRAM address sets the CGRAM address binary AAAAAA into the address counter.

Data is then written to or read from the MPU for CGRAM.

		RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
Clear display	Code	0	0	0	0	0	0	0	0	0	1	
Return home	Code	0	0	0	0	0	0	0	0	1	*	Note: * Don't care.
Entry mode set	Code	0	0	0	0	0	0	0	1	I/D	S	
Display on/off control	Code	0	0	0	0	0	0	1	D	C	B	
Cursor or display shift	Code	0	0	0	0	0	1	S/C	R/L	*	*	Note: * Don't care.
Function set	Code	0	0	0	0	1	DL	N	F	*	*	
Set CGRAM address	Code	0	0	0	1	A	A	A	A	A	A	

← Higher order bit Lower order bit →

Figure 11 Instruction (1)

Set DDRAM Address

Set DDRAM address sets the DDRAM address binary AAAAAAA into the address counter.

Data is then written to or read from the MPU for DDRAM.

However, when N is 0 (1-line display), AAAAAAA can be 00H to 4FH. When N is 1 (2-line display), AAAAAAA can be 00H to 27H for the first line, and 40H to 67H for the second line.

Read Busy Flag and Address

Read busy flag and address reads the busy flag (BF) indicating that the system is now internally operating on a previously received instruction. If BF is 1, the internal operation is in progress. The next instruction will not be accepted until BF is reset to 0. Check the BF status before the next write operation. At the same time, the value of the address counter in binary AAAAAAA is read out. This address counter is used by both CG and DDRAM addresses, and its value is determined by the previous instruction. The address contents are the same as for instructions set CGRAM address and set DDRAM address.

Table 7 Shift Function

S/C	R/L	
0	0	Shifts the cursor position to the left. (AC is decremented by one.)
0	1	Shifts the cursor position to the right. (AC is incremented by one.)
1	0	Shifts the entire display to the left. The cursor follows the display shift.
1	1	Shifts the entire display to the right. The cursor follows the display shift.

Table 8 Function Set

N	F	No. of Display Lines	Character Font	Duty Factor	Remarks
0	0	1	5 × 8 dots	1/8	
0	1	1	5 × 10 dots	1/11	
1	*	2	5 × 8 dots	1/16	Cannot display two lines for 5 × 10 dot character font

Note: * Indicates don't care.

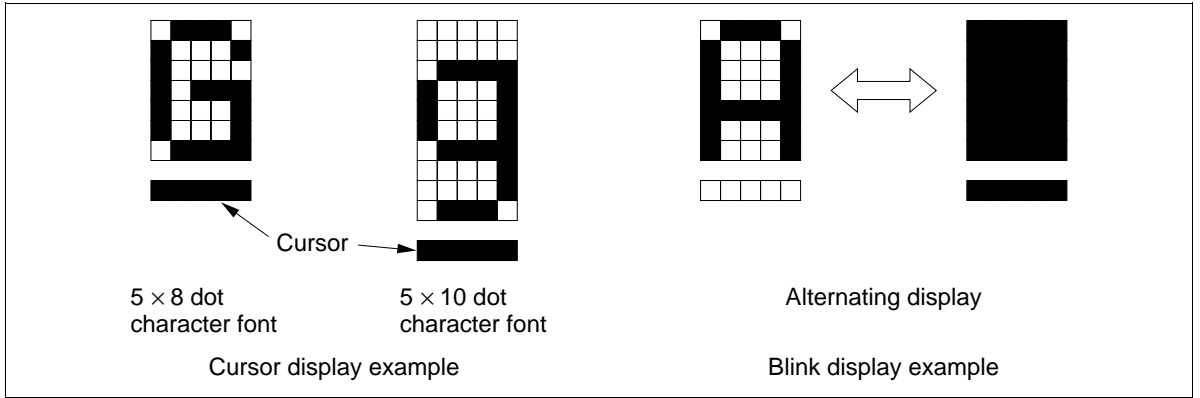


Figure 12 Cursor and Blinking

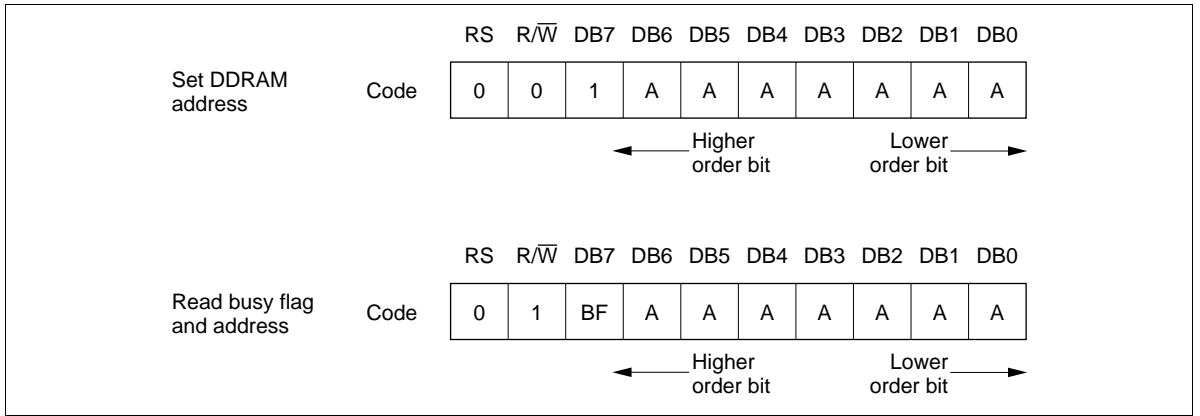


Figure 13 Instruction (2)

Write Data to CG or DDRAM

Write data to CG or DDRAM writes 8-bit binary data DDDDDDDD to CG or DDRAM.

To write into CG or DDRAM is determined by the previous specification of the CGRAM or DDRAM address setting. After a write, the address is automatically incremented or decremented by 1 according to the entry mode. The entry mode also determines the display shift.

Read Data from CG or DDRAM

Read data from CG or DDRAM reads 8-bit binary data DDDDDDDD from CG or DDRAM.

The previous designation determines whether CG or DDRAM is to be read. Before entering this read instruction, either CGRAM or DDRAM address set instruction must be executed. If not executed, the first read data will be invalid. When serially executing read instructions, the next address data is normally read from the second read. The address set instructions need not be executed just before this read instruction when shifting the cursor by the cursor shift instruction (when reading out DDRAM). The operation of the cursor shift instruction is the same as the set DDRAM address instruction.

After a read, the entry mode automatically increases or decreases the address by 1. However, display shift is not executed regardless of the entry mode.

Note: The address counter (AC) is automatically incremented or decremented by 1 after the write instructions to CGRAM or DDRAM are executed. The RAM data selected by the AC cannot be read out at this time even if read instructions are executed. Therefore, to correctly read data, execute either the address set instruction or cursor shift instruction (only with DDRAM), then just before reading the desired data, execute the read instruction from the second time the read instruction is sent.

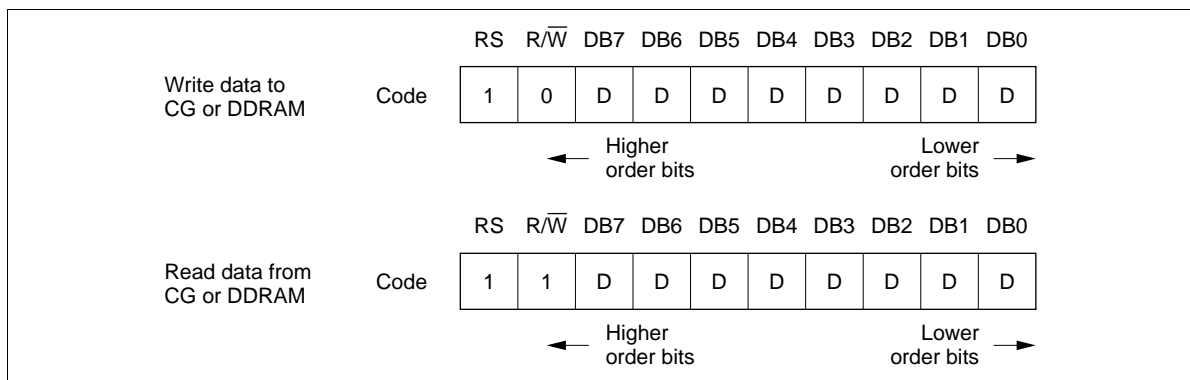


Figure 14 Instruction (3)

Interfacing the HD44780U

Interface to MPUs

- Interfacing to an 8-bit MPU

See Figure 16 for an example of using a I/O port (for a single-chip microcomputer) as an interface device.

In this example, P30 to P37 are connected to the data bus DB0 to DB7, and P75 to P77 are connected to E, R/W, and RS, respectively.

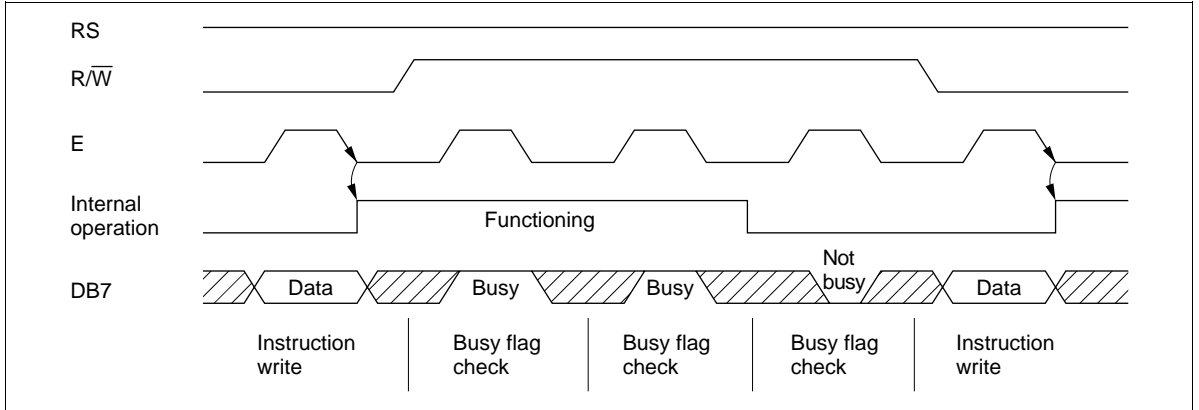


Figure 15 Example of Busy Flag Check Timing Sequence

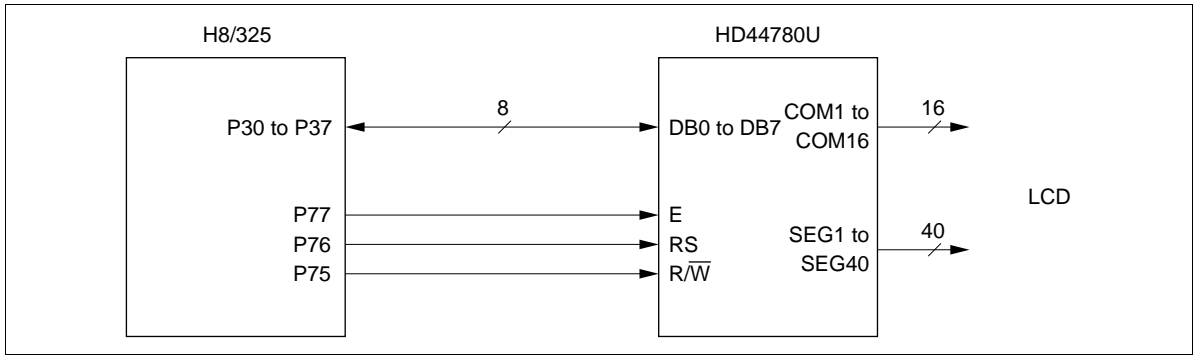


Figure 16 H8/325 Interface (Single-Chip Mode)

• Interfacing to a 4-bit MPU

The HD44780U can be connected to the I/O port of a 4-bit MPU. If the I/O port has enough bits, 8-bit data can be transferred. Otherwise, one data transfer must be made in two operations for 4-bit data. In this case, the timing sequence becomes somewhat complex. (See Figure 17.)

See Figure 18 for an interface example to the HMCS4019R.

Note that two cycles are needed for the busy flag check as well as for the data transfer. The 4-bit operation is selected by the program.

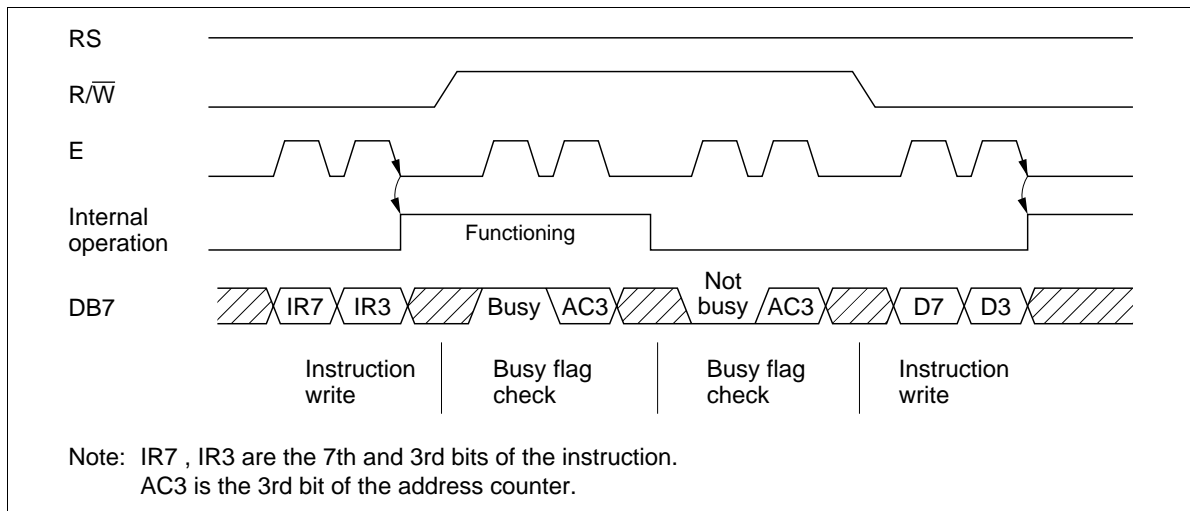


Figure 17 Example of 4-Bit Data Transfer Timing Sequence

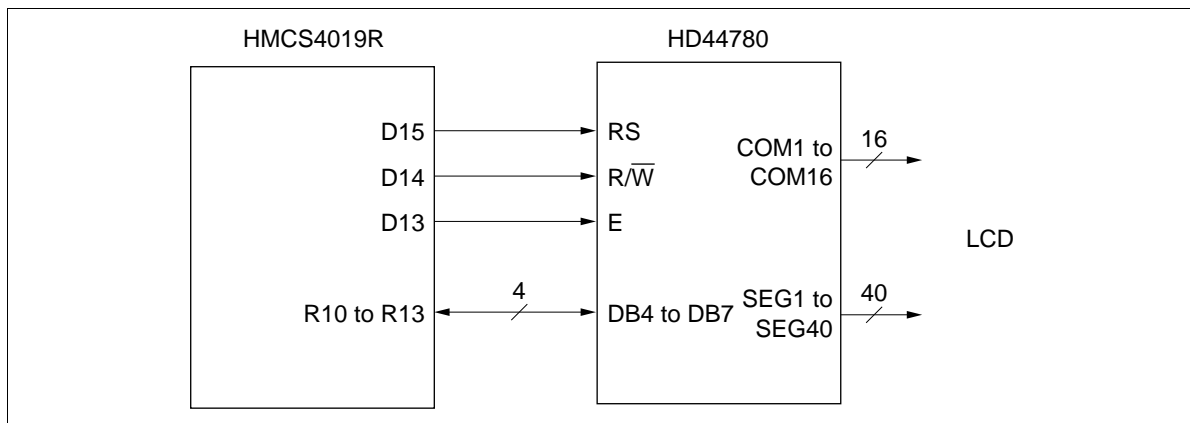


Figure 18 Example of Interface to HMCS4019R

Interface to Liquid Crystal Display

Character Font and Number of Lines: The HD44780U can perform two types of displays, 5×8 dot and 5×10 dot character fonts, each with a cursor.

Up to two lines are displayed for 5×8 dots and one line for 5×10 dots. Therefore, a total of three types of common signals are available (Table 9).

The number of lines and font types can be selected by the program. (See Table 6, Instructions.)

Connection to HD44780 and Liquid Crystal Display: See Figure 19 for the connection examples.

Table 9 Common Signals

Number of Lines	Character Font	Number of Common Signals	Duty Factor
1	5×8 dots + cursor	8	1/8
1	5×10 dots + cursor	11	1/11
2	5×8 dots + cursor	16	1/16

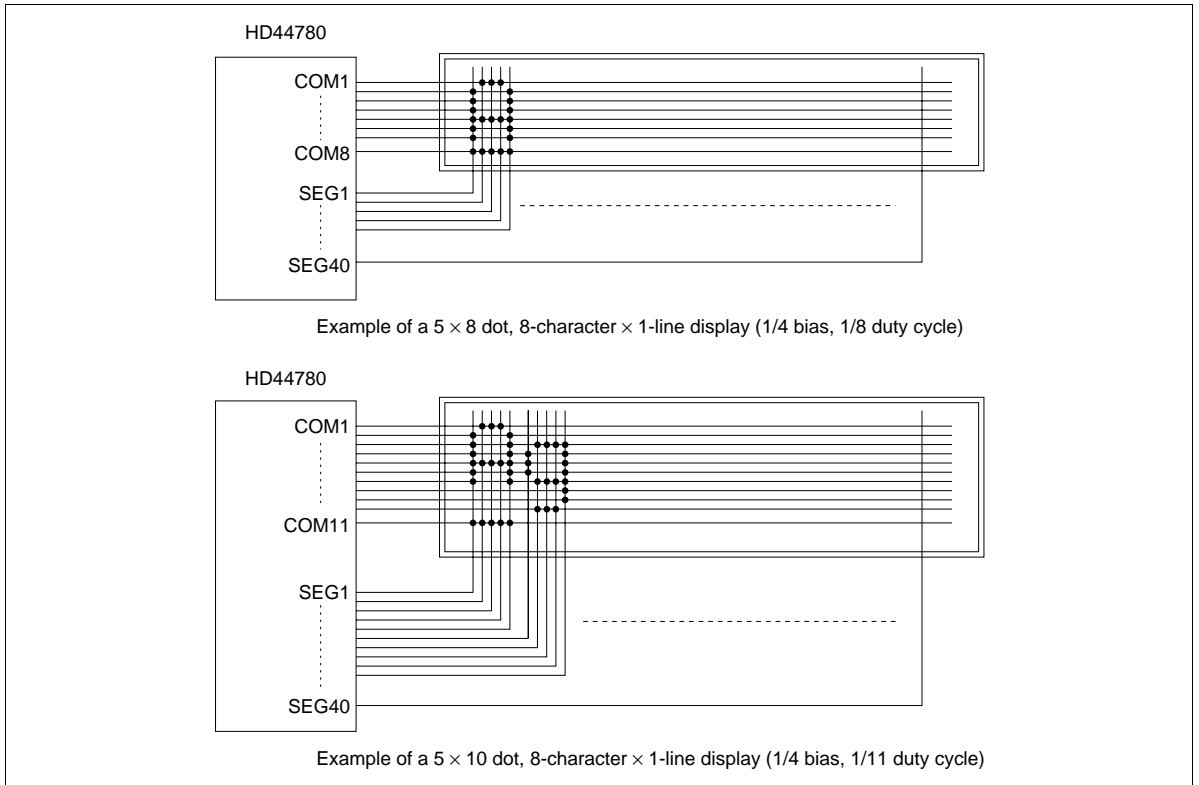


Figure 19 Liquid Crystal Display and HD44780 Connections

Since five segment signal lines can display one digit, one HD44780U can display up to 8 digits for a 1-line display and 16 digits for a 2-line display.

The examples in Figure 19 have unused common signal pins, which always output non-selection waveforms. When the liquid crystal display panel has unused extra scanning lines, connect the extra scanning lines to these common signal pins to avoid any undesirable effects due to crosstalk during the floating state.

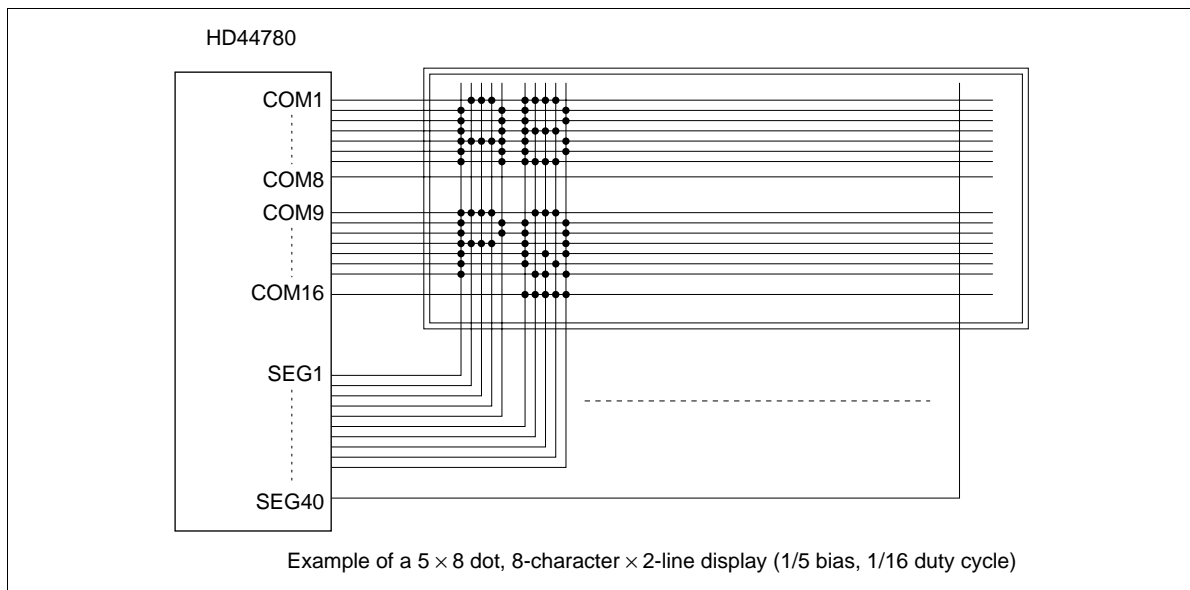


Figure 19 Liquid Crystal Display and HD44780 Connections (cont)

Connection of Changed Matrix Layout: In the preceding examples, the number of lines correspond to the scanning lines. However, the following display examples (Figure 20) are made possible by altering the matrix layout of the liquid crystal display panel. In either case, the only change is the layout. The display characteristics and the number of liquid crystal display characters depend on the number of common signals or on duty factor. Note that the display data RAM (DDRAM) addresses for 4 characters \times 2 lines and for 16 characters \times 1 line are the same as in Figure 19.

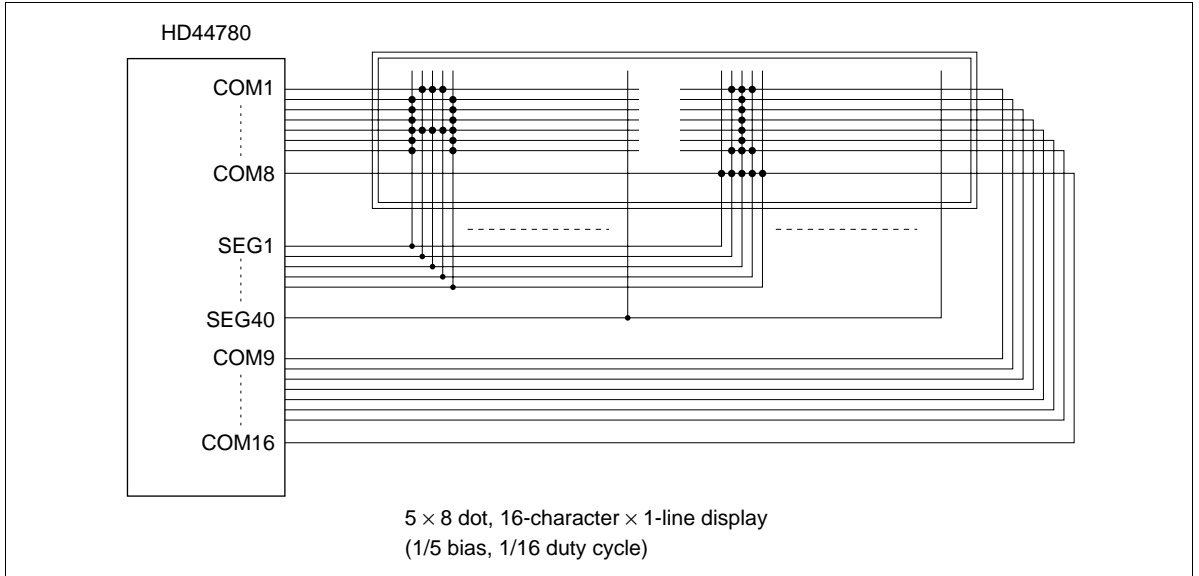


Figure 20 Changed Matrix Layout Displays

Power Supply for Liquid Crystal Display Drive

Various voltage levels must be applied to pins V1 to V5 of the HD44780U to obtain the liquid crystal display drive waveforms. The voltages must be changed according to the duty factor (Table 10).

VLCD is the peak value for the liquid crystal display drive waveforms, and resistance dividing provides voltages V1 to V5 (Figure 21).

Table 10 Duty Factor and Power Supply for Liquid Crystal Display Drive

Power Supply	Duty Factor	
	1/8, 1/11	1/16
	Bias	
	1/4	1/5
V1	$V_{CC}-1/4 \text{ VLCD}$	$V_{CC}-1/5 \text{ VLCD}$
V2	$V_{CC}-1/2 \text{ VLCD}$	$V_{CC}-2/5 \text{ VLCD}$
V3	$V_{CC}-1/2 \text{ VLCD}$	$V_{CC}-3/5 \text{ VLCD}$
V4	$V_{CC}-3/4 \text{ VLCD}$	$V_{CC}-4/5 \text{ VLCD}$
V5	$V_{CC}-\text{VLCD}$	$V_{CC}-\text{VLCD}$

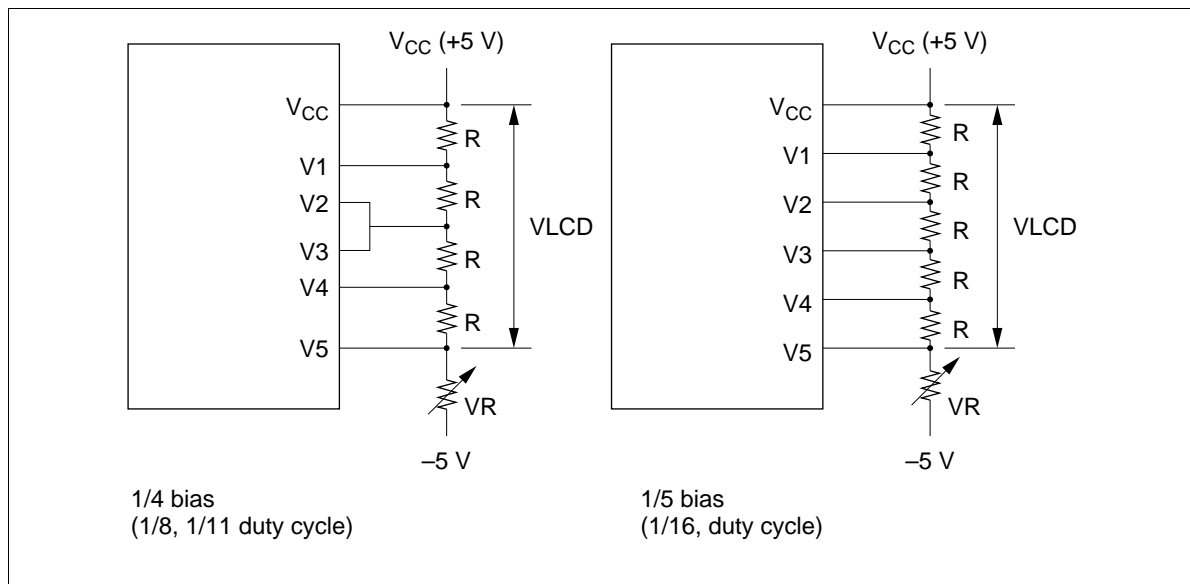
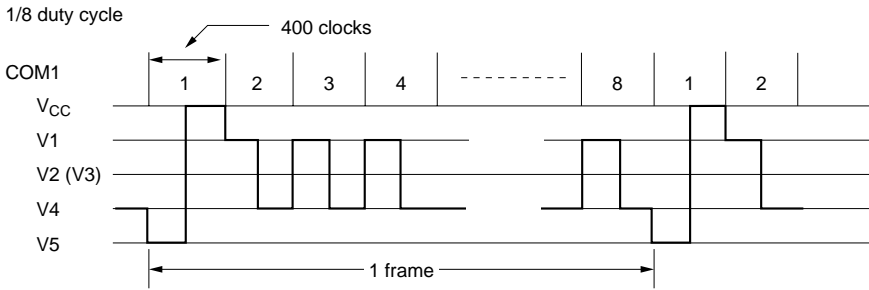


Figure 21 Drive Voltage Supply Example

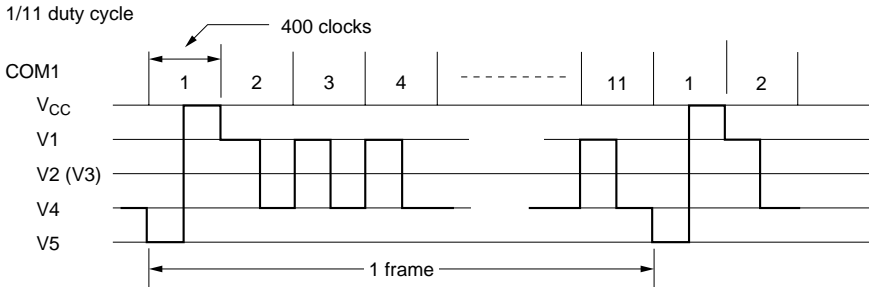
Relationship between Oscillation Frequency and Liquid Crystal Display Frame Frequency

The liquid crystal display frame frequencies of Figure 22 apply only when the oscillation frequency is 270 kHz (one clock pulse of 3.7 μs).



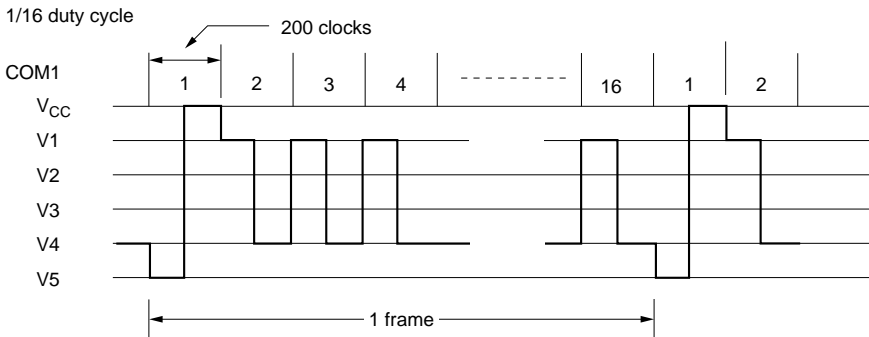
$$1 \text{ frame} = 3.7 \mu\text{s} \times 400 \times 8 = 11850 \mu\text{s} = 11.9 \text{ ms}$$

$$\text{Frame frequency} = \frac{1}{11.9 \text{ ms}} = 84.3 \text{ Hz}$$



$$1 \text{ frame} = 3.7 \mu\text{s} \times 400 \times 11 = 16300 \mu\text{s} = 16.3 \text{ ms}$$

$$\text{Frame frequency} = \frac{1}{16.3 \text{ ms}} = 61.4 \text{ Hz}$$



$$1 \text{ frame} = 3.7 \mu\text{s} \times 200 \times 16 = 11850 \mu\text{s} = 11.9 \text{ ms}$$

$$\text{Frame frequency} = \frac{1}{11.9 \text{ ms}} = 84.3 \text{ Hz}$$

Figure 22 Frame Frequency

Instruction and Display Correspondence

- 8-bit operation, 8-digit \times 1-line display with internal reset
Refer to Table 11 for an example of an 8-digit \times 1-line display in 8-bit operation. The HD44780U functions must be set by the function set instruction prior to the display. Since the display data RAM can store data for 80 characters, as explained before, the RAM can be used for displays such as for advertising when combined with the display shift operation.
Since the display shift operation changes only the display position with DDRAM contents unchanged, the first display data entered into DDRAM can be output when the return home operation is performed.
- 4-bit operation, 8-digit \times 1-line display with internal reset
The program must set all functions prior to the 4-bit operation (Table 12). When the power is turned on, 8-bit operation is automatically selected and the first write is performed as an 8-bit operation. Since DB0 to DB3 are not connected, a rewrite is then required. However, since one operation is completed in two accesses for 4-bit operation, a rewrite is needed to set the functions (see Table 12). Thus, DB4 to DB7 of the function set instruction is written twice.
- 8-bit operation, 8-digit \times 2-line display
For a 2-line display, the cursor automatically moves from the first to the second line after the 40th digit of the first line has been written. Thus, if there are only 8 characters in the first line, the DDRAM address must be again set after the 8th character is completed. (See Table 13.) Note that the display shift operation is performed for the first and second lines. In the example of Table 13, the display shift is performed when the cursor is on the second line. However, if the shift operation is performed when the cursor is on the first line, both the first and second lines move together. If the shift is repeated, the display of the second line will not move to the first line. The same display will only shift within its own line for the number of times the shift is repeated.

Note: When using the internal reset, the electrical characteristics in the Power Supply Conditions Using Internal Reset Circuit table must be satisfied. If not, the HD44780U must be initialized by instructions. See the section, Initializing by Instruction.

Table 11 8-Bit Operation, 8-Digit × 1-Line Display Example with Internal Reset

Step	Instruction										Display	Operation
No.	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
1	Power supply on (the HD44780U is initialized by the internal reset circuit)										<input type="text"/>	Initialized. No display.
2	0	0	0	0	1	1	0	0	*	*	<input type="text"/>	Sets to 8-bit operation and selects 1-line display and 5 × 8 dot character font. (Number of display lines and character fonts cannot be changed after step #2.)
3	0	0	0	0	0	0	1	1	1	0	<input type="text" value="-"/>	Turns on display and cursor. Entire display is in space mode because of initialization.
4	0	0	0	0	0	0	0	1	1	0	<input type="text" value="-"/>	Sets mode to increment the address by one and to shift the cursor to the right at the time of write to the DD/CGRAM. Display is not shifted.
5	1	0	0	1	0	0	1	0	0	0	<input type="text" value="H_"/>	Writes H. DDRAM has already been selected by initialization when the power was turned on. The cursor is incremented by one and shifted to the right.
6	1	0	0	1	0	0	1	0	0	1	<input type="text" value="HI_"/>	Writes I.
7											<input type="text"/>	
8	1	0	0	1	0	0	1	0	0	1	<input type="text" value="HITACHI_"/>	Writes I.
9	0	0	0	0	0	0	0	1	1	1	<input type="text" value="HITACHI_"/>	Sets mode to shift display at the time of write.
10	1	0	0	0	1	0	0	0	0	0	<input type="text" value="ITACHI _"/>	Writes a space.

Table 11 8-Bit Operation, 8-Digit × 1-Line Display Example with Internal Reset (cont)

Step		Instruction										Display	Operation
No.	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
11	Write data to CGRAM/DDRAM	1	0	0	1	0	0	1	1	0	1	TACHI M_	Writes M.
12												.	.
13	Write data to CGRAM/DDRAM	1	0	0	1	0	0	1	1	1	1	MICROKO_	Writes O.
14	Cursor or display shift	0	0	0	0	0	1	0	0	*	*	MICROKO	Shifts only the cursor position to the left.
15	Cursor or display shift	0	0	0	0	0	1	0	0	*	*	MICROK <u>O</u>	Shifts only the cursor position to the left.
16	Write data to CGRAM/DDRAM	1	0	0	1	0	0	0	0	1	1	ICROCO	Writes C over K. The display moves to the left.
17	Cursor or display shift	0	0	0	0	0	1	1	1	*	*	MICROCO <u>O</u>	Shifts the display and cursor position to the right.
18	Cursor or display shift	0	0	0	0	0	1	0	1	*	*	MICROCO_ <u>O</u>	Shifts the display and cursor position to the right.
19	Write data to CGRAM/DDRAM	1	0	0	1	0	0	1	1	0	1	ICROCOM_	Writes M.
20												.	.
21	Return home	0	0	0	0	0	0	0	0	1	0	HITACHI	Returns both display and cursor to the original position (address 0).

Table 12 4-Bit Operation, 8-Digit × 1-Line Display Example with Internal Reset

Step No.	Instruction						Display	Operation
	RS	R/W	DB7	DB6	DB5	DB4		
1	Power supply on (the HD44780U is initialized by the internal reset circuit)						<input type="text"/>	Initialized. No display.
2	Function set 0 0 0 0 1 0						<input type="text"/>	Sets to 4-bit operation. In this case, operation is handled as 8 bits by initialization, and only this instruction completes with one write.
3	Function set 0 0 0 0 1 0 0 0 0 0 * *						<input type="text"/>	Sets 4-bit operation and selects 1-line display and 5 × 8 dot character font. 4-bit operation starts from this step and resetting is necessary. (Number of display lines and character fonts cannot be changed after step #3.)
4	Display on/off control 0 0 0 0 0 0 0 0 1 1 1 0						<input type="text" value="-"/>	Turns on display and cursor. Entire display is in space mode because of initialization.
5	Entry mode set 0 0 0 0 0 0 0 0 0 1 1 0						<input type="text" value="-"/>	Sets mode to increment the address by one and to shift the cursor to the right at the time of write to the DD/CGRAM. Display is not shifted.
6	Write data to CGRAM/DDRAM 1 0 0 1 0 0 1 0 1 0 0 0						<input type="text" value="H_"/>	Writes H. The cursor is incremented by one and shifts to the right.

Note: The control is the same as for 8-bit operation beyond step #6.

Table 13 8-Bit Operation, 8-Digit × 2-Line Display Example with Internal Reset

Step No.	Instruction										Display	Operation
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
1	Power supply on (the HD44780U is initialized by the internal reset circuit)											Initialized. No display.
2	0	0	0	0	1	1	1	0	*	*		Sets to 8-bit operation and selects 2-line display and 5 × 8 dot character font.
3	0	0	0	0	0	0	1	1	1	0		Turns on display and cursor. All display is in space mode because of initialization.
4	0	0	0	0	0	0	0	1	1	0		Sets mode to increment the address by one and to shift the cursor to the right at the time of write to the DD/CGRAM. Display is not shifted.
5	1	0	0	1	0	0	1	0	0	0		Writes H. DDRAM has already been selected by initialization when the power was turned on. The cursor is incremented by one and shifted to the right.
6						
7	1	0	0	1	0	0	1	0	0	1		Writes I.
8	0	0	1	1	0	0	0	0	0	0		Sets DDRAM address so that the cursor is positioned at the head of the second line.

Table 13 8-Bit Operation, 8-Digit × 2-Line Display Example with Internal Reset (cont)

Step		Instruction										Display	Operation
No.	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
9	Write data to CGRAM/DDRAM										HITACHI M_	Writes M.	
10													
11	Write data to CGRAM/DDRAM										HITACHI MICROCO_	Writes O.	
12	Entry mode set										HITACHI MICROCO_	Sets mode to shift display at the time of write.	
13	Write data to CGRAM/DDRAM										ITACHI ICROCOM_	Writes M. Display is shifted to the left. The first and second lines both shift at the same time.	
14													
15	Return home										HITACHI MICROCOM	Returns both display and cursor to the original position (address 0).	

Initializing by Instruction

If the power supply conditions for correctly operating the internal reset circuit are not met, initialization by instructions becomes necessary.

Refer to Figures 23 and 24 for the procedures on 8-bit and 4-bit initializations, respectively.

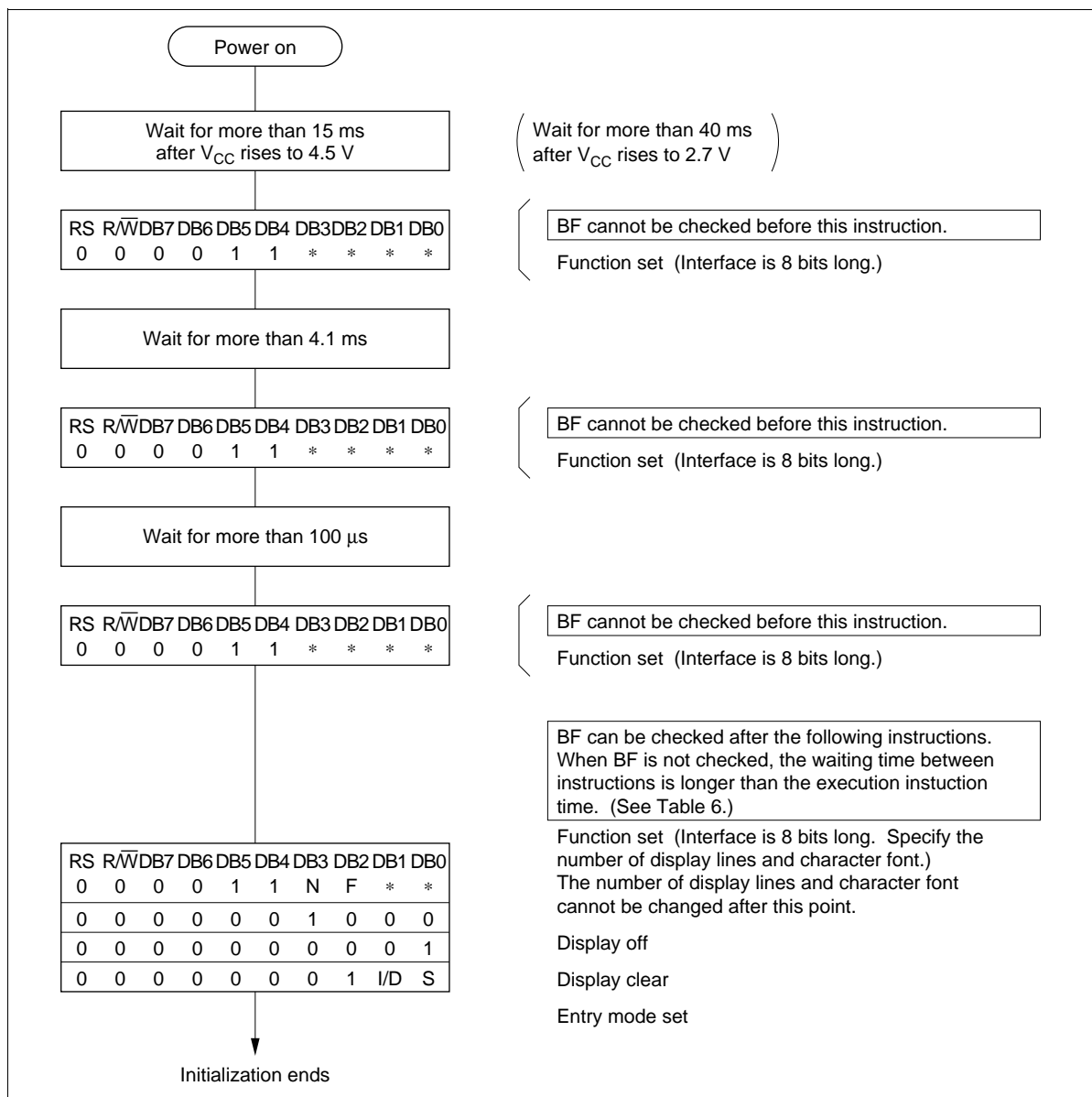


Figure 23 8-Bit Interface

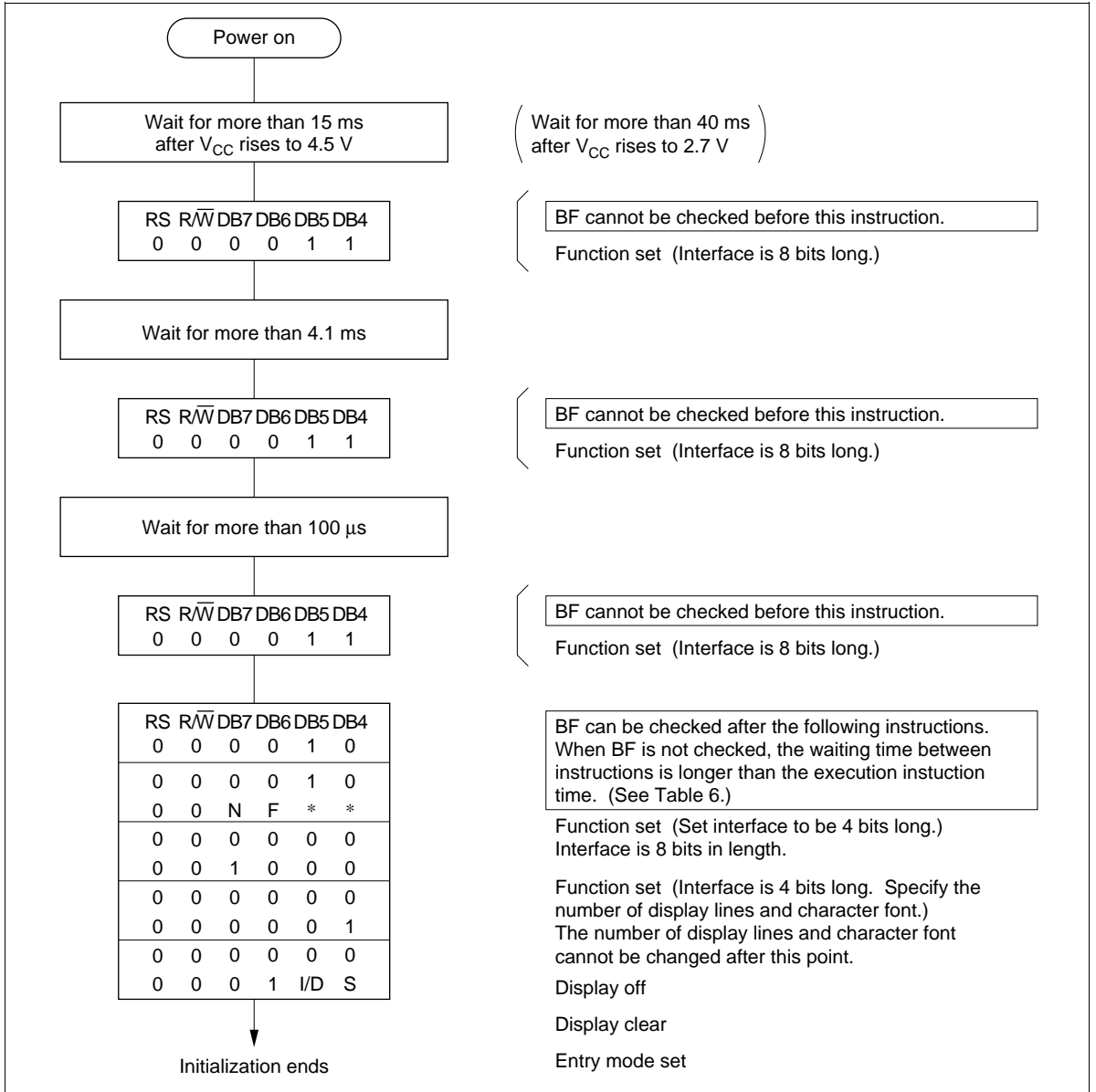


Figure 24 4-Bit Interface

Absolute Maximum Ratings*

Item	Symbol	Value	Unit	Notes
Power supply voltage (1)	V_{CC-GND}	-0.3 to +7.0	V	1
Power supply voltage (2)	V_{CC-V5}	-0.3 to +13.0	V	1, 2
Input voltage	V_t	-0.3 to $V_{CC} + 0.3$	V	1
Operating temperature	T_{opr}	-30 to +75	°C	
Storage temperature	T_{stg}	-55 to +125	°C	4

Note: * If the LSI is used above these absolute maximum ratings, it may become permanently damaged. Using the LSI within the following electrical characteristic limits is strongly recommended for normal operation. If these electrical characteristic conditions are also exceeded, the LSI will malfunction and cause poor reliability.

DC Characteristics ($V_{CC} = 2.7$ to 4.5 V, $T_a = -30$ to $+75^\circ\text{C}^{*3}$)

Item	Symbol	Min	Typ	Max	Unit	Test Condition	Notes*
Input high voltage (1) (except OSC1)	VIH1	$0.7V_{CC}$	—	V_{CC}	V		6
Input low voltage (1) (except OSC1)	VIL1	-0.3	—	0.55	V		6
Input high voltage (2) (OSC1)	VIH2	$0.7V_{CC}$	—	V_{CC}	V		15
Input low voltage (2) (OSC1)	VIL2	—	—	$0.2V_{CC}$	V		15
Output high voltage (1) (DB0–DB7)	VOH1	$0.75V_{CC}$	—	—	V	$-I_{OH} = 0.1$ mA	7
Output low voltage (1) (DB0–DB7)	VOL1	—	—	$0.2V_{CC}$	V	$I_{OL} = 0.1$ mA	7
Output high voltage (2) (except DB0–DB7)	VOH2	$0.8V_{CC}$	—	—	V	$-I_{OH} = 0.04$ mA	8
Output low voltage (2) (except DB0–DB7)	VOL2	—	—	$0.2V_{CC}$	V	$I_{OL} = 0.04$ mA	8
Driver on resistance (COM)	R_{COM}	—	2	20	k Ω	$\pm I_d = 0.05$ mA, VLCD = 4 V	13
Driver on resistance (SEG)	R_{SEG}	—	2	30	k Ω	$\pm I_d = 0.05$ mA, VLCD = 4 V	13
Input leakage current	I_{LI}	-1	—	1	μA	$V_{IN} = 0$ to V_{CC}	9
Pull-up MOS current (DB0–DB7, RS, R/W)	$-I_p$	10	50	120	μA	$V_{CC} = 3$ V	
Power supply current	I_{CC}	—	150	300	μA	R_f oscillation, external clock $V_{CC} = 3$ V, $f_{OSC} = 270$ kHz	10, 14
LCD voltage	VLCD1	3.0	—	11.0	V	$V_{CC} - V_5$, 1/5 bias	16
	VLCD2	3.0	—	11.0	V	$V_{CC} - V_5$, 1/4 bias	16

Note: * Refer to the Electrical Characteristics Notes section following these tables.

AC Characteristics ($V_{CC} = 2.7$ to 4.5 V, $T_a = -30$ to $+75^\circ\text{C}^{*3}$)

Clock Characteristics

Item		Symbol	Min	Typ	Max	Unit	Test Condition	Note*
External clock operation	External clock frequency	f_{cp}	125	250	350	kHz		11
	External clock duty	Duty	45	50	55	%		
	External clock rise time	t_{rcp}	—	—	0.2	μs		
	External clock fall time	t_{fcp}	—	—	0.2	μs		
R_f oscillation	Clock oscillation frequency	f_{osc}	190	270	350	kHz	$R_f = 75\text{ k}\Omega$, $V_{CC} = 3\text{ V}$	12

Note: * Refer to the Electrical Characteristics Notes section following these tables.

Bus Timing Characteristics

Write Operation

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Enable cycle time		t_{cycE}	1000	—	—	ns	Figure 25
Enable pulse width (high level)		PW_{EH}	450	—	—		
Enable rise/fall time		t_{Er} , t_{Ef}	—	—	25		
Address set-up time (RS, $\overline{R/W}$ to E)		t_{AS}	60	—	—		
Address hold time		t_{AH}	20	—	—		
Data set-up time		t_{DSW}	195	—	—		
Data hold time		t_H	10	—	—		

Read Operation

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Enable cycle time		t_{cycE}	1000	—	—	ns	Figure 26
Enable pulse width (high level)		PW_{EH}	450	—	—		
Enable rise/fall time		t_{Er} , t_{Ef}	—	—	25		
Address set-up time (RS, $\overline{R/W}$ to E)		t_{AS}	60	—	—		
Address hold time		t_{AH}	20	—	—		
Data delay time		t_{DDR}	—	—	360		
Data hold time		t_{DHR}	5	—	—		

Interface Timing Characteristics with External Driver

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Clock pulse width	High level	t_{CWH}	800	—	—	ns	Figure 27
	Low level	t_{CWL}	800	—	—		
Clock set-up time		t_{CSU}	500	—	—		
Data set-up time		t_{SU}	300	—	—		
Data hold time		t_{DH}	300	—	—		
M delay time		t_{DM}	-1000	—	1000		
Clock rise/fall time		t_{ct}	—	—	200		

Power Supply Conditions Using Internal Reset Circuit

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Power supply rise time		t_{rCC}	0.1	—	10	ms	Figure 28
Power supply off time		t_{OFF}	1	—	—		

DC Characteristics ($V_{CC} = 4.5$ to 5.5 V, $T_a = -30$ to $+75^\circ\text{C}^{*3}$)

Item	Symbol	Min	Typ	Max	Unit	Test Condition	Notes*
Input high voltage (1) (except OSC1)	VIH1	2.2	—	V_{CC}	V		6
Input low voltage (1) (except OSC1)	VIL1	-0.3	—	0.6	V		6
Input high voltage (2) (OSC1)	VIH2	$V_{CC}-1.0$	—	V_{CC}	V		15
Input low voltage (2) (OSC1)	VIL2	—	—	1.0	V		15
Output high voltage (1) (DB0–DB7)	VOH1	2.4	—	—	V	$-I_{OH} = 0.205$ mA	7
Output low voltage (1) (DB0–DB7)	VOL1	—	—	0.4	V	$I_{OL} = 1.2$ mA	7
Output high voltage (2) (except DB0–DB7)	VOH2	$0.9 V_{CC}$	—	—	V	$-I_{OH} = 0.04$ mA	8
Output low voltage (2) (except DB0–DB7)	VOL2	—	—	$0.1 V_{CC}$	V	$I_{OL} = 0.04$ mA	8
Driver on resistance (COM)	RCOM	—	2	20	k Ω	$\pm I_d = 0.05$ mA, VLCD = 4 V	13
Driver on resistance (SEG)	RSEG	—	2	30	k Ω	$\pm I_d = 0.05$ mA, VLCD = 4 V	13
Input leakage current	I_{LI}	-1	—	1	μA	$V_{IN} = 0$ to V_{CC}	9
Pull-up MOS current (DB0–DB7, RS, R/ \bar{W})	$-I_p$	50	125	250	μA	$V_{CC} = 5$ V	
Power supply current	I_{CC}	—	350	600	μA	R_f oscillation, external clock $V_{CC} = 5$ V, $f_{osc} = 270$ kHz	10, 14
LCD voltage	VLCD1	3.0	—	11.0	V	$V_{CC}-V_5$, 1/5 bias	16
	VLCD2	3.0	—	11.0	V	$V_{CC}-V_5$, 1/4 bias	16

Note: * Refer to the Electrical Characteristics Notes section following these tables.

AC Characteristics ($V_{CC} = 4.5$ to 5.5 V, $T_a = -30$ to $+75^\circ\text{C}^{*3}$)
Clock Characteristics

Item		Symbol	Min	Typ	Max	Unit	Test Condition	Notes*
External clock operation	External clock frequency	f_{cp}	125	250	350	kHz		11
	External clock duty	Duty	45	50	55	%		11
	External clock rise time	t_{rcp}	—	—	0.2	μs		11
	External clock fall time	t_{fcp}	—	—	0.2	μs		11
R_f oscillation	Clock oscillation frequency	f_{osc}	190	270	350	kHz	$R_f = 91\text{ k}\Omega$ $V_{CC} = 5.0\text{ V}$	12

Note: * Refer to the Electrical Characteristics Notes section following these tables.

Bus Timing Characteristics
Write Operation

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Enable cycle time		t_{cycE}	500	—	—	ns	Figure 25
Enable pulse width (high level)		PW_{EH}	230	—	—		
Enable rise/fall time		t_{Er}, t_{Ef}	—	—	20		
Address set-up time (RS, R/W to E)		t_{AS}	40	—	—		
Address hold time		t_{AH}	10	—	—		
Data set-up time		t_{DSW}	80	—	—		
Data hold time		t_H	10	—	—		

Read Operation

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Enable cycle time		t_{cycE}	500	—	—	ns	Figure 26
Enable pulse width (high level)		PW_{EH}	230	—	—		
Enable rise/fall time		t_{Er}, t_{Ef}	—	—	20		
Address set-up time (RS, R/W to E)		t_{AS}	40	—	—		
Address hold time		t_{AH}	10	—	—		
Data delay time		t_{DDR}	—	—	160		
Data hold time		t_{DHR}	5	—	—		

Interface Timing Characteristics with External Driver

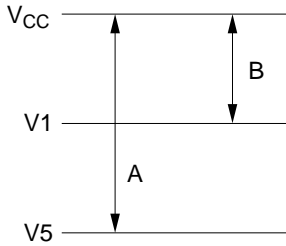
Item		Symbol	Min	Typ	Max	Unit	Test Condition
Clock pulse width	High level	t_{CWH}	800	—	—	ns	Figure 27
	Low level	t_{CWL}	800	—	—		
Clock set-up time		t_{CSU}	500	—	—		
Data set-up time		t_{SU}	300	—	—		
Data hold time		t_{DH}	300	—	—		
M delay time		t_{DM}	-1000	—	1000		
Clock rise/fall time		t_{ct}	—	—	100		

Power Supply Conditions Using Internal Reset Circuit

Item		Symbol	Min	Typ	Max	Unit	Test Condition
Power supply rise time		t_{rCC}	0.1	—	10	ms	Figure 28
Power supply off time		t_{OFF}	1	—	—		

Electrical Characteristics Notes

1. All voltage values are referred to GND = 0 V.



$$A = V_{CC} - V_5$$

$$B = V_{CC} - V_1$$

$$A \geq 1.5 \text{ V}$$

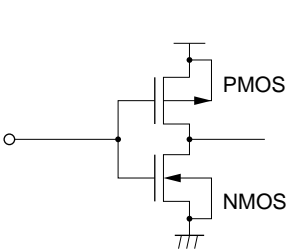
$$B \leq 0.25 \times A$$

The conditions of V_1 and V_5 voltages are for proper operation of the LSI and not for the LCD output level. The LCD drive voltage condition for the LCD output level is specified as LCD voltage VLCD.

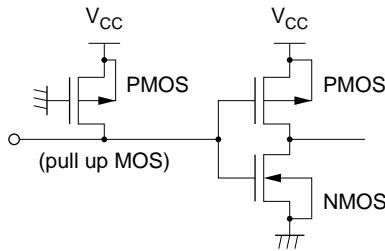
2. $V_{CC} \geq V_1 \geq V_2 \geq V_3 \geq V_4 \geq V_5$ must be maintained.
3. For die products, specified at 75°C.
4. For die products, specified by the die shipment specification.
5. The following four circuits are I/O pin configurations except for liquid crystal display output.

Input pin

Pin: E (MOS without pull-up)

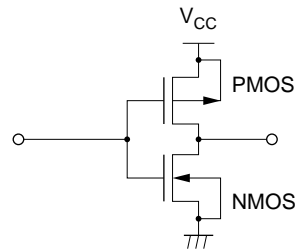


Pins: RS, R/W (MOS with pull-up)



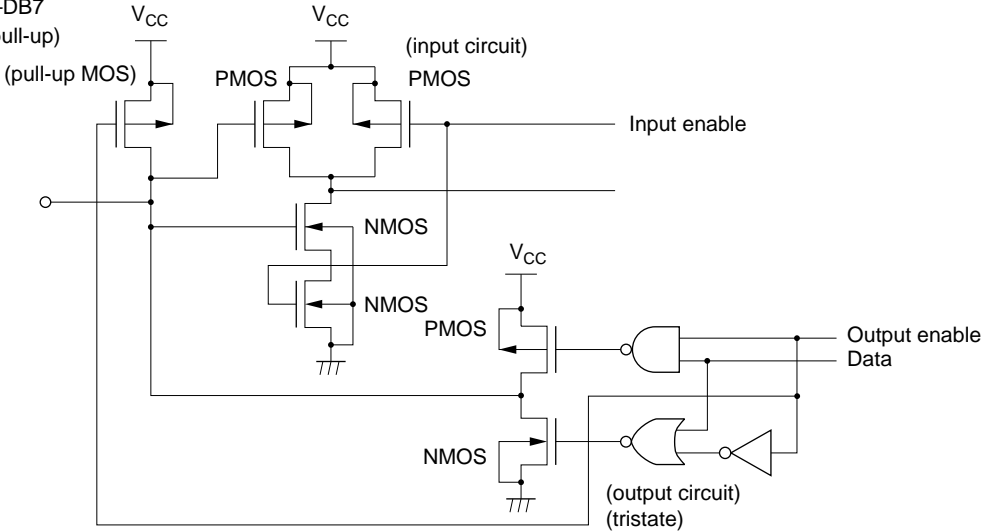
Output pin

Pins: CL1, CL2, M, D

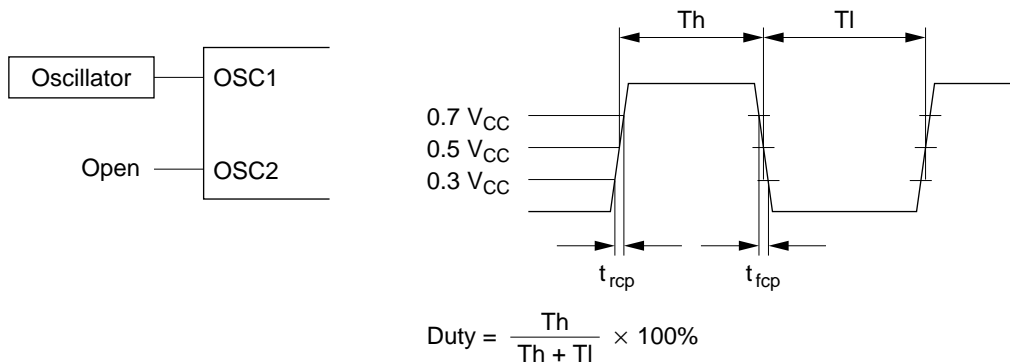


I/O Pin

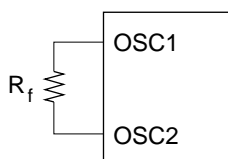
Pins: DB0-DB7
(MOS with pull-up)



6. Applies to input pins and I/O pins, excluding the OSC1 pin.
7. Applies to I/O pins.
8. Applies to output pins.
9. Current flowing through pull-up MOSs, excluding output drive MOSs.
10. Input/output current is excluded. When input is at an intermediate level with CMOS, the excessive current flows through the input circuit to the power supply. To avoid this from happening, the input level must be fixed high or low.
11. Applies only to external clock operation.



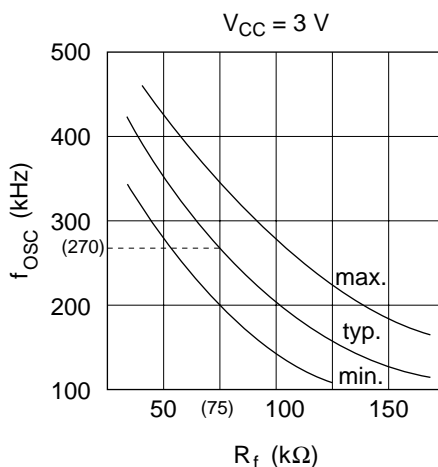
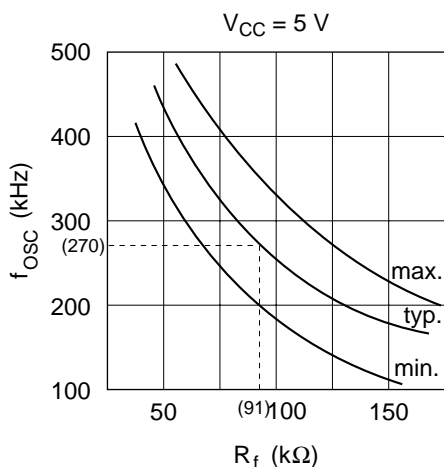
12. Applies only to the internal oscillator operation using oscillation resistor R_f .



R_f : $75 \text{ k}\Omega \pm 2\%$ (when $V_{CC} = 3 \text{ V}$)

R_f : $91 \text{ k}\Omega \pm 2\%$ (when $V_{CC} = 5 \text{ V}$)

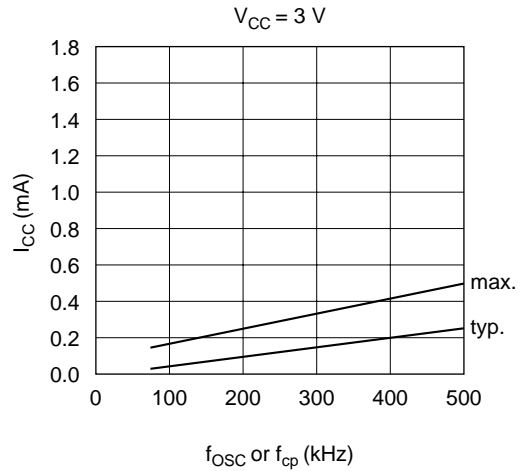
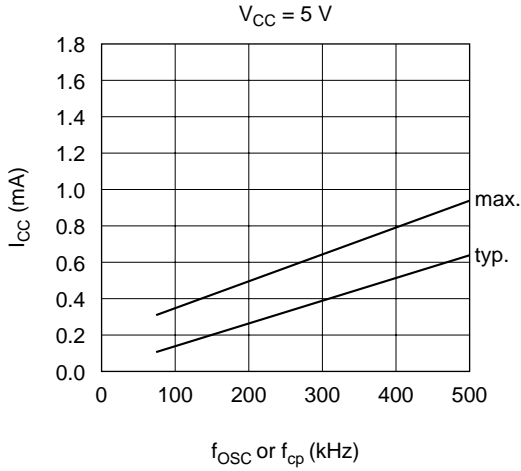
Since the oscillation frequency varies depending on the OSC1 and OSC2 pin capacitance, the wiring length to these pins should be minimized.



13. RCOM is the resistance between the power supply pins (V_{CC} , V1, V4, V5) and each common signal pin (COM1 to COM16).

RSEG is the resistance between the power supply pins (V_{CC} , V2, V3, V5) and each segment signal pin (SEG1 to SEG40).

14. The following graphs show the relationship between operation frequency and current consumption.

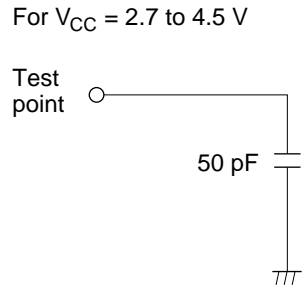
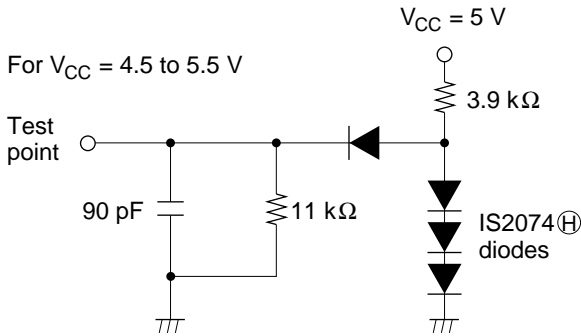


15. Applies to the OSC1 pin.

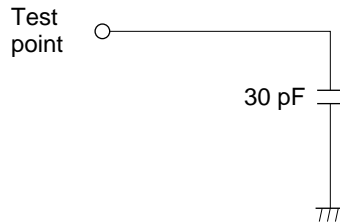
16. Each COM and SEG output voltage is within $\pm 0.15\text{ V}$ of the LCD voltage (V_{CC} , V1, V2, V3, V4, V5) when there is no load.

Load Circuits

Data Bus DB0 to DB7



External Driver Control Signals: CL1, CL2, D, M



Timing Characteristics

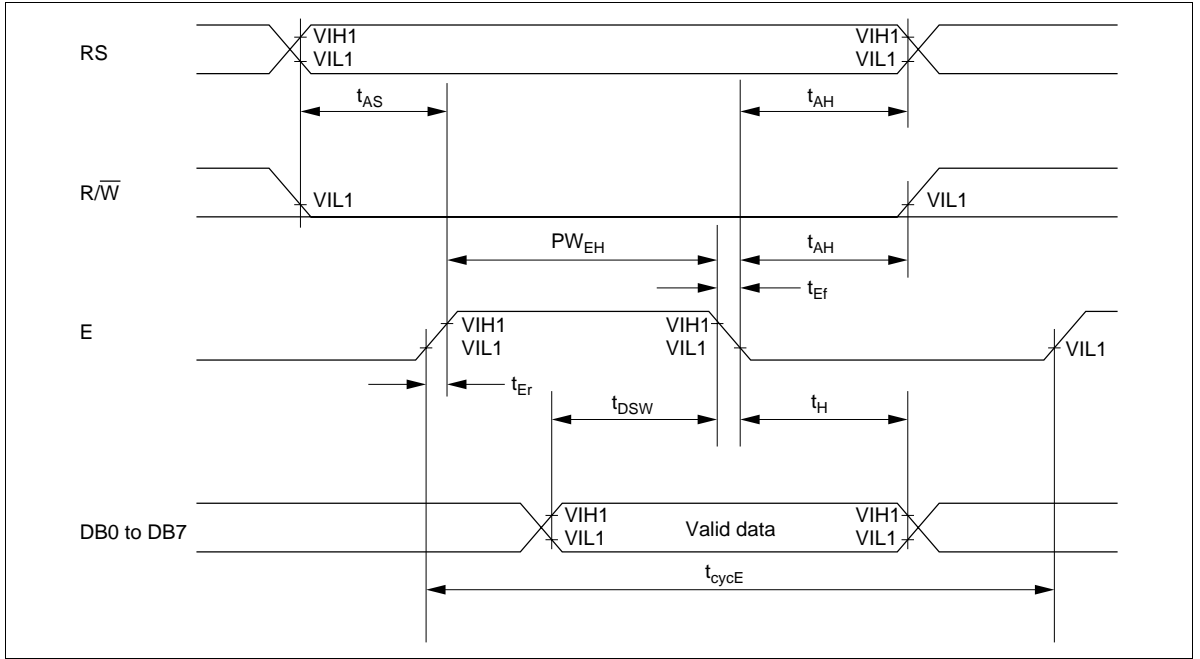
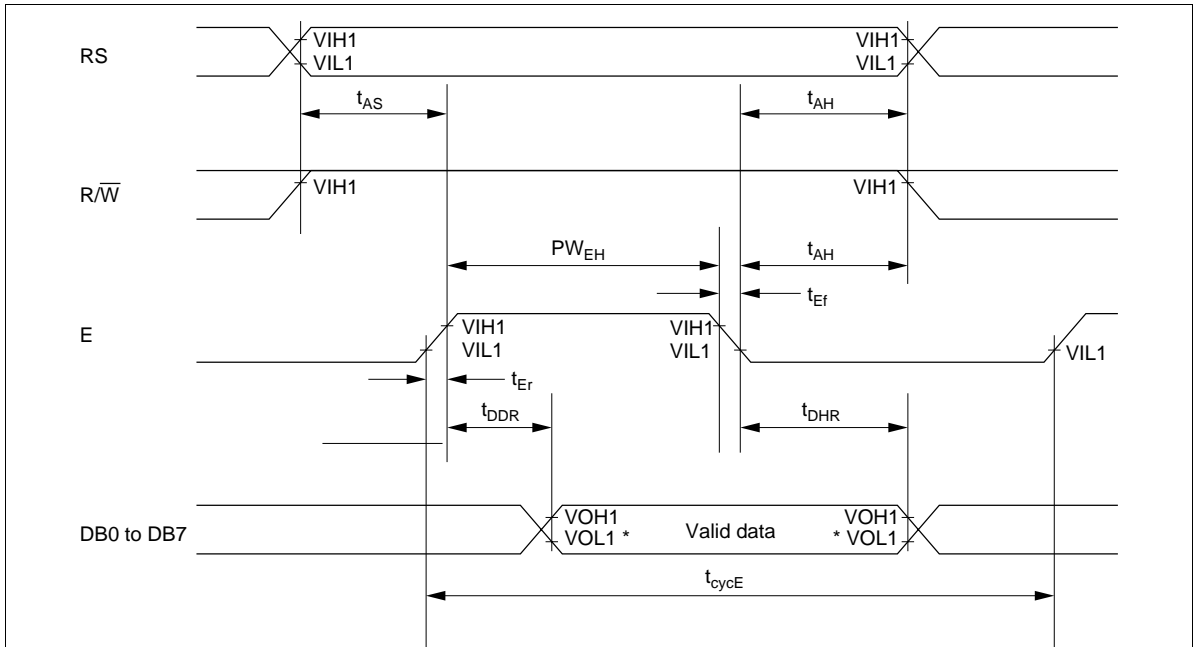


Figure 25 Write Operation



Note: * VOL1 is assumed to be 0.8 V at 2 MHz operation.

Figure 26 Read Operation

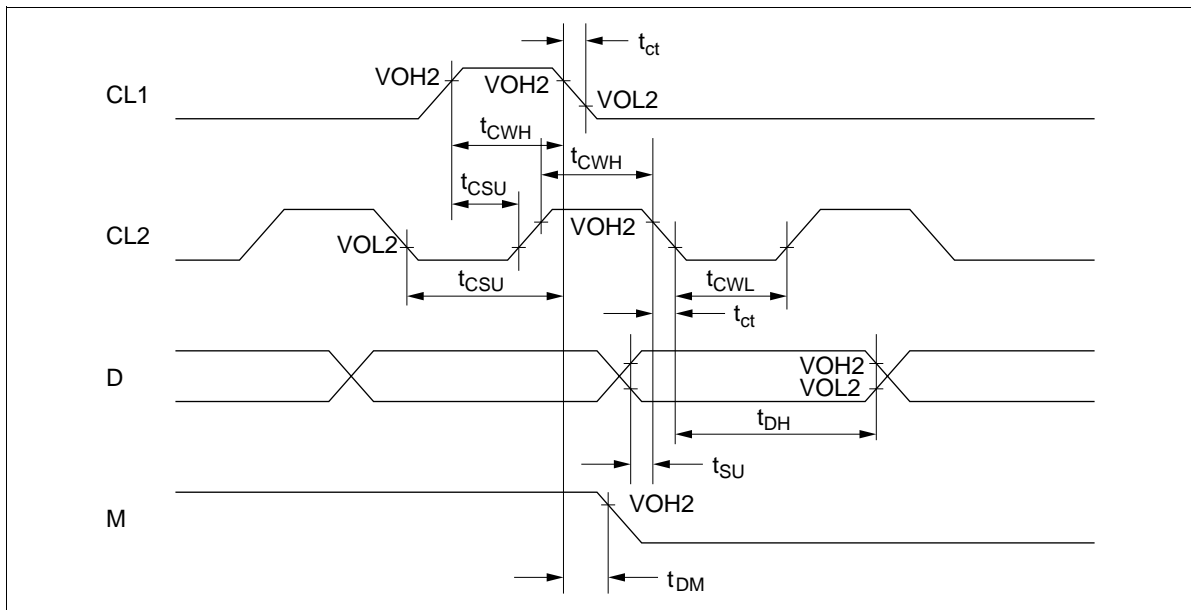
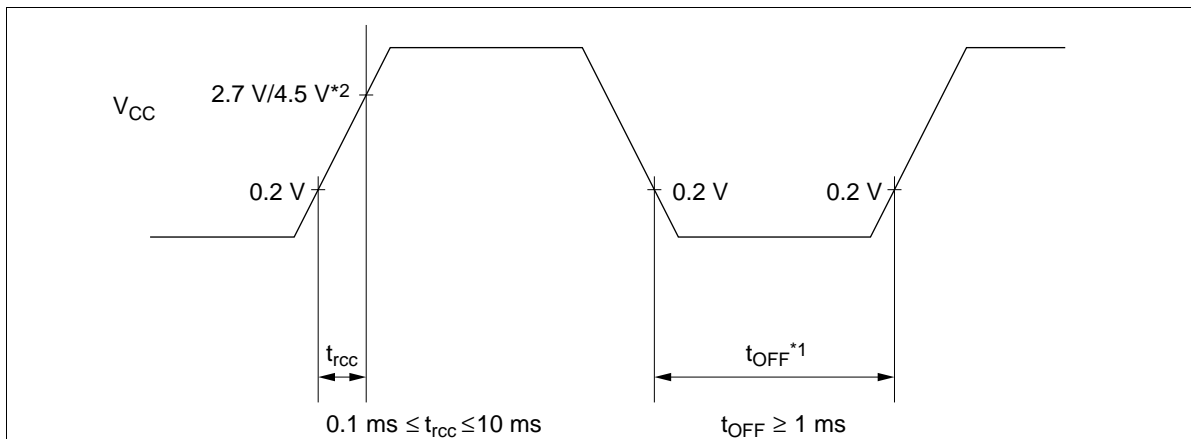


Figure 27 Interface Timing with External Driver



- Notes:
1. t_{OFF} compensates for the power oscillation period caused by momentary power supply oscillations.
 2. Specified at 4.5 V for 5-V operation, and at 2.7 V for 3-V operation.
 3. For if 4.5 V is not reached during 5-V operation, the internal reset circuit will not operate normally.
In this case, the LSI must be initialized by software. (Refer to the Initializing by Instruction section.)

Figure 28 Internal Power Supply Reset