



ESPE

UNIVERSIDAD DE LAS FUERZAS ARMADAS
INNOVACIÓN PARA LA EXCELENCIA

DEPARTAMENTO DE ELÉCTRICA Y ELECTRÓNICA

CARRERA DE INGENIERIA EN ELECTRÓNICA, AUTOMATIZACIÓN Y CONTROL

TESIS PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN ELECTRÓNICA, AUTOMATIZACIÓN Y CONTROL

AUTOR: HENRY ALFONSO YUQUILEMA ANDINO

TEMA: DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA ELECTRÓNICA BASADA EN FPGA ORIENTADA A APLICACIONES DIDÁCTICAS EN EL LABORATORIO DE VLSI.

DIRECTOR: ING. ALULEMA, DARWIN

CODIRECTOR: ING. GRANIZO, EVELIO

SANGOLQUÍ, AGOSTO 2014

**UNIVERSIDAD DE LAS FUERZAS ARMADAS – ESPE
INGENIERIA EN ELECTRÓNICA, AUTOMATIZACIÓN Y CONTROL**

CERTIFICADO

Ing. Darwin Alulema

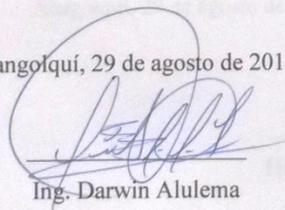
Ing. Evelio Granizo

CERTIFICAN

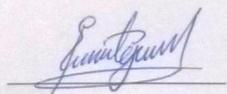
Que el trabajo titulado “DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA ELECTRÓNICA BASADA EN FPGA ORIENTADA A APLICACIONES DIDÁCTICAS EN EL LABORATORIO DE VLSI”, realizado por Henry Alfonso Yuquilema Andino, ha sido guiado y revisado periódicamente y cumple normas estatutarias establecidas por la institución, en el Reglamento de Estudiantes de la Universidad de las Fuerzas Armadas – ESPE.

Debido a que se trata de un trabajo de investigación recomiendan su publicación. El mencionado trabajo consta de un documento empastado y un disco compacto el cual contiene los archivos en formato portátil de Acrobat (pdf). Autorizan a Henry Alfonso Yuquilema Andino que lo entregue al Ingeniero Luis Orozco, en su calidad de Coordinador de la Carrera.

Sangolquí, 29 de agosto de 2014



Ing. Darwin Alulema
DIRECTOR



Ing. Evelio Granizo
CODIRECTOR

Declaración de Responsabilidad

ii

UNIVERSIDAD DE LAS FUERZAS ARMADAS – ESPE
INGENIERÍA EN ELECTRÓNICA, AUTOMATIZACIÓN Y CONTROL

DECLARACIÓN DE RESPONSABILIDAD

HENRY ALFONSO YUQUILEMA ANDINO

DECLARO QUE:

El proyecto de grado denominado “DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA ELECTRÓNICA BASADA EN FPGA ORIENTADA A APLICACIONES DIDÁCTICAS EN EL LABORATORIO DE VLSI”, ha sido desarrollado con base a una investigación exhaustiva, respetando derechos intelectuales de terceros, conforme las citas que constan al pie, de las páginas correspondientes, cuyas fuentes se incorporan en la bibliografía.

Consecuentemente este trabajo es de mi autoría.

En virtud de esta declaración, me responsabilizo del contenido, veracidad y alcance científico del proyecto de grado en mención.

Sangolquí, 29 de agosto de 2014


Henry Alfonso Yuquilema Andino

Autorización de Publicación

UNIVERSIDAD DE LAS FUERZAS ARMADAS – ESPE

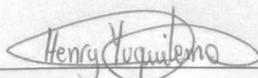
INGENIERÍA EN ELECTRÓNICA, AUTOMATIZACIÓN Y CONTROL

AUTORIZACIÓN

Yo, Henry Alfonso Yuquilema Andino

Autorizo a la Universidad de las Fuerzas Armadas – ESPE la publicación, en la biblioteca virtual de la institución del trabajo “DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA ELECTRÓNICA BASADA EN FPGA ORIENTADA A APLICACIONES DIDÁCTICAS EN EL LABORATORIO DE VLSI”, cuyo contenido, ideas y criterios es de mi exclusiva responsabilidad y autoría.

Sangolquí, 29 de agosto de 2014



Henry Alfonso Yuquilema Andino

DEDICATORIA

Dedico esta tesis a mis padres, hermanos y familiares que de una u otra forma me ayudaron en el desarrollo de la misma, pero de forma muy especial la dedico a la persona más importante de mi vida que Dios me pudo dar, siendo ella el motor e impulso para enfrentarme a nuevos retos y travesías, está dedicada a ti mi amor Dayrita.

AGRADECIMIENTO

Doy gracias a Dios por darme la fuerza necesaria para concluir una etapa más en mi vida, con la ejecución de este proyecto de grado comienza un sin número de oportunidades y retos tanto en mi vida personal como profesional.

A mis padres Norma y Luis, quienes con su dedicación y entrega, estuvieron siempre conmigo brindándome su apoyo incondicional, logrando así la culminación de mi carrera.

Mis hermanos que con sus consejos y su ejemplo, has sido mi inspiración para seguir siempre adelante en cada ciclo de mi vida estudiantil.

A mis amigos, que desde el inicio de este camino formaron parte de mi vida, siendo ellos mi otra familia con quienes compartí los momentos de estudio tanto en el día y la noche, pero también con los que pasaba en los momentos de ocio y “esparcimiento sano”.

ÍNDICE DE CONTENIDO

DEDICATORIA	IV
AGRADECIMIENTO.....	V
ÍNDICE DE CONTENIDO	VI
ÍNDICE DE FIGURAS	IX
ÍNDICE DE TABLAS	XI
RESUMEN	XIII
CAPÍTULO 1	1
1. INTRODUCCIÓN	1
1.1. Justificación e importancia	1
1.2. Alcance del proyecto	2
1.3. Objetivos	3
1.3.1. General.....	3
1.3.2. Específico	3
CAPÍTULO 2	4
2. MARCO TEÓRICO.....	4
2.1. FPGA	4
2.1.1. Arquitectura	5
2.1.2. Características	13
2.1.3. Configuración	17
2.2. Circuitos impresos	23
2.2.1. Especificación del sistema	24
2.2.2. Diseño del circuito	25

	vii
2.2.3. Diseño de la PCB.....	26
2.2.4. Documentación.....	27
2.2.5. Manufactura.....	28
2.2.6. Ensamblaje.....	30
2.2.7. Testeo.....	30
CAPÍTULO 3.....	32
3. DISEÑO DE LOS CIRCUITOS DE LA TARJETA ELECTRÓNICA.....	32
3.1. Requisitos funcionales.....	32
3.2. Definición de módulos y conectividad.....	32
3.3. Esquemáticos de funcionamiento.....	33
3.3.1. Unidad lógica.....	34
3.3.2. Memoria para programación.....	41
3.3.3. Memoria de propósito general.....	43
3.3.4. Entrada de datos.....	46
3.3.5. Salidas.....	50
3.3.6. Puerto LCD.....	57
3.3.7. Puerto Teclado Matricial.....	59
3.3.8. Comunicación.....	60
3.3.9. Bus SPI.....	64
3.3.10. Oscilador.....	68
3.3.11. Fuente.....	69
3.3.12. Puerto de entradas y salidas de uso general.....	71
CAPÍTULO 4.....	73
4. DISEÑO E IMPLEMENTACIÓN DE LA TARJETA DE CIRCUITO IMPRESO.....	73
4.1. Consideraciones generales para el diseño de la PCB.....	73
4.1.1. Consideraciones de diseño mecánico.....	73
4.1.2. Consideraciones eléctricas.....	77
4.2. Manejo térmico.....	82
4.3. Desarrollo de la PCB layout.....	85
4.4. Diseño preliminar.....	87

	viii
4.5. Proceso de manufactura y Test	89
CAPÍTULO 5	90
5. PRUEBAS Y ANÁLISIS DE RESULTADOS	90
5.1. Aplicación de control.....	90
5.1.1. Diseño del Hardware de la aplicación	91
5.1.2. Diseño del Firmware del sistema.....	92
5.1.3. Diseño del software del sistema	104
5.2. Análisis de resultados	110
5.2.1. Conectividad con el FPGA y memoria de programa.....	111
5.2.2. Comunicación con el computador vía USB.....	112
5.2.3. Integridad de señales.....	113
CAPÍTULO 6	118
6. CONCLUSIONES Y RECOMENDACIONES	118
6.1. Conclusiones	118
6.2. Recomendaciones	120
BIBLIOGRAFÍA	122
ANEXO A	129
ANEXO B	142
ANEXO C	147
ANEXO D	148
ANEXO E	153

ÍNDICE DE FIGURAS

Figura 1. Arquitectura del FPGA (Xilinx, 2012)	6
Figura 2. Bloque de lógica configurable (Xilinx, 2012)	7
Figura 3. Distribución de bancos (Xilinx, 2012)	8
Figura 4. Estructura interna del bloque de Entrada/Salida (Xilinx, 2012)	10
Figura 5. Estructura del Bloque DCM (Xilinx, 2012).....	13
Figura 6. Nomenclatura de un empaqueta de FPGA (Xilinx, 2004)	16
Figura 7. Diagrama de Bloques del Proceso de Configuración.....	22
Figura 8. Diagrama de Bloque del prototipo de tarjeta electrónica.....	34
Figura 9. Conexión de la memoria de programación al FPGA (Xilinx, 2009)	43
Figura 10. Diagrama de bloque de la memoria M25P64 (Numonyx, 2010).....	44
Figura 11. Conexión de la memoria M25P64-VMF6P al FPGA (Xilinx, 2009) ...	45
Figura 12. Diagrama de conexión para un switch.	46
Figura 13. Diagrama de conexión para un pulsador.....	47
Figura 14. Diagrama de conexión para las entradas TTL	48
Figura 15. Diagrama de conexión de los relés	51
Figura 16. Diagrama de conexión del opto-acoplador	53
Figura 17. Diagrama de conexión para las salidas TTL.....	55
Figura 18. Diagrama de conexión de los LED	56
Figura 19. Diagrama básico de un SPI (Numonyx, 2010)	64
Figura 20. Diagrama de conexión del regulador de voltaje 3.3V.....	71
Figura 21. Sistema de distribución de alimentación.....	78
Figura 22. División de zonas de acuerdo a la frecuencia de operación.....	79
Figura 23. División de la tarjeta principal de acuerdo a la función.....	80
Figura 24. División de la tarjeta de expansión de acuerdo a la función.....	80
Figura 25. Forma de las pistas.....	82

	x
Figura 26. Visualización 3D de la tarjeta de expansión	88
Figura 27. Visualización 3D de la tarjeta de Control	88
Figura 28. Diagrama de bloques para el PWM	92
Figura 29. Diagrama de flujo general para el PWM	93
Figura 30. Caja negra del sistema propuesto.....	94
Figura 31. Bloques internos en el FPGA.....	96
Figura 32. Diagrama de flujo del microcontrolador embebido	97
Figura 33. Diagrama de flujo para el bloque de reloj.....	98
Figura 34. Diagrama de flujo para la recepción de datos	99
Figura 35. Diagrama de flujo para la transmisión de datos.....	100
Figura 36. Diagrama de flujo para la configuración del PWM	101
Figura 37. Diagrama de detalle de los bloques: Reloj, Uart_rx y PicoBlaze.	103
Figura 38. Diagrama de detalle de los bloques: PicoBlaze, PWM y Uart_tx.	103
Figura 39. Diagrama de la estructura del sistema.....	105
Figura 40. Plantilla para el PWM.....	106
Figura 41. Plantilla para el manejo del Motor	107
Figura 42. Plantilla para la configuración de la comunicación	108
Figura 43. Diagrama de flujo de los PWM.....	109
Figura 44. Diagrama de flujo para la comunicación	110
Figura 45. Herramienta MCP2200 Configuration Utility	112

ÍNDICE DE TABLAS

Tabla 1. Chips disponibles de acuerdo a su densidad, empaquetado y E/S.	16
Tabla 2. Distribución de pines del FPGA.....	36
Tabla 3. Condiciones de operación para el FPGA	37
Tabla 4. Corrientes del FPGA	38
Tabla 5. Modos de programación para la tarjeta electrónica.....	39
Tabla 6. Comportamiento de los pines durante la configuración.....	40
Tabla 7. Condiciones de operación de la memoria de programación.....	42
Tabla 8. Condiciones de operación para la memoria M25P64-VMF6P	44
Tabla 9. UCF correspondiente al DIP switch.....	47
Tabla 10. UCF correspondiente a los pulsadores	48
Tabla 11. UCF para las entradas TTL	49
Tabla 12. UCF correspondiente a las salidas con relé.....	52
Tabla 13. UCF para los opto-acopladores.	53
Tabla 14. Tabla de verdad para buffer 74LS241	54
Tabla 15. UCF correspondiente a las salidas digitales TTL.....	55
Tabla 16. UCF correspondiente a la salida a barra de LED	57
Tabla 17. Pines de una pantalla LCD	58
Tabla 18. UCF correspondiente al puerto para LCD.....	59
Tabla 19. UCF correspondiente al puerto para teclado hexadecimal	60
Tabla 20. UCF correspondiente a los puertos seriales	61
Tabla 21. UCF correspondiente al puerto USB	62
Tabla 22. UCF correspondiente al puerto Ethernet	63
Tabla 23. Modo de operación del convertor análogo-digital	66
Tabla 24. UCF correspondiente al convertor análogo-digital.....	66
Tabla 25. UCF correspondiente al convertor digital-análogo.....	67

	xii
Tabla 26. Parámetros de operación de cristal de 60MHz	68
Tabla 27. UCF correspondiente al cristal de 60MHz	68
Tabla 28. Consumo de corriente del FPGA.....	69
Tabla 29. UCF para el puerto de uso general	72
Tabla 30. Rango de capacitores	78
Tabla 31. Voltaje, corriente y ancho de pista	81
Tabla 32. Resultados de la identificación del chip	111
Tabla 33. Resultados de la prueba de comunicación.....	113
Tabla 34. Resultado de las señales de alimentación.....	114
Tabla 35. Resultado de las señales de reloj global	114
Tabla 36. Resultado de la señal de configuración	115
Tabla 37. Resultado ciclo de trabajo de 25%	116
Tabla 38. Resultados ciclo de trabajo de 50%	116
Tabla 39. Resultados ciclo de trabajo de 75%	116
Tabla 40 Resultados ciclo de trabajo de 0% y 100%	117

RESUMEN

El presente trabajo recapitula el desarrollo del diseño e implementación de un prototipo de la tarjeta electrónica basa en FPGA orientada a aplicaciones didácticas en el Laboratorio de VLSI. En el mercado electrónico se puede encontrar un gran número de kit's o tarjetas de entrenamiento que permiten la manipulación del chip FPGA. Sin embargo para aplicaciones específicas pueden resultar costosas y muchos de sus recursos son inadecuados, por lo que son desaprovechados. Lo que se busca es diseñar y fabricar la tarjeta electrónica dentro del país, generando un aporte a la innovación y desarrollo de equipos electrónicos construidos sobre esta tecnología. La tarjeta electrónica tendrá: 16 entradas digitales, 16 salidas digitales, 4 salidas a relé, 4 salidas a opto-acoplador, conector para un teclado hexadecimal, conector para un LCD 16x2, conector Ethernet, conector para comunicación con el estándar RS-232 y USB. Además se desarrolló una aplicación de control para la comprobación del correcto funcionamiento del prototipo de tarjeta electrónica, la cual consiste en generar 4 PWM independientes, los cuales podrán ser empleados para el control de un motor DC y contará con una HMI desarrollada en Java, está aplicación está orientada a la manipulación de los diferentes parámetros del PWM.

PALABRAS CLAVES: FPGA, PCB, CONVERTOR USB-UART, PWM, PROGRAMACION CONCURRENTE, JAVA.

ABSTRACT

This abstract contains the development of the design and implementation of a prototype electronic board. This is based on FPGA oriented educational applications in VLSI Laboratory. In the electronic market you can find a large number of kit's training or cards that allow the manipulation of the FPGA chip. However, for specific applications can be expensive and most of these resources are inadequate, so they are wasted. What is sought is to design and manufacture the circuit board inside the country, generating a contribution to the innovation and development of electronic devices built on this technology. The electronic board will have 16 digital inputs, 16 digital outputs, 4 relay outputs, 4 outputs opto-coupler, connector for hexadecimal keyboard, connector for 16x2 LCD, Ethernet connector, for communication with the RS-232 standard and USB. In addition a control application for checking the correct operation of the prototype circuit board was developed, which consists of generating 4 separate PWM, which can be used to control a DC motor and will have a HMI developed in Java. This is an application that is aimed at manipulating the different parameters of the PWM.

KEYWORDS: FPGA, PCB, USB-UART Converter, PWM, CONCURRENT PROGRAMMING, JAVA.

CAPÍTULO 1

INTRODUCCIÓN

Los equipos de automatización e instrumentación industrial, sistemas robotizados, sistemas de transporte y sistemas de telecomunicaciones utilizan una electrónica programable, estas tarjetas electrónicas son diseñadas para soluciones específicas y son construidas empleando varios chips, haciéndolas grandes, caras y con mayor consumo eléctrico, a todo esto se lo conoce como sistemas embebidos (IdosE, 2005). Los sistemas embebidos están basados principalmente en microprocesadores o microcontroladores (Heath, 2003).

Los microcontroladores son circuitos integrados que contienen todos los elementos de una computadora y cuentan con una arquitectura rígida. Las instrucciones del programa (software) se ejecutan de forma secuencial limitando su aplicación en procesos concurrentes (Genera, 2012). Una alternativa para el desarrollo de proyectos, en donde se requiere que diferentes operaciones sean procesadas de forma simultánea, son los Arreglos de Compuertas Programables en campo o FPGA (Field Programmable Gate Array).

1.1. Justificación e importancia

En el mercado se puede encontrar un gran número de kit's o tarjetas de entrenamiento que permiten la manipulación del chip FPGA, los cuales cuentan con diferentes módulos de entrada/salida y comunicación. La utilización de estas tarjetas de entrenamiento en aplicaciones específicas pueden resultar costosas y muchos de sus

recursos son inadecuados por lo que son desaprovechados, limitando su uso en proyectos donde se requiere que los periféricos sean más robustos.

El desarrollo de una tarjeta de circuito impreso o PCB (Printed Circuit Board) apropiada, para una aplicación específica desarrollada podría reducir el costo de la misma, debido a que no será necesario comprar el kit, siendo únicamente necesaria la adquisición del chip en el exterior. La fabricación se lo realizara en una empresa nacional, tratando de ajustarse a las limitaciones de la misma.

Lamentablemente, en el país no se ha impulsado el desarrollo de tarjetas electrónicas sobre esta tecnológica, por lo tanto se generará un aporte a la innovación y desarrollo de equipos electrónicos contruidos sobre esta tecnología; además, su fabricación se la podría realizar dentro de nuestra nación.

1.2. Alcance del proyecto

El presente proyecto propone crear un prototipo de tarjeta electrónica basada en FPGA para fines académicos. El diseño de la placa se lo realizo mediante la utilización de herramientas CAD (Diseño Asistido por Computador). En cambio, para la implementación de la PCB se empleó el equipo apropiado para las etapas de manufactura, montaje y soldadura de los elementos electrónicos.

Se desarrolló una aplicación de control para la comprobación del correcto funcionamiento de la tarjeta de circuito impreso, la cual consistirá en controlar un motor DC mediante el uso de la modulación de ancho de pulso y contará con una interfaz hombre maquina o HMI (Human Machine Interface) realizada en el lenguaje de programación de Java.

La tarjeta tiene 16 entradas digitales, 16 salidas digitales, 4 salidas a relé, 4 salidas a opto acoplador, conector para un teclado hexadecimal, conector para un LCD 16x2, conector Ethernet, conector para comunicación RS-232 y conector USB.

1.3. Objetivos

1.3.1. General

Diseñar e implementar una tarjeta electrónica basada en FPGA orientada a aplicaciones didácticas en el Laboratorio de VLSI.

1.3.2. Específico

- Investigar los elementos necesarios para el correcto funcionamiento del FPGA a utilizar.
- Establecer los requerimientos de periféricos y de comunicación que contará la tarjeta electrónica.
- Determinar una metodología para el diseño de circuitos impresos (PCB).
- Realizar pruebas de funcionamiento al prototipo de la tarjeta electrónica para su correcto desempeño.

CAPÍTULO 2

MARCO TEÓRICO

2.1. FPGA

Los arreglos de compuertas programables en campo o FPGAs son chips de silicio reprogramables a nivel de hardware, cuentan con bloques de lógica pre-construidos y recursos de ruteo reprogramables. Al reconfigurar las conexiones internas del chip se obtiene un hardware personalizado, el cual puede ser empleado en aplicaciones específicas (National Instruments, 2011).

En el año 1984 Ross Freeman y Bernard Vonderschmitt, co-fundadores de Xilinx, inventaron los FPGA. Estos son el resultado de la convergencia y evolución de dos tecnologías diferentes, siendo estas: los dispositivos lógicos programables o PLDs y los circuitos integrados de aplicación específica o ASIC (National Instruments, 2012).

Entre los beneficios con los que cuentan estos chip se tiene: tiempo más rápido de respuesta de entrada/salida y funcionalidad especializada, fiabilidad de hardware determinístico dedicado y se puede actualizar en campo, eliminando el alto costo inicial, largos ciclos de desarrollo y la falta de flexibilidad de las ASIC. También, permite mejoras de diseño en el campo, sin la necesidad de reemplazar el hardware existente.

A diferencia de los procesadores, los FPGA llevan a cabo diferentes operaciones de manera paralela, por lo que éstas no necesitan competir por los mismos recursos. La aplicación es implementada en hardware en lugar de ejecutarse en software, y cada tarea

o proceso es independiente, se asigna a una sección dedicada del chip, y puede ejecutarse de manera autónoma sin afectar a otros bloques de lógica (Sisterna).

La unidad lógica básica de un FPGA son los bloques de lógica configurables o CLBs, también llamados como segmentos o células de lógica. Los CLBs están contruidos de dos componentes básicos: flip-flops y tablas de consulta o LUTs. Es importante tomar esto en cuenta porque distintas familias de FPGAs se diferencian en la manera en que los flip-flops y las LUTs están empacados. Adicionalmente están conformados por bloques de entrada/salida, de memoria RAM y multiplicadores.

Las células de lógica se configuran con una función específica ya sea como memoria (flip-flop tipo D), como multiplexor o con una función lógica (como AND, OR, XOR). Para definir la función lógica que realizará cada uno de los CLB y seleccionar el modo de trabajo de cada bloque de entada/salida e interconexiones, se utilizaran los lenguajes de descripción de hardware o HDL como VHDL, Verilog, Abel los que nos permiten diseñar los algoritmos que se ejecutan en el chip FPGA.

El primer fabricante de estos dispositivos fue Xilinx (Heath, 2003) mismo que hasta la actualidad se mantiene como uno de los más populares en compañías y grupos de investigación. Otros vendedores en este mercado son Atmel, Altera, AMD y Motorola.

Debido a su bajo costo, la familia Spartan-3E de Xilinx es idealmente adecuada para una amplia gama de productos electrónicos de consumo, incluyendo el acceso a banda ancha, redes para el hogar, pantallas, proyectores, y equipos para televisión digital (Xilinx, 2012).

2.1.1. Arquitectura

La arquitectura de la familia Spartan-3E consta fundamentalmente de cinco elementos programables, como se puede observar en la Figura 1, y estos son:

- Bloque de Lógica Configurable (CLBs).

- Bloque de Entrada/Salida (IOBs).
- Bloque de Memoria RAM.
- Bloque de Multiplicadores Dedicados.
- Bloque de Administrador de Reloj Digital (DCMs).

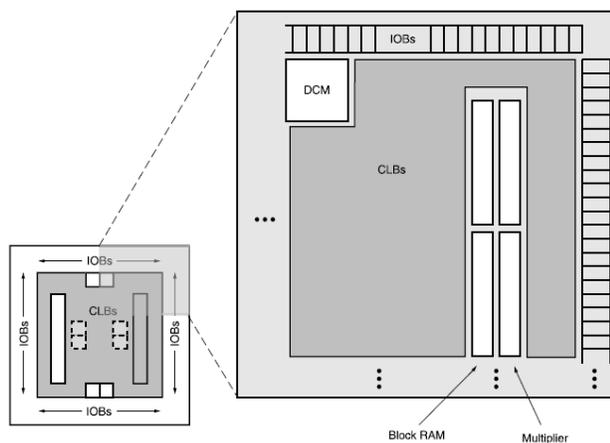


Figura 1. Arquitectura del FPGA

Fuente: (Xilinx, 2012)

a) Bloque de Lógica Configurable (CLBs).

El bloque de lógica configurable realiza una amplia variedad de funciones lógicas y de almacenamiento de datos, constituye el principal recurso lógico para la implementación de circuitos combinatoriales, cada CLB comprende de 4 partes interconectadas y agrupadas en pares, el par izquierdo soporta funciones lógicas y de memoria, a este se la llama SLICEM y el par derecho solo soporta funciones lógicas, llamado SLICEL, como se lo puede observar en la Figura 2.

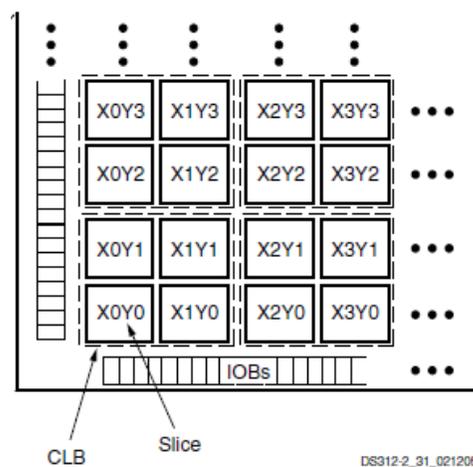


Figura 2. Bloque de lógica configurable

Fuente: (Xilinx, 2012)

Cada una de las partes contiene dos tablas de consulta (LUTs) para la implementación lógica y dos LUTs dedicados al almacenamiento, que pueden ser configurados como Flip-Flop o latches. La combinación de LUTs y elementos de almacenamiento se conoce como celda o célula lógica. Las LUTs pueden ser usadas como una memoria de 16x1(RAM16) o un registro de desplazamiento de 16 bit (SRL 16).

Como características adicionales, se posee: multiplexadores, acarreo lógico y compuertas aritméticas, las cuales simplifican toda la lógica y funciones aritméticas.

Los Multiplexores se combinan eficazmente con las LUT, para permitir las operaciones lógicas más complejas. La cadena de acarreo, junto con varias compuertas de lógica aritmética dedicada, soporta la implementación de operaciones matemáticas rápidas y eficientes, incluyendo sencillas funciones booleanas; tal como contadores y multiplicadores de dos bit. El acarreo lógico es automáticamente usado por la mayoría de funciones aritméticas en un diseño.

b) Bloque de Entrada/Salida (IOB)

Controla el flujo de datos entre los pines de entrada/salida y la lógica internada del dispositivo, proporcionando una interface programable unidireccional o bidireccional, además de un funcionamiento de tres estados.

Los IOBs están organizados en cuatro bancos y cada banco mantiene separado el suministro de V_{CCO} y V_{REF} . La separación de los suministros permite que cada banco pueda ajustar de forma independiente el V_{CCO} y del mismo modo ocurre para V_{REF} . La Figura 3 muestra la distribución de bancos en el FPGA.

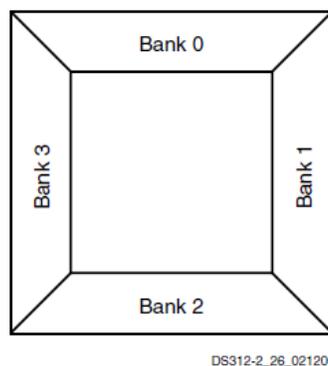


Figura 3. Distribución de bancos

Fuente: (Xilinx, 2012)

La estructura interna de los IOB cuenta con tres principales rutas: la trayectoria de entrada, la trayectoria de salida y la trayectoria de tres estados. Cada ruta tiene su propio par de elementos de almacenamiento que pueden actuar como registros o latches. A continuación se describe rápidamente las tres rutas antes mencionadas, siendo las siguientes:

- *La ruta de entrada*, lleva el dato desde el pad que está unido al pin, a través de un elemento de retardo programable y está directamente conectado a la línea de entrada. El elemento de retardo puede estar ajustado para asegurar un tiempo de espera de cero.

- *La ruta de salida*, comienza con las líneas de salida Q1 y Q2 que llevan los datos desde la lógica interna del FPGA a través de un multiplexor y luego a un controlador de tres estado para el pad de los IOB.
- *La ruta de tres estados*, determina cuando la salida se maneja en alta impedancia. Las líneas T1 y T2 llevan los datos desde la lógica interna del FPGA a través de un multiplexor para el controlador de la salida.

Las entradas/salidas de la familia Spartan-3E soportan un amplio rango de señales estándar y la mayoría de ellas se pueden utilizar para formar pares que soportan señales diferenciales, con polaridad opuesta uno del otro; permitiendo altas tasas de transferencia de datos debido a las propiedades de cancelación de ruido que poseen estas normas, por defecto las salidas están configuradas con los siguientes parámetros: estándar de salida en LVCMOS25, velocidad de respuesta SLOW y corriente de salida en 12mA.

Dentro de cada bloque de entrada/salida existen resistencias pull-up y pull-down que opcionalmente fuerzan una entrada o salida a un estado determinado, como se indica en la Figura 4. La resistencia pull-up conecta una E/S a V_{CC0} y una resistencia pull-down conecta una E/S a tierra, de forma predeterminada las resistencias pull-down están activadas en todos los pines inutilizados, para cambiar esta configuración se debe modificar los parámetros del *BitstreamGenerator* en la opción *UnusedPin* a pull-up, pulldown o float de acuerdo a nuestro diseño.

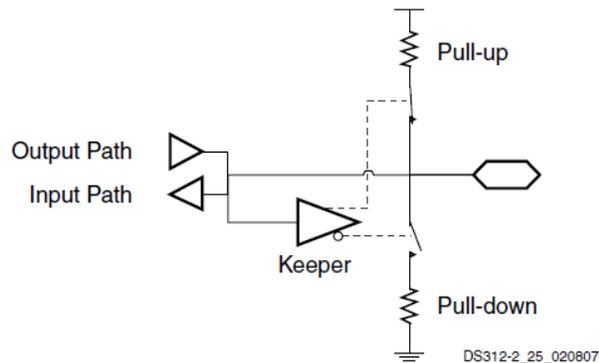


Figura 4. Estructura interna del bloque de Entrada/Salida

Fuente: (Xilinx, 2012)

Cada Entrada/Salida tiene dos diodos de fijación, estos protegen al dispositivo contra daños por descargas electrostáticas o ESD y de sobre voltajes transitorios, un diodo PN está conectado desde el pad a V_{CC0} y el segundo diodo NP está conectado desde el pad a tierra. Estos diodos siempre están conectados al pad, independientemente del estándar de la señal seleccionada.

Los dispositivos Spartan-3E incorporan 4 a 36 bloques de RAM dedicados, que están organizados en bloques de 18 Kbit con doble puerto de configuración, almacenan sincrónicamente grandes cantidades de datos. El bloque de memoria RAM se encuentra junto a los multiplicadores de la matriz en una o dos columnas dependiendo de la densidad del dispositivo.

c) Bloque de memoria RAM

Este bloque de RAM tiene una estructura de doble puerto, estos puertos se les llaman A y B que permiten el acceso independiente al bloque de RAM, teniendo una capacidad máxima de 18.432 bits o 16384 bits con el bit de paridad. Cada puerto tiene su propio conjunto dedicado de datos, control y líneas de reloj para las operaciones de lectura y escritura sincrónica.

Los puertos se pueden configurar de forma independiente seleccionando un número diferente para la entrada de datos (DI) y salida de datos (DO), si el ancho del bus de datos del puerto A difiere a la del puerto B, el bloque de memoria RAM realiza automáticamente una función de coincidencia, es decir; cuando se escriben datos en un puerto con un bus estrecho y luego leen de un puerto con un bus extenso, este último puerto combina eficazmente palabras "estrechas" para formar las palabras "extensas". Del mismo modo, cuando se escriben datos en un puerto con un bus extenso y luego leen desde un puerto con un bus estrecho, este último puerto divide las palabras "extensas" para formar palabras "estrechas".

La familia Spartan-3E incorpora 4 a 36 bloques de multiplicadores dedicados por dispositivo, se encuentra junto a los bloques de memoria RAM en una o dos columnas dependiendo la densidad del dispositivo.

d) Bloque de Multiplicadores dedicados

Los bloques multiplicadores realizan principalmente la multiplicación numérica de dos números, pero también pueden realizar algunas aplicaciones menos evidentes, como el almacenamiento de datos simples y el desplazamiento de barril. Las partes lógicas también implementan pequeños multiplicadores y complementan a los multiplicadores dedicados.

Cada multiplicador realiza la operación $P = A \times B$, donde A y B son palabras de 18 bit en formato de complemento a dos, y P es la precisión completa del producto de 36 bits también en complemento a dos. Las entradas de 18 bits representan valores que van desde $-131,072_{10}$ a $+131,071_{10}$ con una resultante de $-17,179,738,112_{10}$ a $+17,179,869,184_{10}$

Cada bloque multiplicador tiene registros opcionales que aparecen en cada una de las entradas del multiplicador y a la salida. Los registros se denominan AREG, BREG y

PREG; y se puede utilizar en cualquier combinación. La entrada de reloj es común a todos los registros dentro de un bloque, pero cada registro tiene un reloj independiente y controles de reajuste síncrono lo que es ideal para el almacenamiento de muestras de datos y coeficientes.

e) Bloque de Administrador de Reloj Digital (DCMs)

El administrador de reloj digital proporciona flexibilidad, control total sobre la frecuencia de reloj, desplazamiento de fase y asimetría. Para lograr esto, el DCM emplea un bucle cerrado de retardo (DLL), que es un sistema de control completamente digital que utiliza un lazo de retroalimentación para mantener las características de la señal de reloj con alto grado de precisión a pesar de las variaciones en temperatura y tensión.

El DCM soporta dos funciones principales:

- Elimina el deterioro de la señal de reloj dentro del sistema producido por los diferentes tiempos de llegada de la señal de reloj a diferentes puntos de la matriz, lo cual no se desea en aplicaciones de alta frecuencia, genera una amplia gama de diferentes frecuencias de reloj derivadas de la señal de reloj entrante, esto se logra ya sea multiplicando y/o dividiendo la frecuencia de la señal de reloj de entrada por cualquier factor.
- Proporciona la capacidad de desplazar la fase de todas sus señales de reloj de salida con respecto a la señal de reloj de entrada.

El DCM se compone de cuatro unidades funcionales interrelacionadas: un bucle cerrado de retardo (DLL), el sintetizador de frecuencia digital (DFS), el cambio de fase (PS) y el estado lógico, esto se lo puede observar en la Figura 5; y cada componente tiene sus señales asociadas. El DLL tiene dos entradas de reloj (CLKIN y CLKFB) y siete salidas (CLK0, CLK90, CLK180, CLK270, CLK2X, CLK2X180 y CLKDV).

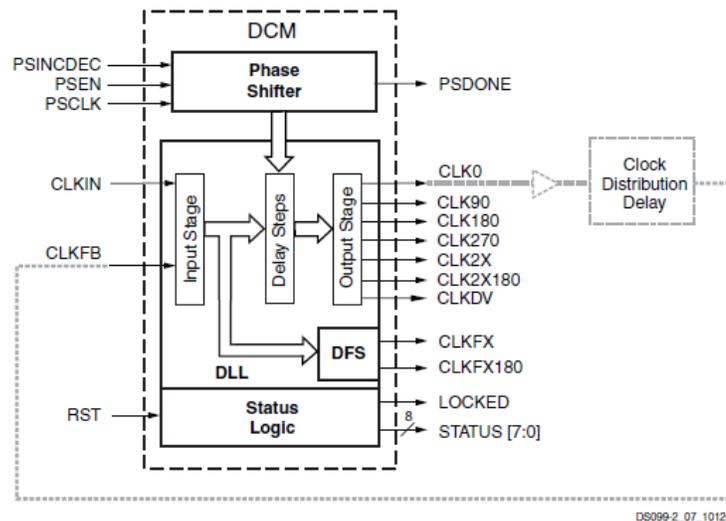


Figura 5. Estructura del Bloque DCM

Fuente: (Xilinx, 2012)

La unidad DFS genera señales de reloj, donde la frecuencia de salida es un producto de la frecuencia de reloj de entrada CLKIN y una relación de dos números enteros especificados por el usuario.

2.1.2. Características

La Spartan-3E cuenta con abundantes y flexibles recursos lógicos, arquitectura de memoria RAM jerárquica (hasta 648 Kbits), hasta ocho administradores de reloj digital (DCM), interface de configuración con memorias PROM con protocolos industriales, núcleos de procesadores embebidos (MicroBlaze y PicoBlaze), opciones de empaquetado de bajo costo (BGA y QFP) y fácil densidad de migración ya que soportan footprint comunes.

a) Especificaciones Eléctricas

El chip Spartan3-E tiene múltiples entradas de alimentación, hay dos entradas de alimentación para las funciones lógicas internas, V_{CCINT} y V_{CCAUX} . Cada uno de los bancos de entrada/salida tiene una entrada independiente de alimentación V_{CCO} y V_{REF} .

que energizan las áreas de salida dentro del banco asociado, todas las conexiones de V_{CCO} y V_{REF} de un banco específico deben estar conectadas y deben conectarse al mismo voltaje.

- *Entrada de Alimentación V_{CCINT}* , provee de alimentación de voltaje al núcleo interno del FPGA, alimenta a todas las funciones lógicas como CLBs, bloque de RAM y multiplicadores. Es una entrada al circuito Power-OnReset (POR). El voltaje nominal es de 1.2V
- *Entrada de Alimentación V_{CCAUX}* , es el suministro de voltaje auxiliar del FPGA. Alimenta los administrados de reloj digital (DCMs), a los controladores diferenciales, a los pines dedicados de configuración, y a la interfaz JTAG. Es una entrada al circuito Power-OnReset (POR). El voltaje nominal es de 2.5V.
- *Entrada de Alimentación V_{CCO_0}* , Alimenta a los buffers de salida del banco cero, se pueden seleccionar voltajes de 3.3V, 2.5V, 1.8V, 1.5V y 1.2V.
- *Entrada de Alimentación V_{CCO_1}* , Alimenta a los buffers de salida del banco uno. Para el modo de configuración de interfaz periférica de ancho de bit (BPI) debe conectarse al mismo voltaje que la memoria Flash PROM. Se pueden seleccionar voltajes de 3.3V, 2.5V, 1.8V, 1.5V y 1.2V.
- *Entrada de Alimentación V_{CCO_2}* , Alimenta a los buffers de salida del banco dos. Es una entrada al circuito Power-On. Se pueden seleccionar voltajes de 3.3V, 2.5V, 1.8V, 1.5V y 1.2V.
- *Entrada de Alimentación V_{CCO_3}* , Alimenta a los buffers de salida del banco tres, se pueden seleccionar voltajes de 3.3V, 2.5V, 1.8V, 1.5V y 1.2V.
- *Entrada de Alimentación V_{REF}* , Cada banco cuenta con su propia entrada de voltaje, siendo esta opcional. Es una alimentación de referencia para los estándares HSTL y SSTL.

Para cada salida LVCMOS y LVTTTL soporta hasta seis diferentes manejadores de corriente.

En proyectos desarrollados sobre FPGA es muy importante un buen diseño del sistema de distribución de alimentación (PDS), especialmente en aplicaciones de alto rendimiento, superiores a 100 MHz. El PDS debe adaptarse a las variaciones de consumo de corriente con el menor cambio en la tensión de alimentación como sea posible. Dado que el nivel de tensión de VCC para un dispositivo es fijo y la demanda de consumo de corriente dependerá de la actividad que esté realizando el chip.

La mayoría de dispositivos digitales, incluyendo todos los FPGAs de Xilinx, poseen la exigencia de que en todos los suministros VCC, no debe fluctuar más de 5% por encima y 5% por debajo del valor nominal de VCC.

Cada FPGA de Xilinx tiene un número máximo de I/O que pueden conmutar simultáneamente en la misma dirección dentro de un banco, para calcular el número máximo de SSO se utilizará la Ecuación 1.

$$SSO_{MAX}/IO_{BANK} = \#de\ pares\ de\ alimentacion * \# de\ salidas\ simultaneas$$

Ecuación 1

Se tienen un número máximo de conmutación simultánea en la misma dirección (SSO), para mantener un nivel seguro de ruido producido por la conmutación, cuando una señal cambia de nivel de bajo a alto el rebote se conduce a Vcco y si el cambio se produce de un nivel alto a bajo el rebote es conducido a tierra, como resultado se tendrá una degradación de la señal o mayor fluctuación del sistema.

b) Especificaciones Físicas

Se encuentra encapsulados cuadrados planos con ocho diferentes tipos de empaquetados y cada estilo cuenta con una versión respetuosa al medio ambiente pues

están libres de plomo (Pb). Los paquetes libres de plomo incluyen una 'G' extra en el nombre del tipo de empaquetado. Por ejemplo, el paquete estándar "VQ100" se convierte en "VQG100".

En la parte superior del dispositivo se encuentra marcado todos los datos necesarios para identificar al chip siendo estos: tipo de chip, encapsulado, grado de velocidad, rango de temperatura, código de revisión de mascara, código de fabricación, tecnología de proceso, fecha y código de lote. En la Figura 6 se muestra cómo se encuentra distribuida la información en el chip y en la Tabla 1 se visualiza las combinaciones válidas del dispositivo de acuerdo con el encapsulado y número de entradas/salidas.

Tabla 1. Chips disponibles de acuerdo a su densidad, empaquetado y E/S.

Encapsulado	VQ100	CP132	TQ144	PQ208	FT256	FG320
XC3S100E	66	83	108	-	-	-
XC3S250E	66	92	108	158	172	232
XC3S500E	66	92		158	190	250
XC3S1200E	-	-	-	-	190	250
XC3S1600E	-	-	-	-	-	-

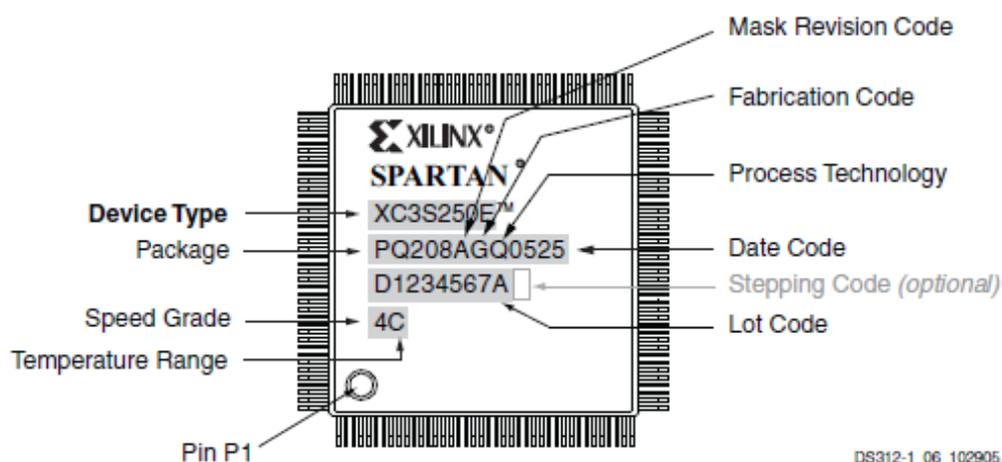


Figura 6. Nomenclatura de un empaqueta de FPGA

Fuente: (Xilinx, 2004)

Cada una de las opciones disponibles de empaquetados tiene sus propios beneficios, como el encapsulado cuadrado plano (QFP) que ofrece un costo total más bajo, mientras que el empaquetado de arreglo de cuadrícula esférica (BGA) es superior en los siguientes aspectos: ofrece más entradas/salidas, mejor relación entre la lógica y el área, soporta más salidas de conmutación simultánea, excelente disipación de calor; pero resulta completamente difícil realizar un montaje manual del chip.

En los diagramas de cada empaquetado, los pines están codificados por colores según el tipo, la mayoría de pines son de propósito general sin embargo hay hasta once tipos de pines. La mayoría de los pines del chip están definidos por el usuario, sin embargo, el número y características de estos dependen del tipo de chip y empaquetado.

2.1.3. Configuración

Los FPGAs Spartan3-E son programados mediante la carga de datos de configuración de una aplicación específica en la parte interna del FPGA, dentro de las Latches de configuración CMOS (CCLs) que en conjunto controlan todos los elementos funcionales y recursos de enrutamiento. Para el proceso de configuración se usa un subconjunto de pines del dispositivo, alguno de los cuales están dedicados a la configuración y otros son simplemente prestados, después de que la configuración está completa pueden ser usados por la aplicación desarrollada. Siempre requiere de un número constante de bits de configuración, independientemente de la complejidad del diseño.

a) Tipos de configuración

Los datos de configuración del FPGA están almacenados externamente en una PROM o en algún otro medio no volátil, después de energizar el sistema, los datos de configuración son escritos en el FPGA usando seis modos de configuración, estos dependerán de los valores presentados en los pines M1, M2, M3.

Además, los diseños con múltiples FPGA comparten una sola fuente de memoria de configuración, la estructura creada se la conoce como *daisychain*

- *Modo Master Serial*, utiliza la memoria Flash PROM proporcionada por Xilinx para configurar el FPGA Spartan-3E. Este integra la interface JTAG, lo que le hace totalmente compatible con el software Xilinx iMPACT, tiene un alto ancho de banda y como resultado se tendrá un tiempo rápido de configuración. Xilinx oferta la memoria PROM Serial (XCFxxS) y la interface serial/paralelo XCFxxP, y viene en un pequeño empaquetado.

En el modo de Master Serial el FPGA proporciona una señal de reloj en la salida CCLK al oscilador interno de la Plataforma Flash PROM. En respuesta, la plataforma Flash PROM suministra los datos en una serie de bits en el pin DIN del FPGA. El FPGA acepta estos datos en cada borde ascendente de la señal CCLK.

- *Modo Master SPI*, para configurar el FPGA utiliza un protocolo estándar industrial de comunicación SPI, es ideal para memorias Flash PROM SPI. El FPGA suministra la señal de reloj por el pin CCLK a la entrada de reloj de la memoria SPI Flash PROM.

Al emplear este modo de configuración se obtiene una ventaja, si la aplicación que se encuentra implementada en el FPGA necesita almacenar/acceder datos, escribir o leer en una memoria no volátil; se podrá usar la memoria PROM Flash SPI. Del mismo modo, el bus SPI se puede ampliar para el manejo de periféricos que están basados en esta interfaz estándar industrial, estos pueden ser conversores analógico-digital (ACD), convertidores digital-analógico (DCA), controladores CAN, *displays*, sensores de temperatura entre otros.

- *Modo Master BPI*, está diseñado principalmente para memorias paralelas NOR Flash PROM y soporta un ancho de bit de 8 y 16. La interfaz de BPI también trabaja

con otros tipos de memoria asíncronos como Xilinx Parallel plataforma Flash PROM (XCF_{xx}P), SRAM, NVRAM (RAM no volátil), EEPROM, EPROM.

- *Modo Slave Parallel*, desde un host externo, tal como un microprocesador o microcontrolador, se escribe los datos de configuración de forma paralela al FPGA. El proceso de configuración comienza cuando existe un pulso PROG_B y el pin INIT_B este en alto, lo que indica que la FPGA está listo para recibir los primeros datos. Los datos y señales de reloj continúan administrándose hasta que el pin DONE del FPGA este en alto, lo que indica una configuración correcta, o hasta que el pin INIT_B de la FPGA se baja, lo que indica un error de configuración.
- *Modo Slave serial*, desde un microprocesador o microcontrolador se escribe los datos de configuración al FPGA por medio de la interfaz serie síncrono al FPGA. Los datos de configuración se presentan en el pin de entrada DIN de la FPGA, y la señal de reloj es generada externamente con una adecuada frecuencia permitiendo la captura correcta de datos.
- *Modo JTAG*, el chip de la familia Spartan 3E tiene un puerto dedicado JTag1149.1/1532 IEEE y siempre está disponible en cualquier momento que se lo requiera. La selección del modo de JTAG simplemente desactiva los demás modos de configuración.

La interfaz JTAG fácilmente se conecta en cascada con cualquier número de FPGAs, mediante la conexión de la salida TDO de un dispositivo a la entrada TDI del siguiente dispositivo y la salida TDO del último dispositivo de la cadena vuelve al conector del puerto.

b) Comportamiento de los pines en la configuración

El comportamiento de los pines durante este proceso depende de los niveles de voltaje aplicados en los pines que definen el modo de configuración (M2, M1 y M0) y en el HSWAP. El FPGA posee seis pines dedicados a la configuración y de acuerdo al modo seleccionado utiliza algunos pines de entrada/salida, de entrada y doble propósito; y adicionalmente determinan su funcionamiento.

Los pines que no participan en la configuración de acuerdo al modo seleccionado se encuentran en alta impedancia hasta que concluya dicho proceso, esto también dependerá del valor que se encuentre en el pin HSWAP que controla la activación de la resistencia pull-up en todos los pines de entrada/salida, de entrada y doble propósito.

Después de que se culmine el proceso de configuración, donde el pin DONE indica que ha finalizado esta acción; las resistencias pull-up y pull-down se activan de acuerdo a lo que se ha descrito en la aplicación cargada.

c) Secuencia de configuración

Los pasos básicos implicados para la secuencia de configuración son los mismos para todos los modos, ver Figura 7. Es un proceso de tres etapas las cuales se describen a continuación:

- *Inicialización.* Esta empieza cuando se ha energizado el FPGA y las tensiones requeridas alcanzan los niveles adecuados o se ha generado un evento de *Reset*, ya sea por un pulso en el pin PROG o por comando vía JTAG.

La memoria de configuración se borra automáticamente después de un evento de reinicio. Durante este tiempo, las entradas/salidas se encuentran en alta impedancia, excepto los pines dedicados a configuración y los pertenecientes al puerto JTAG.

Una vez que la memoria se ha borrado, se muestrea los pines M2, M1 y M0 para determinar el modo de configuración a utilizar. Poco después, el FPGA genera la señal de reloj de acuerdo al modo seleccionado, en este punto, se inicia el muestreo de datos en los pines de entrada, las muestras son obtenidas en cada flanco ascendente de la señal de reloj.

- *Carga de datos de configuración.* la carga de los bits de datos en el FPGA, se utiliza una palabra de sincronización especial y es añadido de forma automática por el software, este paso es transparente en la mayoría de las aplicaciones. Esta palabra de sincronización alerta al FPGA que los datos de configuración están próximos y los alinea con la lógica interna de configuración. Se ignoran todos los bits antes de la sincronización.

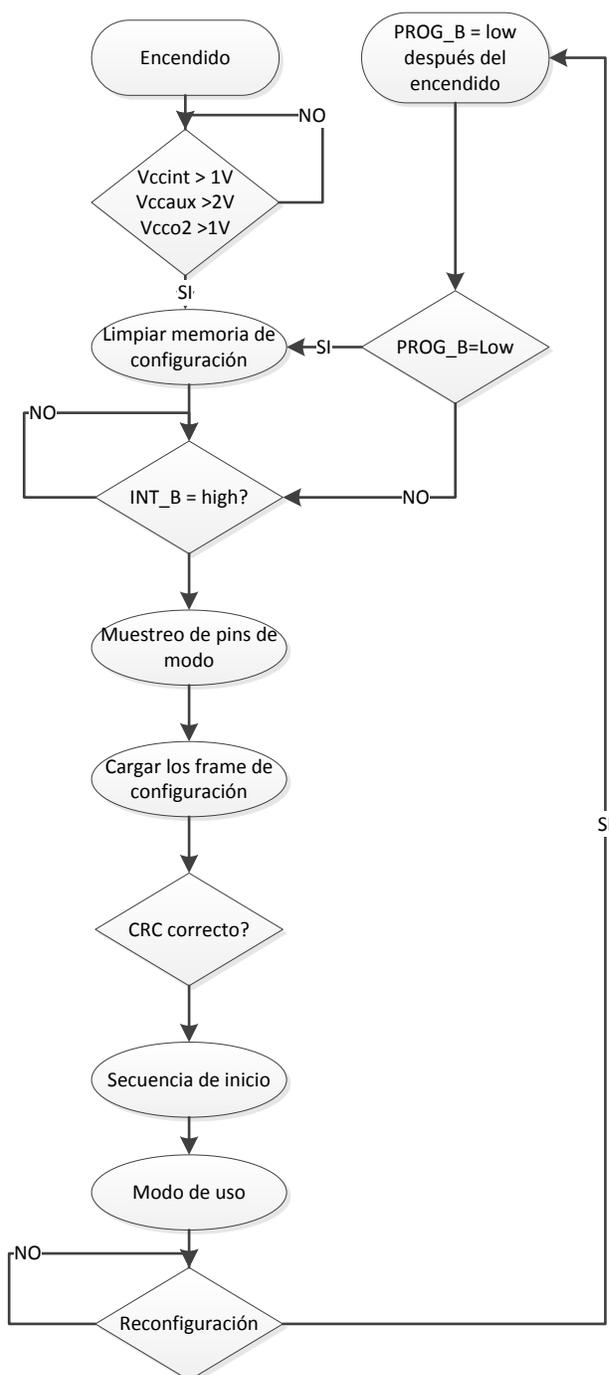


Figura 7. Diagrama de Bloques del Proceso de Configuración

Sincronizado el FPGA, se comprueba que el ID integrado en el flujo de bits coincide con su ID interno del chip. Esto evita la generación de error por intentar cargar los datos de configuración destinados a un dispositivo diferente. El ID es un vector de 32 bits, 28 bits son únicos para un chip específico, mientras que los cuatro bits adicionales son un código de revisión de máscara. Una vez que la palabra de sincronización está cargada y el ID es correcto, se cargan las tramas de datos de configuración.

Mientras se cargan las tramas de datos de configuración, el FPGA calcula el valor CRC a partir de los paquetes de datos de configuración. Si el valor de CRC calculado por la FPGA no coincide con el valor de CRC esperado en el flujo de bits, y se aborta el proceso.

- *Puesta en marcha*, detrás de cargar con éxito los datos de configuración, empieza la secuencia de inicio del FPGA. La secuencia de arranque se controla por una máquina de estados secuenciales de 8 estados. Al final de la configuración, el FPGA pulsa automáticamente la señal Set / Reset Global (GSR), colocando todos los flip-flops en un estado conocido. Después que el proceso se completa, el chip cambia distribución tal como se describe en la aplicación cargada por el usuario.

2.2. Circuitos impresos

Implícitamente cada circuito electrónico incorpora una placa de circuito impreso, es un medio de interconexión y de montaje mecánico. La PCB es creada para un circuito con una función determinante y su diseño es una parte importante en esta tarea. El diseño de la placa tiene un fuerte efecto sobre el rendimiento eléctrico y mecánico del producto final.

Para la implementación de una tarjeta electrónica se deben tener presente guías, principios y recomendaciones de diseño, como las proporcionadas por las entidades IPC, J-STD, ASTM, IEEE, ANSI/EIA, que ayudan a obtener esquemas óptimos de acuerdo a las especificaciones y parámetros deseados conservando la eficiencia, costo y tiempo.

Generalmente los fabricantes de chips proporcionan documentos donde se describen directrices, metodologías y modelos, agilizando el proceso de diseño.

2.2.1. Especificación del sistema

De acuerdo al uso o propósito de la tarjeta, está sujeta a clasificación, donde se relaciona la complejidad y precisión del diseño, con el nivel de producibilidad así como las características de los procesos de fabricación y ensamble, para la obtención de un producto terminado.

La categorización de la PCB en una clase depende de la sofisticación, desempeño, funcionalidad y de la frecuencia de testeo e inspección. A continuación se describe los tres tipos de clases que se cuenta (Association Connecting Electronics Industries, 1999).

- *Clase 1 Productos electrónicos en general*, las imperfecciones cosméticas no son importantes en las aplicaciones, el principal requisito es el correcto funcionamiento de la placa.
- *Clase 2 Productos electrónicos de servicio dedicado*, se requiere un alto desempeño y larga durabilidad, la continuidad del servicio es deseado pero no es indispensable. Están permitidas algunas imperfecciones cosméticas.
- *Clase 3 Productos electrónicos de alta confiabilidad*, el rendimiento es crítico, no se tolera tiempo muerto en el equipo. Estos productos son ideales en aplicaciones donde se requiere altos niveles de seguridad y el servicio es esencial.

Los niveles de productibilidad se determina de acuerdo a los requerimientos de precisión, rendimiento, densidad del patrón, equipo, montaje, testeo y verificación en el

proceso de manufactura. Dependiendo de las características a utilizar, aumenta el uso de herramientas más sofisticadas, materiales o procedimientos, que aumenta el costo de fabricación. A continuación se señala los niveles existentes (Association Connecting Electronics Industries, 1999).

- *Nivel A General designcomplexity* (Preferido).
- *Nivel B Moderate designcomplexity* (Estándar).
- *Nivel C High designcomplexity* (Reducido).

2.2.2. Diseño del circuito

Antes de iniciar la fase de diseño, es necesario conocer las características, requisitos de mantenimiento y utilidad del producto final. Estos factores con frecuencia afectan a la implementación de la PCB.

El éxito o fracaso de un diseño depende de parámetros que son considerados, desde un punto de vista del producto final, como son los siguientes:

- *Condiciones ambientales de operación*, como temperatura ambiente, generación de calor de los componentes, ventilación, golpes y vibraciones.
- *Mantenimiento y reparación*, se debe prestar atención a la densidad de los componentes y del circuito, materiales de recubrimiento y la localización de los componentes para facilitar el acceso a los mismos.
- *Modo de instalación*, afecta el tamaño y localización de orificios de montaje, localización de los conectores, ubicación de los elementos y colocación de soportes.
- *Limitaciones de manufactura*, como características mínimas de grabado, mínimo espesor de recubrimiento, forma y tamaño de la placa.
- *Consideración de sensibilidad a ESD*.

Para la generación de los diagramas lógicos y/o esquemáticos se debe considerar características eléctricas, interconectividad, tipos de entradas/salidas, periféricos y medios de comunicación. Logrando definir áreas críticas del circuito, requisitos de

protección, requerimientos de distribución de alimentación y conexión a tierra, asignación de puntos de prueba, y la localización de las entradas/salidas pre-asignadas.

Todos los componentes (capacitores, resistencias, fusibles, transistores, IC, etc.) y materiales utilizados para la fabricación de la PCB deben ser tabulados en una lista para su posterior identificación en las siguientes fases de diseño.

2.2.3. Diseño de la PCB

En esta etapa, se definen los materiales y características físicas, tal como el tamaño y forma física, localización de todos los componentes electrónicos y mecánicos, el enrutamiento de los conductores que interconectan eléctricamente los componentes; tratando de equilibrar el rendimiento eléctrico, mecánico y térmico.

Se recomienda diseñar áreas perfectamente identificadas de acuerdo a su función, por ejemplo, fuente de alimentación, circuitos analógicos, circuitos lógicos, etc. Esto ayudará a minimizar el *crosstalk*, simplificar el diseño de montaje y ensamble de la PCB, y facilitará el diagnóstico de problemas.

A continuación se describe los parámetros que se consideran en el diseño de la tarjeta electrónica, una vez que ya se cuente con los diseños esquemáticos y lógicos, lista de partes y requerimientos del producto final.

- *Densidad de la tarjeta.* Se establece el área útil para el montaje de los componentes y la geometría de la placa, para lo cual, se determina el tamaño y el espacio de todos los elementos que se hallan en la lista de partes.
- *Selección de materiales.* En la selección del material, se considera las exigencias de temperatura (soldadura y operación), propiedades eléctricas, interconexión (componentes soldados y conectores), resistencia estructural (ambiente, vibraciones, impactos físicos), y el material de la placa, conductores y revestimiento.
- *Propiedades eléctricas.* Es importante tener un buen sistema de distribución de energía, usar adecuadamente los capacitores de desacoplamiento, dividir áreas

respecto a la frecuencia que operan los circuitos (alta, media y baja). Además se determina el espesor y ancho de los conductores de la tarjeta teniendo en cuenta la corriente requerida y la máxima elevación de la temperatura del conductor permitida.

- *Propiedades mecánicas.* Se selecciona tipo de placa (un solo lado, doble lado, multicapas, núcleo metalizado, etc.), espesor, tamaño y composición de la placa, grosor de los conductores, diámetro de los agujeros o vías, basándose en los requerimientos de ensamble, disipación de calor, rigidez mecánica, desempeño eléctrico (blindaje, impedancia, etc.) y densidad del circuito.
- *Manejo térmico.* Asegura que todos los componentes, principalmente los circuitos integrados, se mantengan dentro de sus límites, tanto de funcionamiento como en condiciones extremas. Existen tres modelos básicos para la transferencia de calor siendo por conducción, radiación y convección. La convección y la radiación son los principales medios por los que se transfiere calor al ambiente. A nivel del mar, aproximadamente 70% del calor es disipado a través de convección y 30% por la radiación. Mientras el aire se hace menos denso, los efectos de la convección disminuyen.
- *Mascara antisoldadura y serigrafía.* Esta mascara protege las áreas que no deben ser soldadas, aplicando un recubrimiento de un polímero resistente a la soldadura, el cual evita cortocircuitos entre los pines adyacentes y oxidación del conductor. La serigrafía indica los nombres de los componentes, la configuración de los interruptores, puntos de prueba, y otras características útiles para el ensamblaje, prueba y servicio de la tarjeta.

2.2.4. Documentación

La documentación de la tarjeta impresa, generalmente consiste de *master drawing*, *master pattern drawing* o *artwork master*, ensamblaje de la placa de circuito impreso, lista de componentes, y diagramas esquemáticos y lógicos.

Otra documentación que puede incluir, son datos de control numérico para la perforación, enrutamiento, bibliotecas, puntos de prueba y herramientas especiales.

2.2.5. Manufactura

La gran mayoría de las PCB se hacen adhiriendo una capa de cobre sobre un sustrato (creando un circuito impreso virgen), y luego requieren de un proceso en el cual el cobre no deseado es eliminado, quedando únicamente el patrón deseado. El *layout* es generado a partir de los datos producidos por un programa de diseño de circuitos impresos. Adicionalmente, generan archivos donde se especifica la información necesaria para la construcción de la tarjeta, están en formato HPGL o Gerber.

a) Creación del circuito o patrón.

Los métodos tipos para la producción de la tarjeta de circuito impreso son las siguientes:

- *Impresión serigráfica*, utiliza tintas resistentes para proteger la capa de cobre. Los grabados posteriores a éste, retiran el cobre no deseado. Alternativamente, la tinta puede ser conductiva, y se imprime en una tarjeta virgen no conductiva.
- *Fotograbado*, maneja la fotomecánica y grabado químico para eliminar la capa de cobre del sustrato. La fotomecánica usualmente se prepara con un fotoplotter. Algunas veces se utilizan transparencias impresas en una impresora Láser como foto-herramientas de baja resolución
- *Fresado* de circuitos impresos, utiliza una fresa mecánica de 2 o 3 ejes para quitar el cobre del sustrato. Recibe comandos desde un programa que controla el cabezal de la fresa los ejes x , y y z .
- *Material termosensible*, se transfiere el diseño a través de calor a la placa de cobre.

b) Atacado químico

La mayoría de los procesos utilizan ácidos o corrosivos para eliminar el cobre excedente. Los químicos más utilizados son el cloruro férrico, el sulfuro de amonio, el ácido clorhídrico mezclado con agua y peróxido de hidrógeno.

c) Perforado

Las perforaciones o vías, del circuito impreso se taladran con pequeñas brocas hechas de carburo y acero de alta velocidad. El perforado es realizado por maquinaria automatizada, controlada por un archivo de perforaciones llamados archivo *Excellon*; el mismo que describe la posición y tamaño de cada perforación. Cuando se requieren vías muy pequeñas, taladrar con brocas es costoso, debido a la alta tasa de uso y fragilidad de éstas. En estos casos, se utiliza un láser, pero usualmente tienen una terminación de menor calidad al interior del orificio.

Las paredes de los orificios, para tarjetas con dos o más capas, son metalizadas con cobre para formar orificios metalizados los que conectan eléctricamente las capas conductoras del circuito impreso.

d) Estañado y máscara anti-suelda

Los *pads* y superficies en las cuales se montarán los componentes se metalizan, ya que el cobre al desnudo no es fácil de soldar. Tradicionalmente, todo el cobre expuesto era metalizado con soldadura (generalmente aleación de plomo-estaño).

Las áreas que no deben ser soldadas pueden ser recubiertas con un polímero resistente a la soldadura, el cual evita cortocircuitos entre los pines adyacentes de un componente.

e) **Serigrafía**

A través de la serigrafía se pueden imprimir dibujos y texto, en las superficies exteriores de un circuito impreso. También puede imprimirse a través de tecnología de impresión digital, chorro de tinta, y volcar información variable sobre el circuito (serialización, códigos de barra, información de trazabilidad).

2.2.6. Ensamblaje

Es el proceso en el cual se insertan todos componentes eléctricos y mecánicos en la tarjeta de circuito impreso. Para el ensamble de la tarjeta, se cuenta con las tecnologías de inserción y de montaje superficial, en algunos casos se utiliza ambos tipos (THT y SMD). Existen técnicas de ensamble manual y automáticas (Varteresian, 2002). A este proceso se lo puede dividir en las siguientes etapas:

- Inserción de los componentes.
- Soldado.
- Limpieza.
- Inspección de soldadura.
- Reelaboración.

2.2.7. Testeo

Este concepto desarrolla un enfoque para comprobar problemas en la tarjeta y también detectar posibles áreas de falla. Debe facilitar económicamente la detección, aislamiento y corrección de fallas en el diseño, fabricación y en el soporte en campo durante el ciclo de vida de circuito impreso. Existen dos tipos de pruebas para la tarjeta de circuito impreso, siendo el test funcional y pruebas *in-circuit*.

Las pruebas funcionales son utilizadas para probar la funcionalidad de diseño eléctrico. Los terminales de prueba acceden a la tarjeta a través de conectores, puntos de prueba o por medio de *bed of nails*, para lo cual se aplican estímulos predeterminados en las entradas de la placa y se monitorean las salidas asegurándose que el diseño responde adecuadamente.

Las pruebas *in-circuit* son usadas para encontrar defectos de fabricación. Las puntas de testeo hacen contacto con cada uno de los nodos de la PCB y todas las partes de la placa son probadas individualmente. El analizarlos defectos de manufactura proporciona una alternativa de bajo costo, se testea fallas de costo circuito y circuitos abiertos.

CAPÍTULO 3

DISEÑO DE LOS CIRCUITOS DE LA TARJETA ELECTRÓNICA

3.1. Requisitos funcionales

La finalidad de crear este prototipo de tarjeta electrónica, es para el desarrollo de múltiples proyectos electrónicos, que se puede encontrar en el proceso de formación académica. Su uso está orientado únicamente para aplicaciones en este medio, por lo tanto no se necesita tener un producto terminado con altos estándares de acabado y su servicio no es crítico. De acuerdo a su utilización y nivel de producción, se podrá situar la PCB en la Clase 1 (Productos electrónicos generales) y en el Nivel A (Complejidad de Diseño Normal).

Este prototipo de tarjeta electrónica se basa en un FPGA de la familia Spartan-3E. Debido a su bajo costo son ideales para formar una amplia gama de productos electrónicos de consumo como son: pantallas, proyectores, y equipos para televisión digital. Este chip funcionará como la unidad lógica y de procesamiento, así como la tarjeta electrónica contará con: interfaces apropiadas para aplicaciones académicas y medios necesarios para la comunicación con otros periféricos.

3.2. Definición de módulos y conectividad

Los módulos que poseerá la tarjeta electrónica deben permitir la interacción entre los usuarios y la tarjeta, lo cual permitirá el ingreso de diferentes estímulos para la simulación de señales. Así como, los elementos necesarios para la visualización de

resultados o señales de salida, además permitirá la interacción con otros dispositivos mediante estándares de comunicación.

A continuación se describen los periféricos que posee el prototipo, como tipos entradas/salidas, medios de comunicación, periféricos y medios de almacenamiento de datos; como se muestra en la Figura 8.

- 4 Pulsadores.
- 4 Switch.
- 16 Entradas digitales (nivel lógico TTL).
- 1 Puerto para Teclado hexadecimal.
- 1 Puerto para LCD 16x2.
- 4 Salidas con Relé.
- 4 Salidas con Opto-acoplador.
- 16 Salidas digital (nivel lógico TTL).
- 1 Conversor DAC.
- 1 Conversor ADC.
- 10 Salidas a Led.
- 1 Puerto Serial RS-232.
- 1 Puerto USB.
- 1 Puerto Ethernet.
- 1 Oscilador de 60Mhz.
- Plataforma Flash de 4Mbit de Xilinx.
- Memoria Flash PROM SPI de 64Mbits.

3.3. Esquemáticos de funcionamiento

Para facilitar la elaboración de los diagramas o esquemáticos de funcionamiento correspondientes a los circuitos eléctricos del prototipo de tarjeta electrónica, se separó el diseño electrónico en diferentes secciones y cada uno de los componentes o

elementos empleados en la tarjeta electrónica serán representados de manera simple, indicando las conexiones de alimentación e interconexiones con los demás dispositivos.

Es muy importante considerar las hojas técnicas de cada elemento, ya que proporcionan información detallada sobre las características eléctricas y de operación, agilitando de esta manera la elaboración de los esquemas.

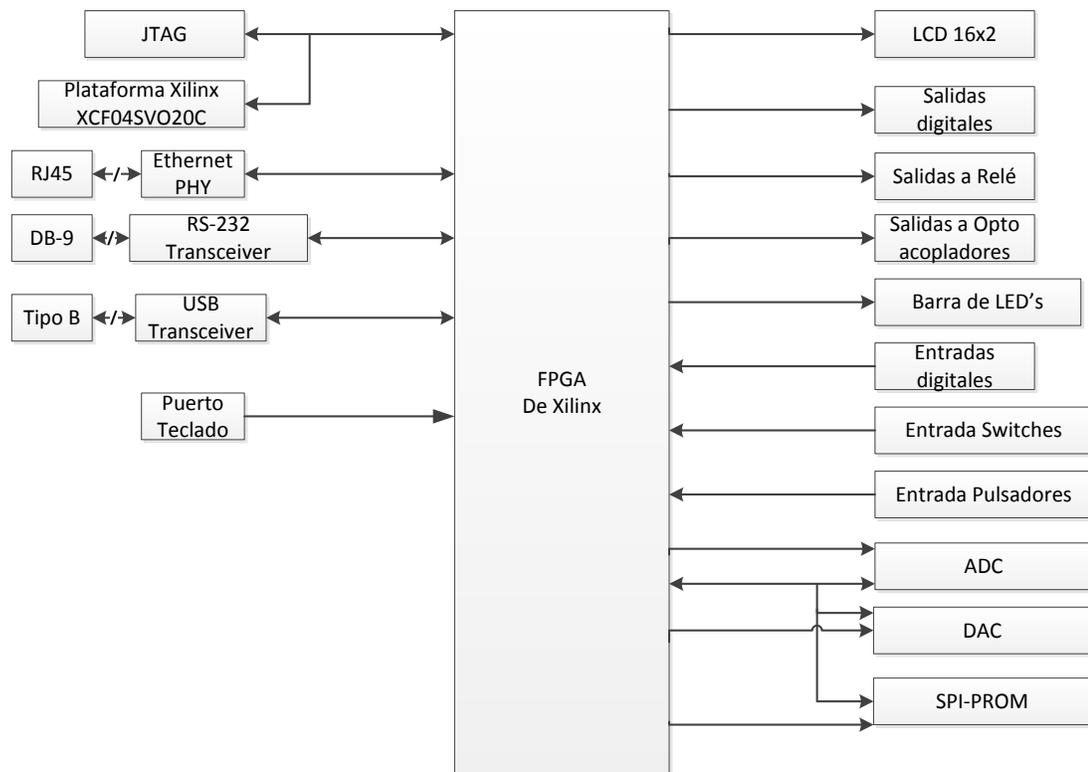


Figura 8. Diagrama de Bloque del prototipo de tarjeta electrónica

3.3.1. Unidad lógica

En el dimensionamiento o selección del chip o circuito integrado de FPGA, principalmente se consideró tres puntos importantes, que se detallan a continuación:

- *Cantidad de periféricos que debe manejar.* Considerando las especificaciones de periféricos que fueron descritas en la sección anterior, se calcula 99 conexiones

necesarias para la implantación de la tarjeta, esto repercute directamente a la cantidad mínima de I/O que deberá contar el chip.

- *Capacidad o densidad del FPGA.* Los chips considerados para formar parte de la unidad principal de procesamiento del prototipo de la tarjeta electrónica son: XC3S500E y XC3S1600E; debido a la familiarización, densidad y su uso frecuente en el laboratorio de VLSI. En donde los FPGA son empleados para el desarrollo de diferentes prácticas académicas y proyectos electrónicos, obteniendo un desempeño favorable por parte de estos dispositivos.
- *Factibilidad de ensamblaje en la placa.* Se descarta el uso de empaquetados BGA debido a la complejidad de diseño, el uso de herramientas sofisticadas para la manufactura, ensamblaje y pruebas; así como las limitantes existentes que se encuentran en la industria nacional.

Examinando las opciones de FPGAs que el fabricante proporciona (ver Tabla 1), a más de considerar las características necesarias para la implementación, se optó por el circuito integrado de la familia Spartan 3E XC3S500E-4PQG208I ya que posee 158 I/O. Las características más relevantes del chip, las consideraciones de operación y de configuración para el prototipo de tarjeta electrónica se detallan en las siguientes secciones.

a) Características del chip de FPGA

Las características más sobresalientes del chip XC3S500E-4PQG208I se listan a continuación

- Es un chip de montaje superficial con encapsulado PQFP, libre de plomo y tiene una temperatura de operación de -40°C a 100°C .
- Cuenta con 1164 CLBs, distribuidos en 46 filas y 34 columnas que proporcionan 9312 LUTs o Flip-flop. Adicionalmente, cada CLB cuenta con 4 memorias RAM, que en total suman 4656 bloques de RAM16, y 4656 registros de desplazamiento.

- El chip posee 20 bloques de memoria RAM distribuidos en 2 columnas y en conjunto tiene una capacidad de 368640 bits. De igual manera, este chip cuenta con 20 bloques de multiplexores dedicados que se ubican junto a los bloques de memoria RAM.
- Este dispositivo cuenta con 4 DCM los cuales admiten frecuencias desde los 5MHz hasta los 270MHz y manejan frecuencias desde 0.3125MHz hasta 183MHz o desde los 5Mhz hasta 333Mhz dependiendo que tipo de salida que se maneje.
- Cada chip tiene un número de identificación de 32bits, que se obtiene mediante la lectura del puerto JTAG. Los 28 bits más bajos representan al vendedor de dispositivo y el identificador de dispositivo. Los cuatro bits superiores representa el nivel de revisión del silicio montado en la placa de circuito impreso.
- El circuito integrado posee 208 pines y en la Tabla 2 se especifica la distribución de los pines de acuerdo a la función que realizan.

Tabla 2. Distribución de pines del FPGA

Nombre	Cantidad	Función
I/O	58	Pines de entrada/salida y de uso general
INPUT	25	Utilizados únicamente para la entrada de datos
DUAL	46	Son de tipo E/S y utilizados para la configuración
CLK	16	Utilizados para señales de reloj. Pueden operar como pines de I/O, input o dual.
CONF	2	Pines dedicados a la configuración
JTAG	4	Pines dedicados al puerto JTAG
GND	20	Pines para la conexión a tierra
VREF	13	Voltaje de referencia para algunos estándares de Entrada/Salida. Pueden operar como pines de I/O
VCCAUX	8	Alimentación auxiliar del chip (2.5V)
VCCINT	4	Alimentación interna del chip (1.2V)
VCCO	12	Alimentación para el buffer de salida dentro de un banco.

b) Recomendación de conexión del chip de FPGA

Para el correcto funcionamiento del chip de FPGA, el fabricante recomienda lo siguiente:

- Asegurar los niveles de Vint, Vaux y Vcco_2 estén dentro de los rangos recomendados ya que son supervisados por el circuito POR que mantiene al FPGA

en un estado de reinicio hasta que los niveles de voltaje lleguen a sus respectivos niveles de umbral.

- Todas las entradas de Vint y Vaux deben estar conectadas al mismo nivel de tensión independiente del banco que se encuentren, mientras tanto la alimentación Vcco deben ser conectada al mismo nivel de voltaje dentro del mismo banco e incluso si el banco esta inutilizado.
- La cantidad máxima de ruido presente en la fuente de alimentación o la tensión de rizado de VCC no debe fluctuar más del 5% por encima o por debajo del 5% del valor nominal de VCC.
- El nivel lógico presente en las entradas de un banco específico debe ser el mismo que este alimentando a las entradas de Vcco del banco correspondiente. La Tabla 3 describe las condiciones recomendadas de operación.

Tabla 3. Condiciones de operación para el FPGA

Símbolo	Descripción	Mínimo	Nominal	Máximo	Unidad	
T_J	Temperatura de juntura	Comercial	0	-	85	°C
		Industrial	-40	-	100	°C
V_{CCINT}	Voltaje de alimentación interna	1.140	1.200	1.260	V	
V_{CCO}	Voltaje de alimentación para salidas	1.100	3.3	3.465	V	
V_{CCAUX}	Voltaje de alimentación auxiliar	2.375	2.500	2.625	V	
V_{IN}	Voltaje de I/O, entrada, entrada doble propósito	Pines dedicados	-0.5		+0.5	V
			-0.5		+0.5	V
I_{IK}	Corriente de entrada por pin	-	-100		100	mA
		$0.5 < V_{in} < V_{cc} + 0.5$				
V_{ESD}	Descargas electrostáticas	Cuerpo humano	-2000		2000	V
		Dispositivos	-500		500	V
		Maquinas	-200		200	V
T_{STG}	Temperatura de almacenamiento	-65		150	°C	
T_{IN}	Tiempo de transmisión de una entrada	-		500	ns	

c) Consideraciones para el prototipo de tarjeta electrónica

Para la implementación del prototipo de tarjeta electrónica se determinó los siguientes parámetros de operación del chip XC3S500E-4PQG208I.

- El nivel de voltaje seleccionado para la alimentación de todos los bancos (4 en total) será de 3.3V corresponde al estándar LVTTL o LVCMOS33.
- El estándar seleccionado para las salidas es el LVTTL o LVCMOS33, manejan una corriente mínima de 6mA y una máxima de 12 mA, y velocidad de respuesta es baja.
- El número máximo de I/O que pueden conmutar simultáneamente en la misma dirección dentro de un banco es de 18 SSO de acuerdo con la Ecuación 1.
- El consumo nominal de corriente del chip es de 184mA, el cual está compuesto por las corrientes que circulan en las tres fuentes que alimentan al FPGA como se ve en la Tabla 4.

Tabla 4. Corrientes del FPGA

Tipo	Corriente [mA]	Condición de medición
I _{int}	145	Consumo nominal
I _{cc}	1	I/O en alta impedancia
I _{aux}	38	FPGA en stand by

- Para el proceso de programación, lectura y escritura del chip de FPGA se lo realizara a través de un puerto JTAG.
- El prototipo de tarjeta electrónica contará con dos memorias no volátiles, una orientada únicamente al almacenamiento de datos de configuración y la otra será de propósito general (utilizada para los datos de programación o para el almacenamiento datos si requiere la aplicación desarrollada).
- Para generar un proceso de reseteo en el chip de FPGA, se maneja el pin PROG_B con un pulsador normalmente abierto.
- Se contará con un diodo led amarillo para la visualización del proceso de configuración del PFGA.

d) Configuración del chip de FPGA

Se requiere un número constante de bits para la configuración del FPGA, sin importar la complejidad de la aplicación. El tamaño del archivo de configuración para el chip XC3S500E-4PQG208I es de 2270208 bits.

La familia Spartan 3E proporciona 6 opciones o modos para la programación o carga de datos dentro del chip. La selección de los modos de configuración dependerá de los valores aplicados en los tres pines M1, M2 y M3. De acuerdo al modo elegido se determina que pines intervendrán en la fase de programación y cómo será su comportamiento.

Para el prototipo de tarjeta electrónica se elegirá los modos de programación *Master*, donde el FPGA controla el proceso de programación. Y como vía de programación, se emplea básicamente la comunicación serial que reduce al mínimo el uso de pines. En la Tabla 5 se describen los valores que deben tomar los selectores de configuración y la cantidad de pines utilizados en la programación, de acuerdo al diseño de prototipo de tarjeta electrónica.

Tabla 5. Modos de programación para la tarjeta electrónica

	Master serial	SPI Serial Flash	JTAG
Selectores de modo			
M[2:0]	<0:0:0>	<0:0:1>	<1:0:1>
Comunicación	Serial	Serial	Serial
Pines de configuración	8	13	4
Reloj	Interno	Interno	Externo

Por lo tanto, se tendrá una memoria Flash con interface SPI de 64 Mbit para guardar los datos de configuración y después de esta etapa, ésta podrá ser utilizada por el usuario para guardar datos de la aplicación que se esté ejecutando. Además, contará con una memoria de Xilinx con interface serial de 4 Mbit, que será orientada únicamente al almacenamiento de bits de configuración del chip.

Sin embargo, los bits de programación pueden cargarse directamente al FPGA, mediante el puerto JTAG, que es una interface de configuración separada e independiente; compuesta por 4 pines dedicados a esta función y siempre se encuentran habilitados.

Sin importar la forma de programación que se haya elegido, siempre existe un número constante de pines que controlan este procedimiento. En la Tabla 6 se describe el comportamiento de estos pines dentro de esta fase.

Tabla 6. Comportamiento de los pines durante la configuración

Pin	Función
DONE	Indica el estado de la configuración. En bajo durante el proceso de programación y alto cuando la configuración a finalizado
PROG_B	Genera un evento de reinicio del chip con un pulso superior a 500ns.
HSWAP	Define si las resistencias pull-up se activen durante la fase de configuración de todos los pines del chip
CCLK	Es la señal de reloj que sincroniza la lectura o escritura de datos de configuración
INIT_B	Indica el estado de la memoria de configuración del FPGA

3.3.2. Memoria para programación

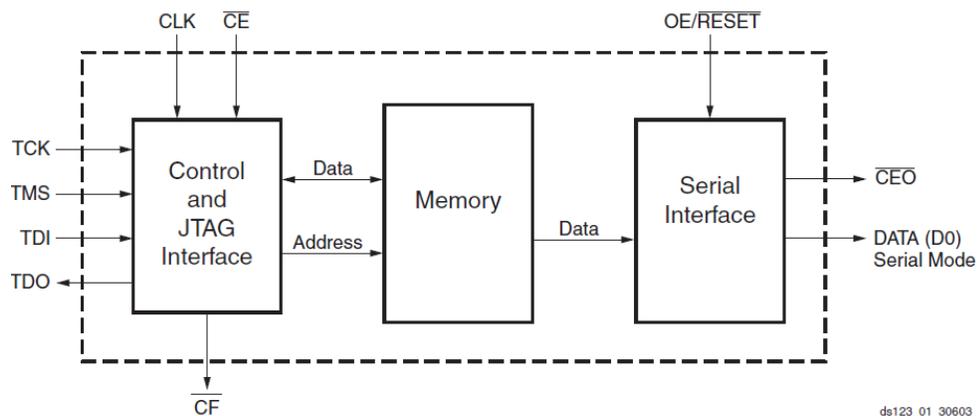


Figura 8. Diagrama de bloques de la memoria la XCF04SVO20C

Fuente: (Xilinx, 2010)

La memoria para programación es aquella que va a almacenar únicamente los bits de configuración del FPGA proporcionando un medio seguro de reprogramación. La memoria seleccionada es la XCF04SVO20C del fabricante Xilinx, debido a que es totalmente compatible con el FPGA además que la densidad que cuenta la memoria es apropiada para los datos o bits de configuración, en la Figura 8 se observa el diagrama de bloques de la memoria seleccionada. Las características más importantes se detallan a continuación:

- Tiene una capacidad de almacenamiento de 4Mb
- La memoria integra el protocolo JAG de 4 líneas, que facilita las operaciones de configuración, borrado y verificación.
- Es totalmente compatible con el software de programación iMPACT de Xilinx.
- Garantiza un nivel resistencia de 20000 ciclos de borrado/programación y un mínimo de retención de datos de 20 años.
- Incorpora características de seguridad para proteger los bits de programación contra el copiado y la lectura no autorizada desde el puerto JTAG.
- Las condiciones de operación y características eléctricas se detallan en la Tabla 7.

Tabla 7. Condiciones de operación de la memoria de programación

Símbolo	Parámetro	Mínimo	Nominal	Máximo	Unidad
VCCint	Voltaje de alimentación interno	3.0	3.3	3.6	V
VCCO	Voltaje de alimentación para salidas	3.0	3.3	3.6	V
Vccj	Voltaje de alimentación para el puerto JTAG	3.0	3.3	3.6	V
VIL	Nivel bajo de entrada	0	-	0.8	V
VIH	Nivel alto de entrada	2.0	-	5.5	V
VO	Voltaje de salida	0	-	Vcco	V
ICCINT	Corriente interna del chip	5	-	10	mA
ICCO	Corriente para las salidas	1	-	10	mA
ICCJ	Corriente del puerto JTAG	1	-	5	mA
TA	Temperatura de operación	-40	-	85	°C
TSTG	Temperatura de almacenamiento	-65	-	150	°C
TIN	Tiempo de transición de una señal de entrada	-	-	500	ns
VESD	Descargas electrostáticas	-	-	2000	V

Siguiendo con la secuencia de encendido del FPGA, una vez limpiada la memoria de configuración del chip y seleccionado el modo de programación. El dispositivo está listo para recibir un nuevo flujo de bits. El pin INIT_B se conecta a la entrada OE/RESET de la memoria, reseteándola durante el proceso de inicialización y luego habilita la salida de datos de la ROM para la programación.

La plataforma Flash ROM facilita un pin CF que se conecta al pin PROG_B del FPGA y el pin OE/RESET es conectado a al pin INIT_B, consiguiendo controlar el proceso de configuración. El FPGA genera la señal de reloj CCLK que se conecta a la memoria y en respuesta, la memoria suministra en serie los bits de datos a la entrada DIN del FPGA, los datos son aceptados en cada flanco ascendente de la señal de reloj.

En la Figura 9 se ilustra las conexiones necesarias entre el FPGA y la plataforma Flash ROM, el grafico presentado corresponde a las conexiones que el fabricante recomienda. Sin embargo para el diseño esquemático del prototipo de tarjeta electrónica solo se consideró las conexiones más apropiadas para la implementación, las cuales se encuentran en el *Anexo A.1*

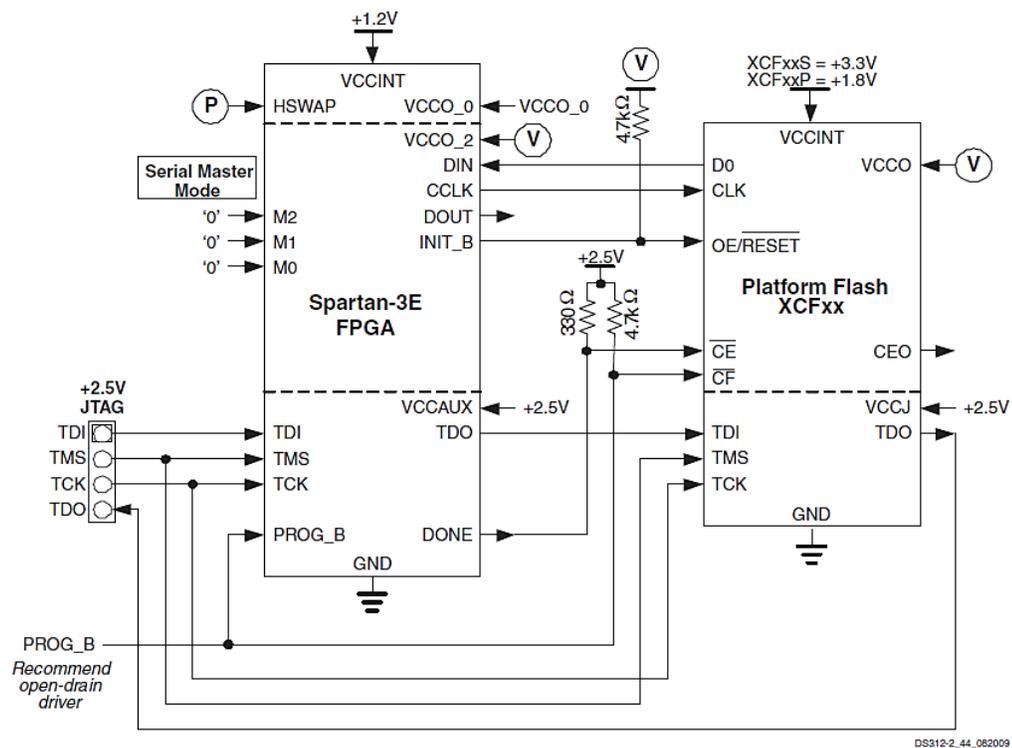


Figura 9. Conexión de la memoria de programación al FPGA (Xilinx, 2009)

3.3.3. Memoria de propósito general

En el modo de configuración Master SPI, se empleará una memoria Flash SPI recomendada por el fabricante y compatible con el FPGA. Se seleccionó la memoria M25P64-VMF6P del fabricante Micron, en la Figura se observa el diagrama de bloques de la memoria de propósito general.

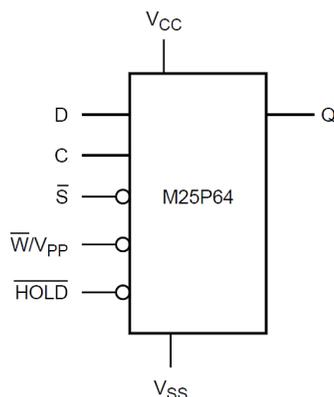


Figura 10. Diagrama de bloque de la memoria M25P64-VMF6P (Numonyx, 2010)

Entre las características más relevantes se tiene las siguientes:

- Es una memoria de 64Mbit con una interface SPI.
- Manejar una velocidad máxima de 75MHz.
- Garantiza 100000 ciclos de borrado/programación y un mínimo de retención de datos de 20 años.
- Las condiciones de operación y características eléctricas se detallan en la Tabla 8.

Tabla 8. Condiciones de operación para la memoria M25P64-VMF6P

Símbolo	Parámetro	Mínimo	Nominal	Máximo	Unidad
VCC	Voltaje de alimentacion	2.7	3.3	3.6	V
VIL	Nivel bajo de entrada	-0.5	-	0.99	V
VIH	Nivel alto de entrada	2.31	-	3.5	V
ICC	Corriente de operación (Lectura)	-	-	8	mA
ICC1	Corriente de aperacion	-	-	20	mA
TA	Temperatura de operación	-40	-	85	°C
TstG	Temperatura de almacenamiento	-65	-	150	°C
VESD	Descargas electrostáticas	-2000	-	2000	V

- Posee avanzados mecanismos de protección contra escritura, se puede proteger sectores o áreas de la memoria mediante software y cuenta con un código de identificación único de 16 bytes

- La memoria se organiza en 128 sectores, cada uno contienen 256 páginas. Cada página es de 256 bytes. Por lo tanto, toda la memoria puede considerarse de 32.768 páginas, o 8.388.608 bytes.

Para programar un byte de datos se requieren dos instrucciones, es decir, cada secuencia de instrucciones comienza con un código de instrucción de un byte. Dependiendo de la operación, esto puede ser seguido por los bytes de dirección, o por bytes de datos, o por ambos o ninguno. Todas las instrucciones, direcciones y datos que se desplazan dentro y fuera del dispositivo, primero se transmite el bit más significativo.

En la Figura 11 se ilustra las conexiones necesarias entre el FPGA y la memoria Flash SPI, el grafico presentado corresponde a las conexiones que el fabricante recomienda. Sin embargo para el diseño esquemático del prototipo de tarjeta electrónica solo se consideró las conexiones más apropiadas para esta implementación, las cuales se encuentran en el *Anexo A.2*

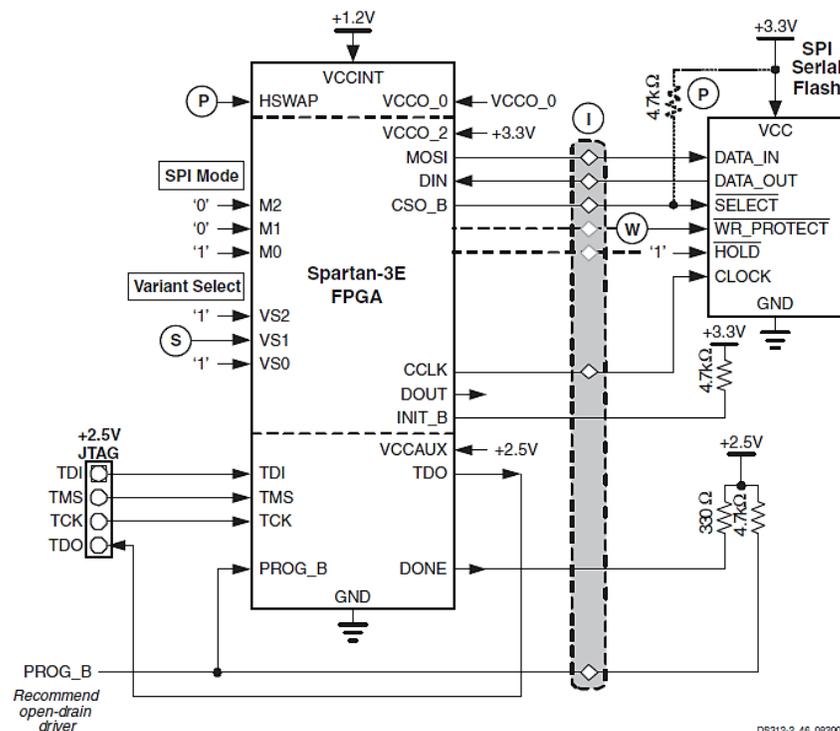


Figura 11. Conexión de la memoria M25P64-VMF6P al FPGA (Xilinx, 2009)

3.3.4. Entrada de datos

a) Switch

La placa electrónica poseerá cuatro interruptores o switches, agrupados en un encapsulado de tipo DIP y son de estilo slider o deslizante, los cuales tienen dos posiciones posibles *ON* y *OFF*. La separación estándar de los pines es de 0.1”.

El DIP-Switch será ubicado en el banco 3 y 2 del FPGA, y maneja el estándar LVTTTL. Es decir, cuando está en la posición de arriba u *ON*, el interruptor conecta el pin del chip a 3.3V, y genera un estado lógico 1. Cuando está abajo o en la posición *OFF*, el pin del FPGA estará flotante, para asegurar un estado lógico 0 dentro del chip, se debe activar la resistencia *pull-down* del pin. Es importante recordar que los interruptores mecánicos suelen presentar unos 2 ms de rebote al realizar un cambio de posición. En la Figura 12 se indica la conexión del DIP-Switch al FPGA

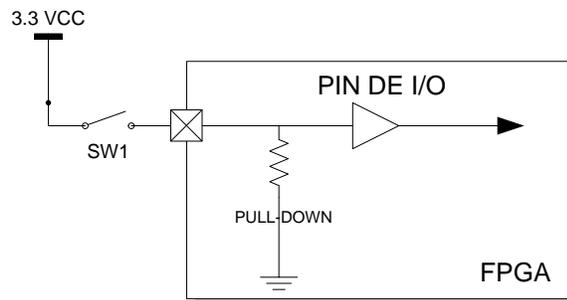


Figura 12. Diagrama de conexión para un switch.

La Tabla 9 proporciona los datos de los cuatro interruptores necesarios para el UCF que incluyen: los pines de entrada/salida asignados, el estándar que manejan y la activación de las resistencias del chip.

Tabla 9. UCF correspondiente al DIP switch

Nombre	N° Pin	Estándar	Terminación
SW1	P54	LVTTL	PULL-DOWN
SW2	P51	LVTTL	PULL-DOWN
SW3	P50	LVTTL	PULL-DOWN
SW4	P49	LVTTL	PULL-DOWN

b) Botones

El prototipo de tarjeta electrónica contará con 4 pulsadores o botones, se activa cuando se establece contacto con los dos terminales al oprimir el botón, y el muelle hace retornar a la posición normal de la lámina al cesar la presión sobre el pulsador. Su contacto es normalmente abierto en su posición de reposo.

Los pulsadores están localizados en el banco 3 del FPGA. Si se oprime el botón, se conecta el pin asociado del chip a 3.3V, generando un estado lógico 1. Se debe activar la resistencia *pull-down* del pin para crear un estado lógico 0, cuando no se presiona el botón. La Figura 13 se muestra la conexión de botón hacia el FPGA.

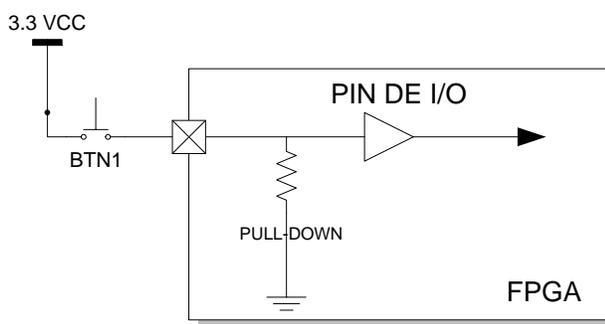


Figura 13. Diagrama de conexión para un pulsador

La Tabla 10 proporciona los datos para las UCF de los cuatro pulsadores, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la activación de las resistencias del chip.

Tabla 10. UCF correspondiente a los pulsadores

Nombre	N° Pin	Estándar	Terminación
BTN1	P48	LVTTL	PULL-DOWN
BTN2	P47	LVTTL	PULL-DOWN
BTN3	P45	LVTTL	PULL-DOWN
BTN4	P43	LVTTL	PULL-DOWN

c) Entradas digitales TTL

Uno de los inconvenientes al utilizar una placa electrónica basada en FPGA es el nivel de voltaje que manejan los pines de chip, con una tensión máxima de 4V. La mayoría de equipos utilizados en el laboratorio manejan niveles TTL (5V), tanto para sus entradas como salidas. Lo que hace al FPGA totalmente incompatible con éstos módulos.

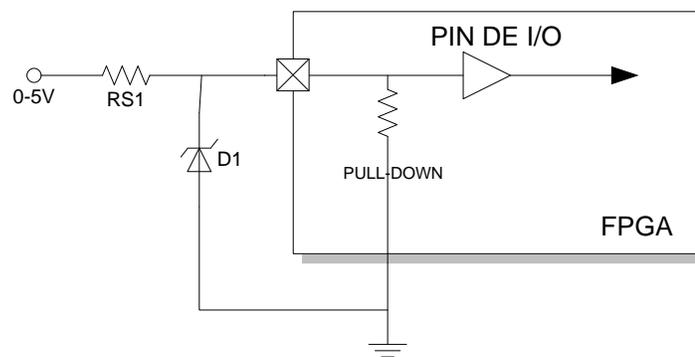


Figura 14. Diagrama de conexión para las entradas TTL

Una solución a este problema, es proporcionar entradas adaptadas para tensiones de 5V ya implementadas en la PCB. Para ajustar la tensión TTL al estándar de LVTTL, se empleó un circuito regulador de voltaje con zener. El circuito consiste en una resistencia serie de entrada y el diodo zener en paralelo a la carga, como se muestra en la Figura 14. El circuito debe cumplir con las siguientes características $V_{out}=3.3$ y la corriente

consumida por todo el circuito no debe superar los 20mA, ya que es el suministro máximo que proporciona una salida con estándar TTL.

Su funcionamiento es el siguiente: cuando la tensión de entrada aumenta se produce un aumento de corriente de entrada, como la tensión del diodo zener es constante, absorbe el exceso de corriente, mientras la resistencia de entrada absorbe esta variación de tensión.

Se designó 16 entradas, situadas en el banco 1 del FPGA. Al conectar una entrada TTL, el circuito regulara el voltaje a 3.3V y generará un estado lógico 1 en el pin del chip. Para asegurar un estado lógico 0, se debe activar la resistencia *pull-down* del pin asociado. La tabla los datos para las UCF de los cuatro pulsadores, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la activación de las resistencias del chip.

Tabla 11. UCF para las entradas TTL

Nombre	N° Pin	Estándar	Terminación
DIN1	P106	LVTTL	PULL-DOWN
DIN2	P107	LVTTL	PULL-DOWN
DIN3	P108	LVTTL	PULL-DOWN
DIN4	P109	LVTTL	PULL-DOWN
DIN5	P110	LVTTL	PULL-DOWN
DIN6	P112	LVTTL	PULL-DOWN
DIN7	P113	LVTTL	PULL-DOWN
DIN8	P115	LVTTL	PULL-DOWN
DIN9	P116	LVTTL	PULL-DOWN
DIN10	P118	LVTTL	PULL-DOWN
DIN11	P119	LVTTL	PULL-DOWN
DIN12	P120	LVTTL	PULL-DOWN
DIN13	P122	LVTTL	PULL-DOWN
DIN14	P123	LVTTL	PULL-DOWN
DIN15	P124	LVTTL	PULL-DOWN
DIN16	P126	LVTTL	PULL-DOWN

3.3.5. Salidas

Los pines del FPGA pueden ser configurados como salidas, pero cuentan con cierta limitación; es decir, dependiendo de su alimentación alcanzan a manejar un voltaje máximo de 3.3V y logran conducir corrientes que oscilan desde los 2 hasta 16 mA. En esta tarjeta electrónica, las salidas están configuradas con el estándar LVTTTL y con una corriente máxima de salida de 16mA. Lo que hace insuficiente para activar diferentes actuadores. Se ha decidido colocar salidas que manejen niveles de tensión de 5V; además, que cuenten con relés y opto-acopladores.

a) Salidas con relé

La PCB puede controlar otros circuitos de mayor potencia, mediante la utilización de dispositivos electromecánicos. Se tendrá cuatro salidas con relé. Existe una gran variedad de estos dispositivos, generalmente en aplicaciones didácticas, el voltaje de activación del relé es de 5VDC con una tensión de carga de 120 Vac.

El modelo de relé escogido es el SRC-5VDC-SH. Donde, el voltaje nominal de la bobina es de 5VDC, normalmente consume una corriente de 40mA y la resistencia de la bobina es de 125Ω. Opera a temperaturas de -45 a 50 °C. Maneja tensiones de hasta 120V y una corriente de 1A en AC, y hasta 30V con una corriente de 1A en DC. Posee 2 contactos normalmente abiertos (NO) y 2 contactos normalmente cerrados (NC).

Debido a la corriente necesaria para energizar la bobina, resulta inadecuado realizar una conexión directa al pin del FPGA. Para lo cual, se empleará un circuito disparador que maneje el elemento electromecánico. Se empleará un transistor tipo NPN en configuración emisor común y actuará en las regiones de corte y saturación. En esta configuración el transistor opera en dos estados, en corte, se comporta como un interruptor abierto y en saturación se comporta como un interruptor cerrado.

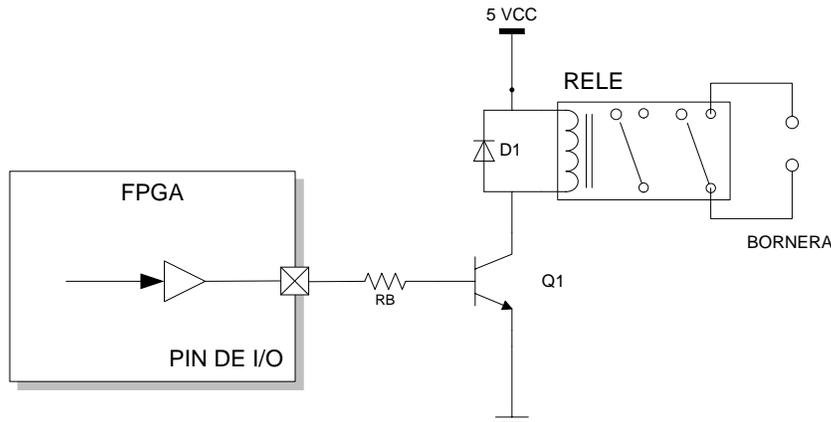


Figura 15. Diagrama de conexión de los relés

La bobina del relé estará conectada entre la alimentación y el colector del transistor. Adicionalmente, se colocará un diodo en paralelo a la bobina para la protección de efectos inductivos del elemento, es decir, cuando se deje de polarizar el transistor, el diodo absorberá dicha energía residual de polaridad opuesta. La Figura 15 se ilustra el esquema de conexión para el circuito disparador de relé.

Las cuatro salidas establecidas para la polarización del transistor se encuentran al banco 0, el pin está conectado a la base del transistor mediante una resistencia en serie de 10k Ω suministrando la corriente necesaria para la polarización del diodo. Si se activa la salida en alto se polarizará al semiconductor y el relé será activado. De los cuatro dispositivos electromecánicos, dos manejarán los contactos normalmente abiertos y éstos estarán disponibles en bornera, y los restantes se emplearán con los contactos normalmente cerrados de igual forma estarán disponibles en bornera.

La Tabla 12 proporciona los datos para las UCF de las cuatro salidas con relé, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 12. UCF correspondiente a las salidas con relé.

Nombre	N° Pin	Estándar	Respuesta	Corriente
RELE1	P161	LVTTL	SLOW	2
RELE2	P162	LVTTL	SLOW	2
RELE3	P163	LVTTL	SLOW	2
RELE4	P164	LVTTL	SLOW	2

b) Salidas con opto-acoplador

En aplicaciones donde se requiera controlar cargas resistivas o inductivas con altas velocidades de conmutación y aislamiento eléctrico entre los circuitos; además, si sus potenciales difieren en varios voltios. Es apropiado el uso opto-acopladores para dicho propósito.

De acuerdo con las características de voltaje y corriente que maneja el FPGA, se eligió el MOC3011 con encapsulado tipo DIP. Como componente tiene un fototriac, sin detección por cero, óptimo para manejar niveles de tensión de 120 Vac y opera a temperaturas de -40 a 85°C. El diodo led necesita un voltaje mínimo de 1.3V y una corriente nominal de 10mA, para lograr saturar este elemento.

Debido a las especificaciones eléctricas anteriormente descritas, se puede conectar directamente la salida del FPGA al MOC. El ánodo del Led está conectado a 3.3V mediante una resistencia en serie de 200Ω, que asegura los parámetros mínimos de operación, y el cátodo estará conectado a la salida del FPGA. El prototipo contará con 4 dispositivos de éste tipo y sus contactos quedarán disponibles en borneras, en la Figura 16 se muestra los diagramas de conexión del opto-acoplador.

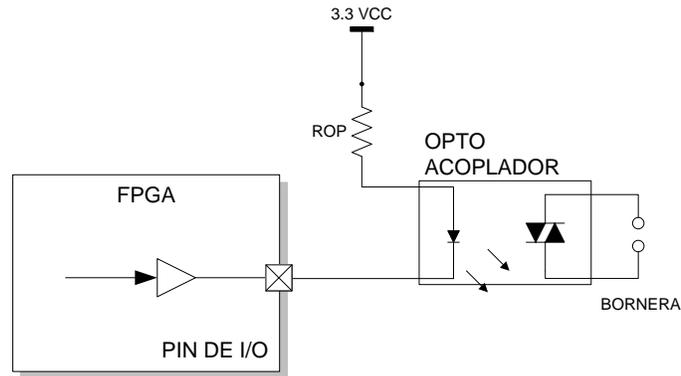


Figura 16. Diagrama de conexión del opto-acoplador

Con el fin de que los opto-acopladores sean controlados por el FPGA, se ha dispuesto 4 pines distribuidos en los banco 0 y 1. Este dispositivo funcionará con lógica negativa y su funcionamiento es el siguiente: para causar la saturación del MOC, el FPGA deberá generar un estado lógico 1 ó 0V y para la desactivación del mismo, deberá generar un estado lógico 0 ó 3.3V.

La Tabla 13 proporciona los datos para las UCF de las cuatro salidas con opto-acopladores, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 13. UCF para los opto-acopladores.

Nombre	N° Pin	Estándar	Respuesta	Corriente
OPT1	P160	LVTTL	SLOW	12
OPT2	P153	LVTTL	SLOW	12
OPT3	P152	LVTTL	SLOW	12
RELE4	P151	LVTTL	SLOW	12

c) Salidas digitales TTL

En el laboratorio existen equipos que ayudan o facilitan la simulación de diferentes procesos o salidas en general. Los módulos generalmente son construidos para manejar

niveles de tensión TTL, lo que hace necesario que la PCB proporcione directamente estos voltajes.

Para generar estas señales se empleó el circuito integrado 74LS241, que es un buffer tri-estado de 8 entradas y 8 salidas; posee 2 entradas de control, una activa por nivel bajo y otra por nivel alto. Este circuito integrado es unidireccional por lo que se lo emplea solo para enviar datos en un solo sentido, en la Tabla 14 se observa la tabla de verdad correspondiente al circuito integrado.

Tabla 14. Tabla de verdad para buffer 74LS241

Entradas		Salidas			
G	$\bar{\mathbf{G}}$	1A	2A	1Y	2Y
X	L	L	X	L	
X	L	H	X	H	
X	H	X	X	Z	
H	X	X	L		L
H	X	X	H		H
L	X	X	X		Z

Se estableció 16 salidas del FPGA para esta intención, éstas corresponden al banco 1. Conforme con los parámetros anteriormente descritos, se trabajará con lógica positiva, por lo tanto para generar un estado lógico 1, el pin del FPGA debe estar en alto ó 3.3V y si se quiere generar un estado lógico 0, la salida del FPGA debe encontrarse en bajo ó 0V, en la Figura 17 se muestra el diagrama de conexión.

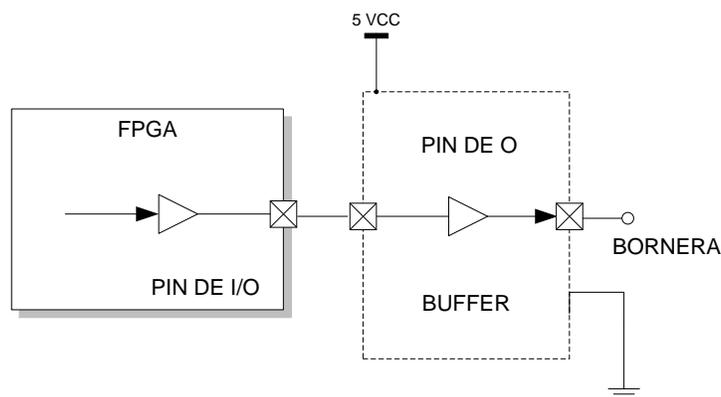


Figura 17. Diagrama de conexión para las salidas TTL

La Tabla 15 proporciona los datos para las UCF de las 16 salidas digitales TTL, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 15. UCF correspondiente a las salidas digitales TTL

Nombre	N° Pin	Estándar	Respuesta	Corriente
DO1	P150	LVTTL	SLOW	2
DO2	P147	LVTTL	SLOW	2
DO3	P146	LVTTL	SLOW	2
DO4	P145	LVTTL	SLOW	2
DO5	P144	LVTTL	SLOW	2
DO6	P140	LVTTL	SLOW	2
DO7	P139	LVTTL	SLOW	2
DO8	P138	LVTTL	SLOW	2
DO9	P137	LVTTL	SLOW	2
DO10	P135	LVTTL	SLOW	2
DO11	P134	LVTTL	SLOW	2
DO12	P133	LVTTL	SLOW	2
DO13	P132	LVTTL	SLOW	2
DO14	P129	LVTTL	SLOW	2
DO15	P128	LVTTL	SLOW	2
DO16	P127	LVTTL	SLOW	2

d) Barra de Led

Para la visualización de señales de salidas se empleará una barra de led. Se dispuso una matriz rectangular que contiene 10 leds independientes de color verde, la cual tiene una cara gris y los contornos blancos, y con un encapsulado de tipo DIP. El diodo led necesita un voltaje típico de 2V, el consumo de corriente normalmente es de 10mA, pero soportan hasta 25mA y su temperatura de operación va desde los -35 a 85°C

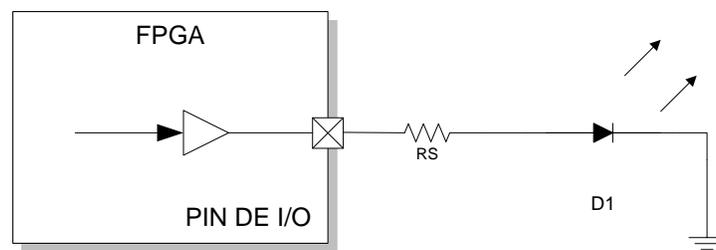


Figura 18. Diagrama de conexión de los LED

Los pines de FPGA son conectados al ánodo de cada led mediante una resistencia en serie de 200 y el cátodo a tierra. Se dispuso de 10 pines del chip, que están ubicados en el banco 3. Al originar un nivel lógico 1, el led se encenderá caso contrario, si se desea que el led este apagado se generará un nivel lógico 0, en la Figura 18 se muestra en diagrama de conexión para los diodos led.

La Tabla 16 proporciona los datos para las UCF de las 10 salidas a la barra de LED, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 16. UCF correspondiente a la salida a barra de LED

Nombre	N° Pin	Estándar	Respuesta	Corriente
LED1	P42	LVTTL	SLOW	12
LED2	P41	LVTTL	SLOW	12
LED3	P40	LVTTL	SLOW	12
LED4	P39	LVTTL	SLOW	12
LED5	P36	LVTTL	SLOW	12
LED6	P35	LVTTL	SLOW	12
LED7	P34	LVTTL	SLOW	12
LED8	P33	LVTTL	SLOW	12
LED9	P31	LVTTL	SLOW	12
LED10	P30	LVTTL	SLOW	12

3.3.6. Puerto LCD

En muchos proyectos es necesaria la visualización de información, comúnmente se utiliza pantallas de cristal líquido monocromáticas. La pantalla consta de una matriz de caracteres (generalmente de 5x7 puntos) distribuidos en una, dos, tres o cuatro líneas de 16 hasta 40 caracteres por cada línea. Dependiendo del microcontrolador integrado en el LCD, se tienen la capacidad de mostrar caracteres ASCII, caracteres japoneses Kanji, caracteres griegos y símbolos matemáticos.

Estas pantallas utilizan una interface estándar de 16 contactos, si el LCD no cuenta con retroiluminación simplemente se utiliza 14 contactos. Pueden ser gobernados a través de un bus de 4bits o de 8bit. En Tabla 17 se describe los pines disponibles en el LCD.

La placa electrónica contara con un conector macho de 16 posiciones, para este propósito. Acorde con los requerimientos de conexión, se dispondrá de 11 pines correspondientes al banco 3 del FPGA con el propósito de comandar al LCD, distribuidos de la siguiente manera: 2 salidas de control, 8 salidas designadas al bus de datos y 1 salida para controlar la retroiluminación. Este último pin servirá para manejar

cuando se enciende o se apaga la iluminación de la pantalla, se empleó un circuito con transistor BJT tipo NPN en configuración emisor común y que actuará en las regiones de corte y saturación.

Tabla 17. Pines de una pantalla LCD

Señal	Definición	Pines	Función
Vss	Tierra	1	GND
Vdd	Fuente de alimentación	2	Tensión de 5v
Vlc	Voltaje de excitación	3	Tensión para ajustar el contraste
RS	RegisterSelect	4	R/S=0, modo comando R/S=, modo carácter
R/W	Leer/Escribir	5	R/W=0, escribe en LCD R/W=1, lee del LCD
E	Enable	6	E=0, LCD habilitado E=1, deshabilitado
DB0:DB7	Bus de datos	<7:14>	Bus de datos.
LED+	Retroiluminación	15	Ánodo (+)
LED-	Retroiluminación	16	Cátodo (-)

El ajuste de contraste se lo realizara mediante un potenciómetro, que varía desde 0 a 1k Ω . Además, el pin E del LCD estará conectado a 5V, por medio de una resistencia. Cabe recordar que la pantalla maneja niveles lógicos TTL, sin embargo las salidas LVCMOS33 del FPGA cumplen con los niveles de tensión de este estándar. Por lo consiguiente se puede conectar directamente estos dos elementos.

La Tabla 18 proporciona los datos para las UCF del puerto para LCD, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 18. UCF correspondiente al puerto para LCD

Nombre	N° Pin	Estándar	Respuesta	Corriente
LCD_RS	P18	LVC MOS33	SLOW	2
LCD_R/W	P16	LVC MOS33	SLOW	2
LCD_E	P15	LVC MOS33	SLOW	2
LCD_D1	P12	LVC MOS33	SLOW	2
LCD_D2	P11	LVC MOS33	SLOW	2
LCD_D3	P9	LVC MOS33	SLOW	2
LCD_D4	P8	LVC MOS33	SLOW	2
LCD_D5	P5	LVC MOS33	SLOW	2
LCD_D6	P4	LVC MOS33	SLOW	2
LCD_D7	P3	LVC MOS33	SLOW	2
LCD_LED	P2	LVC MOS33	SLOWW	2

3.3.7. Puerto Teclado Matricial

En aplicaciones didácticas los teclados hexadecimales son los más utilizados, proporciona una interface sencilla de introducción manual de datos al sistema. Está constituido por 4 filas y 4 columnas, en cuyo cruce se encuentra un pulsador mecánico o de membrana. Dando lugar a la formación de 16 teclas con 8 líneas para su mando.

Para su conexión se empleó 8 pines del FPGA que están ubicados en el banco 3. Se debe activar las resistencias pull-up de las entradas del chip, estas corresponden a las 4 columnas del teclado. De esta forma si se coloca en 0 lógico en una fila se obtendrá un cero en la columna correspondiente cuando la tecla sea pulsada.

La Tabla 19 proporciona los datos para las UCF del puerto del teclado hexadecimal, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 19. UCF correspondiente al puerto para teclado hexadecimal

Nombre	N° Pin	Estándar	Respuesta	Corriente
TF3	P19	LVTTL	SLOW	2
TF2	P20	LVTTL	SLOW	2
TF1	P22	LVTTL	SLOW	2
TF0	P23	LVTTL	SLOW	2
TC3	P24	LVTTL	SLOW	2
TC2	P25	LVTTL	SLOW	2
TC1	P28	LVTTL	SLOW	2
TC0	P29	LVTTL	SLOW	2

3.3.8. Comunicación

a) Puerto Serie RS-232

La forma más común y sencilla de comunicar un dispositivo con un ordenador, así como el control de periféricos (impresoras, lectores de código de barras, etc) es a través del puerto serie con el estándar EIA232.

Esta comunicación utiliza nivel de tensión entre -12 a 12V, lo que hace necesario emplear un circuito que convierta los niveles LVTTL del FPGA a niveles RS232 y viceversa. Para lo cual se utilizó el transceiver MAX3232.

El dispositivo proporciona la interface eléctrica entre el FPGA y el conector del puerto serie. Se necesita cuatro capacitores externos para permitir dicha operación, soportan alimentaciones de 3.3V y 5V. Proporciona dos líneas para la recepción de datos.

Aprovechando los dos puertos del MAX3232, la PCB contara con un puerto DB-9 macho (DTE), el cual permitirá la conexión con otros periféricos como impresoras, modem, etc. Y un puerto DB-9 hembra (DCE), que admitirá la conexión directa con el

computador. Se dispondrá de 4 pines que pertenecen al banco 0 del FPGA para la comunicación serial. La figura ilustra la interconexión entre las E/S del chip con los puertos series.

La Tabla 20 proporciona los datos para las UCF de los puertos serie, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 20. UCF correspondiente a los puertos seriales

Nombre	N° Pin	Estándar	Respuesta	Corriente
DCE_TX	P202	LVTTL	SLOW	2
DCE_RX	P200	LVTTL	SLOW	2
DTE_TX	P203	LVTTL	SLOW	2
DTE_RX	P205	LVTTL	SLOW	2

b) Puerto USB -UART

El USB es un protocolo desarrollado para la estandarización de conexión y comunicación entre computadores y periféricos o dispositivos electrónicos. Además de proveer alimentación eléctrica. Actualmente, la mayoría de equipos electrónicos implementan este protocolo, debido a sus altas tasas de transferencia de datos han provocado el desplazamiento de conectores como el PS/2, puerto serie y puerto paralelo, considerados ya obsoletos.

Lo que hace necesaria la implantación de un puerto USB en la tarjeta. La cual permitirá la comunicación entre el FPGA y la computadora. Para agilizar el uso de éste protocolo en aplicaciones desarrolladas en el laboratorio, se utilizará un convertor USB a UART. El modelo elegido es el MCP2200 de Microchip, el módulo gestionará la transferencia de datos y los comandos de control entre éstos dos dispositivos.

La comunicación se lo realiza mediante el uso de comandos del puerto COM de Windows al conversor, y este se comunica con el FPGA por medio de un puerto serie de dos hilos, conjuntamente cuenta con señales de control de flujo de datos.

El MCP2200 es un controlador compatible con USB2.0, la comunicación UART por defecto es: velocidad de 19200 baudios con 8 bit de datos sin paridad y un bit de stop. Esta configuración puede ser cambiada mediante la herramienta MCP2200 Configuration Utility suministrada por Microchip. Cuenta con un buffer de 128 byte para manejar el rendimiento de datos a cualquier velocidad de transmisión. El dispositivo admite alimentaciones de 3.3 y 5 V con un consumo de 12mA y requiere una entrada de reloj de 12MHz.

Se ha designado 4 entradas/salidas de FPGA para este bloque, las cuales se encuentra ubicada en el banco 2. La figura ilustra la interconexión entre las E/S del chip con los puertos series.

La Tabla 21 proporciona los datos para las UCF del puerto USB, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 21. UCF correspondiente al puerto USB

Nombre	N° Pin	Estándar	Respuesta	Corriente
USB_TX	P62	LVTTL	SLOW	2
USB_RX	P64	LVTTL	SLOW	2
USB_CTS	P63	LVTTL	SLOW	2
USB_RTS	P65	LVTTL	SLOW	2

c) Puerto Ethernet

Si se desea conectar la tarjeta electrónica a una red de área local, para el control, monitoreo o transmisión de datos, se debe proveer un puerto Ethernet, siendo éste el

más usado. Es un protocolo definido por el estándar IEEE 802.3, que trabaja en la capa de enlace de datos y la capa física del modelo OSI. La capa física proporciona, para la transmisión de bits, las conexiones físicas, incluyendo la codificación, multiplexación, sincronización, recuperación de reloj, la serialización, etc. La capa de enlace de datos permite la transmisión de tramas de una manera libre de errores, incluyendo la secuencia de las tramas, control de flujo de tramas, dirección de destino etc.

Para proporcionar una interface de red Ethernet al FPGA, se empleó el chip ENC424J600. Es un controlador que cumple con las especificaciones del estándar IEEE 802.3 para transmisiones 10/100Base-T PHY, integra una dirección única MAC, soporta un puerto 10/100Base-T, auto-negociación, transmisiones *half* y *full dúplex*, encriptación de datos para seguridad. Para comunicarse con el FPGA implementa un puerto SPI con una velocidad máxima de transmisión de 14Mbit/s. Posee 2 pines dedicados usados para indicar el estado de la conexión a la red, y la actividad de transmisión y recepción de datos.

Se reutilizará el puerto SPI del FPGA para conectar el chip de Ethernet, incluyendo un pin para la habilitación de este. En el *Anexo A.6* se indica la conexión necesaria entre estos chips.

La Tabla 22 proporciona los datos para las UCF del puerto USB, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 22. UCF correspondiente al puerto Ethernet

Nombre	N° Pin	Estándar	Respuesta	Corriente
SPI_MOSI	P62	LVTTL	SLOW	2
SPI_SCK	P64	LVTTL	SLOW	2
SPI_MISO	P63	LVTTL	SLOW	2
USB_RTS	P65	LVTTL	SLOW	2

3.3.9. Bus SPI

El control y transferencia de datos de diferentes periféricos, que acepten un flujo de bits serie regulado por un reloj, se lo realiza mediante un bus SPI. Es un estándar de 4 líneas o hilos, una línea de reloj (SPI_SCK) utilizada para la sincronización, una línea de datos de entrada (SPI_MOSI), una línea para los datos de salida (SPI_MISO) y un pin de *chip select* por cada circuito integrado que se quiere controlar. Es una comunicación full dúplex, no limita la transmisión de tramas generalmente de 8bits sino que se puede configurar su tamaño, significado y propósito.

La transmisión empieza cuando el maestro (FPGA) envía una cadena de bits sincronizada con la señal de reloj al periférico (esclavo) seleccionado. Al mismo tiempo, el esclavo del bus proporciona datos en serie de nuevo al maestro del bus. Las señales del bus son compartidas con otros dispositivos por lo que es vital que los otros dispositivos se desactiven cuando la FPGA se comunica con un determinado chip, en la Figura 19 se ilustra la conexión del bus SPI en la PCB.

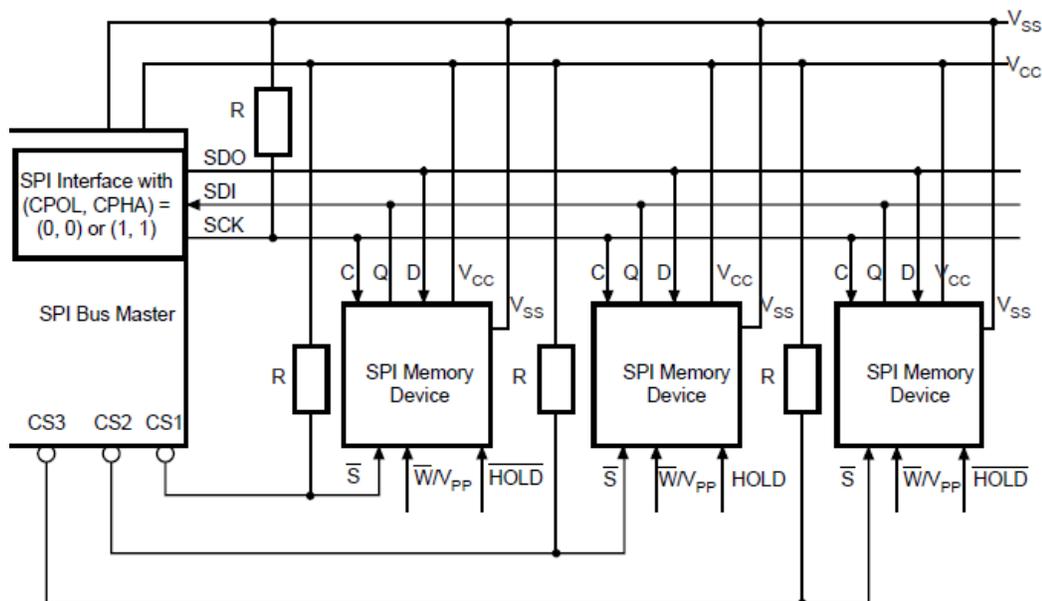


Figura 19. Diagrama básico de un SPI

Fuente: (Numonyx, 2010)

a) Conversor Análogo- Digital.

El procesamiento de señales analógicas se lo realizará mediante un conversor ADC incluido en la placa electrónica, éste dispositivo efectuará el muestreo a una velocidad fija y otorgará una señal digital.

En el mercado se encuentra numerosas opciones de conversores, para la elección del chip especialmente se consideró los siguientes parámetros: el nivel de tensión que operan, interface de comunicación con otros dispositivos, cantidad de canales de entrada y resolución. Se ha escogido el circuito integrado MCP3208.

Como características principales del chip se tiene: proporciona una resolución de 12 bits con una velocidad máxima de muestreo de 100ksps. Ofrece la opción de configurar los canales analógicos como entradas de un solo terminal o pares pseudo-diferenciales. De acuerdo a la configuración de los canales se tiene 8 entradas simples o 4 entradas pseudo-diferenciales, opera con tensiones de 3.3 y 5V con un consumo de 0.5mA y soporta temperaturas de -40 a 85°C. La comunicación con otros dispositivos se realiza mediante la interface SPI.

Las entradas pseudo-diferenciales son empleadas cuando se desea un rechazo de voltaje de modo común y si no se quiere vincular las referencias entre los circuitos integrados lo que conlleva a mediciones más precisas. La entrada negativa no tiene la intención de llevar señales de interés más bien funciona como una referencia para la señal positiva.

La conexión entre el FPGA y el conversor es a través del bus SPI existente en la placa, conjuntamente con un pin de *chip select* orientado a la habilitación del chip dentro del bus. Se inicia la comunicación llevando a bajo el pin de selección que corresponde al conversor, a continuación se envía un bit de inicio seguido de otro para indicar el modo usado (un solo terminal o pseudodiferencial) y los siguientes tres

(D2,D1,D0) para seleccionar el canal que se desee muestrear, como se muestra en la Tabla 23. Se necesita 24 ciclos de reloj para completar este proceso.

Tabla 23. Modo de operación del convertor análogo-digital

Bits de selección				Configuración de entrada	Canal
Sol/ difere	D2	D1	D0		
1	0	0	0	Un solo terminal	CH0
1	0	0	1	Un solo terminal	CH1
1	0	1	0	Un solo terminal	CH2
1	0	1	1	Un solo terminal	CH3
1	1	0	0	Un solo terminal	CH4
1	1	0	1	Un solo terminal	CH5
1	1	1	0	Un solo terminal	CH6
1	1	1	1	Un solo terminal	CH7
0	0	0	0	Pseudodiferencial	CH0=+IN CH1=-IN
0	0	0	1	Pseudodiferencial	CH2=+IN CH3=-IN
0	0	1	0	Pseudodiferencial	CH4=+IN CH5=-IN
0	0	1	1	Pseudodiferencial	CH6=+IN CH7=-IN

La Tabla 24 proporciona los datos para las UCF del convertor ADC, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 24. UCF correspondiente al convertor análogo-digital

Nombre	N° Pin	Estándar	Respuesta	Corriente
SPI_MOSI	P62	LVTTL	SLOW	2
SPI_SCK	P64	LVTTL	SLOW	2
SPI_MISO	P63	LVTTL	SLOW	2
ADC_CS	P98	LVTTL	SLOW	2

b) Convertor Digital-Análogo

El sistema tendrá la capacidad entregar valores analógicos a partir de datos binarios, lo que permitirá actuar sobre un medio externo que reconozca estas señales. Este

proceso es realizado por un conversor DAC, el cual asocia a cada valor binario un nivel de tensión previamente establecido. El modelo de conversor elegido es TLV5620CN.

Proporciona cuatro salidas análogas, para interactuar con el chip se requiere 11 bit donde 2 son destinados a la selección del canal de salida, 1 bit que estable la ganancia de salida y 8 bits para datos. Producen niveles de tensión que oscilan entre VCC y GND, acepta alimentaciones de 3.3 y 5V con un consumo de 2mA. Opera en el rango de temperaturas de -40 a 85°C. La comunicación con otros dispositivos se realiza sobre un bus serial de tres hilos.

Ésta conectada con el FPGA mediante las líneas SPI_MOSI y SPI_SCK del bus SPI de la placa, simultáneamente se utiliza 2 pines de chip para controlar la interacción entre estos elementos. La comunicación inicia cuando se transmiten 2 bit que direccionan a una salida específica y a continuación se transmiten los 8 bits de datos. Los datos son almacenados en el registro de entrada, una vez que todos los datos se encuentran disponibles se debe activar el pin *load* para transferirlos al DAC seleccionado. La actualización de la tensión de salida del conversor se produce cuando se lleva a bajo el pin *ldac*.

La Tabla 25 proporciona los datos para las UCF del conversor DAC, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la administración mínima de corriente.

Tabla 25. UCF correspondiente al conversor digital-análogo

Nombre	N° Pin	Estándar	Respuesta	Corriente
SPI_MOSI	P62	LVTTL	SLOW	2
SPI_SCK	P64	LVTTL	SLOW	2
DAC_LOAD	P98	LVTTL	SLOW	2
DAC_LDAC	P	LVTTL	SLOW	2

3.3.10. Oscilador

La instalación de un oscilador externo es esencial, principalmente para los sistemas que necesitan una señal de reloj que es orientada a la sincronización de operaciones dentro del chip. Éste genera una onda cuadrada y suministra la velocidad de trabajo del circuito. Para la placa electrónica se eligió el modelo F4100-600/BLK del fabricante Fox, es un oscilador de cristal de 60MHz, de montaje superficial y en la Tabla 26 se indica las principales características de este cristal.

Tabla 26. Parámetros de operación de cristal de 60MHz

Paramento	Valor
Corriente de entrada	25mA
Ciclo de trabajo	40% - 60%
Tiempo de subida	4ns
Capacitor de carga	15pF
Voltaje de alimentación	3.3V

La salida del oscilador estará conectada al FPGA, a través de la entrada de reloj global (GCLK) que proporciona el chip. Estos pines son adecuados para este propósito ya que tienen conexión directa con la entrada CLKIN del bloque DCM. La entrada seleccionada es el GCLK8.

La Tabla 27 proporciona los datos para las UCF de la entrada de reloj, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la activación de las resistencias del chip.

Tabla 27. UCF correspondiente al cristal de 60MHz

Nombre	N° Pin	Estándar	Terminación
CLK	P183	LVTTL	Sin terminación

3.3.11. Fuente

Es un elemento vital para el funcionamiento de los equipos electrónicos, se debe ser muy cuidadoso en el dimensionamiento de parámetros y especificaciones que ésta necesita. Teniendo en cuenta los requisitos de entrada, salida, eficiencia, exigencias mecánicas, costo, entre otros.

Dentro de los requerimientos de salida se considerará los valores máximos y mínimos de voltaje, corriente máxima que la fuente debe entregar. La tarjeta electrónica diseñada requiere de tres fuentes para su funcionamiento, siendo la alimentación de 3.3V la más utilizada, todos los elementos que la componen operan a este nivel de voltaje. Sin embargo para que el FPGA entre en funcionamiento requiere tensiones de 1.5V y 2.5V. Todos los suministros VCC, no deben fluctuar más de 5% por encima y 5% por debajo de su valor nominal.

La corriente que consumirá la PCB se determinara mediante el análisis de todos los bloque que la componen, con son la entradas, salidas, medios de comunicación y periféricos en general. La Tabla 28 detalla el consumo de corriente del FPGA de acuerdo con las exigencias de cada sección que posee.

Tabla 28. Consumo de corriente del FPGA

Elemento	Cantidad	Corriente nominal [mA] x unidad	TOTAL [mA]
FPGA		170	170
Pulsadores	4	2	8
Switch	4	2	8
Reles	4	50	200
Opto acopladores	4	12	48
Barra de LED	10	12	1200
Salidas TTL	16	20	320
Circuitos integrados	11	100	100
		TOTAL	2054

El sistema requiere una corriente mínima de 2A en el voltaje de 3.3V, de 100mA a un voltaje de 1.2V y 120mA para voltajes de 2.5V.

De acuerdo con las características de voltaje y corriente demandadas, se recomienda adquirir la fuente, ajustándose a los modelos disponibles en el mercado; ya que existe una gran cantidad de fabricantes especializados en la construcción de estos equipos. Lo cual aportaría al sistema un ahorro de espacio en la placa, a más de la confianza y seguridad del dispositivo.

En el país, las líneas de baja tensión operan con una tensión de 120V a una frecuencia de 60Hz, éstas normalmente son utilizadas en aplicaciones domésticas. Los enchufes y tomas corrientes empleados en los sistemas domiciliarios y en forma general son de tipo A (NEMA 1-15, dos polos) y tipo B (NEMA 5-15, tres polos).

Seria ineficiente colocar una fuente de alimentación por cada voltaje requerido en el prototipo, por lo tanto, se requerirá adaptador de pared de 5V, con una potencia de 15W. El suministro, la placa se lo realizara mediante un conector hembra de 2.5mm, por consiguiente se deberá montar en la tarjeta electrónica un conector macho compatible. También se instalará un switch para controlar el encendido y apagado de la tarjeta en general, y un LED que nos indicará éste estado.

Acorde con las exigencias de la tarjeta, se colocará un regulador de tensión de 3.3V, que consiga manejar una corriente mínima de 2.2A, incluyendo un margen de seguridad del 10%. Se ocupara el regulador de tensión ajustable modelo LM1085IT-ADJ, la tensión de salida se ajusta con dos resistencias externas como se muestra en la Figura 20, para obtener el nivel de voltaje deseado se colocará una resistencia de 100Ω en R1 y una de 170Ω en R2. Además, el regulador maneja una corriente máxima de 3A y también incluye un zener de banda prohibida, limitación de corriente y *shutdown* térmico.

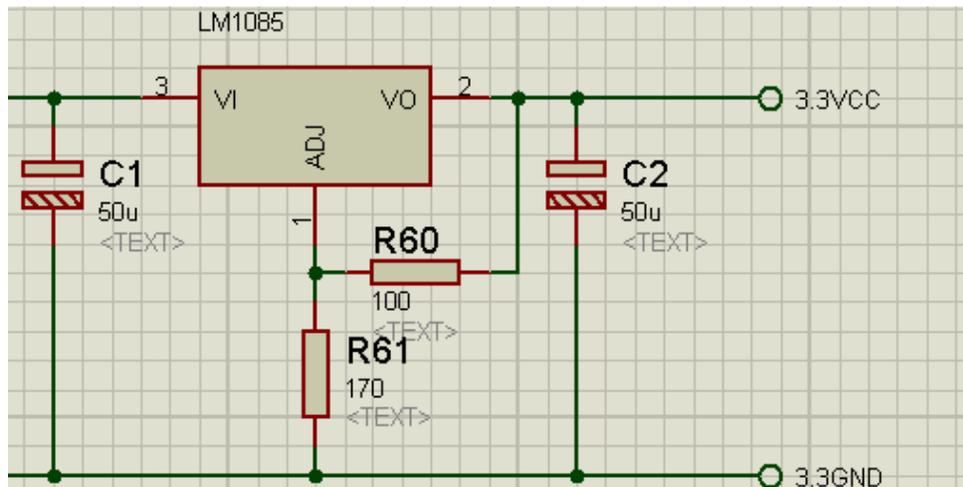


Figura 20. Diagrama de conexión del regulador de voltaje 3.3V

De igual forma, se empleara un regulador para el voltaje de 2.5V, éste habrá que entregar una corriente mínima de 0.15A. El modelo escogido es TLV2217-25KC, proporciona una tensión de salida fija, abastece una corriente máxima de 0.5A, brinda una precisión de salida muy estrecha de $\pm 2\%$, ofrece limitación interna de sobre corriente, protección de sobrecarga térmica y protección contra sobretensiones.

Por último, para el nivel voltaje de 1.2V también se empleara un regulador que controle un consumo mínimo de 0.15A. El tipo designado es el MCP1825S, suministra una tensión de salida fija, abastece una corriente máxima de 0.5A, brinda una protección de sobrecarga térmica y limitación de corriente en cortos circuitos.

3.3.12. Puerto de entradas y salidas de uso general.

Una vez concluido el diseño de los circuitos y la distribución de los periféricos se determina que no se emplearon todas entradas/salidas disponibles en el chip XC3S500E-4PQG208I. Por lo tanto se tiene: 15 pines de tipo entradas distribuidas en todo el FPGA y 20 pines de tipo entrada/salida correspondiente al banco 0.

Se dispone un conector macho de 20 pines para ocupar las entradas/salidas sobrantes, proporcionando al prototipo de tarjeta electrónica un puerto de uso general.

En la Tabla 29 proporciona los datos para las UCF para el puerto de uso general, incluyendo los pines de entrada/salida asignados, el estándar que manejan y la activación de las resistencias del chip.

Tabla 29. UCF para el puerto de uso general

Nombre	Pin	Estándar
PUG1	P165	LVTTTL
PUG2	P167	LVTTTL
PUG3	P168	LVTTTL
PUG4	P171	LVTTTL
PUG5	P172	LVTTTL
PUG6	P177	LVTTTL
PUG7	P178	LVTTTL
PUG8	P179	LVTTTL
PUG9	P180	LVTTTL
PUG10	P181	LVTTTL
PUG11	P185	LVTTTL
PUG12	P186	LVTTTL
PUG13	P187	LVTTTL
PUG14	P189	LVTTTL
PUG15	P190	LVTTTL
PUG16	P192	LVTTTL
PUG17	P193	LVTTTL
PUG18	P196	LVTTTL
PUG19	P197	LVTTTL
PUG20	P199	LVTTTL

CAPÍTULO 4

DISEÑO E IMPLEMENTACION DE LA TARJETA DE CIRCUITO IMPRESO (PCB)

La tarjeta de circuito impreso es el medio físico que interconecta eléctricamente los circuitos integrados, componentes activos y pasivos, y otros dispositivos. La base está conformada de un material aislante que proporciona un soporte mecánico a todos los conductores y demás elementos anteriormente mencionados. Generalmente los conductores son de cobre y están firmemente adheridos a la base, los cuales funcionan como conexión entre los elementos y proveen puntos de fijación para la soldadura de los dispositivos.

El diseño de la PCB tiene un fuerte efecto sobre el rendimiento eléctrico y mecánico del producto final, por tal motivo se debe tener presente los estándares suministrados por instituciones u organizaciones, ya que estos regulan el diseño, ensamblado y control de calidad de los circuitos impresos.

4.1. Consideraciones generales para el diseño de la PCB

Los principales factores técnicos que intervienen en el diseño de un equipo eléctrico son los mecánicos y eléctricos. Estos factores son muy importantes porque permiten la selección apropiada de materiales y técnicas de manufactura; logrando optimizar el rendimiento y funcionalidad de la tarjeta electrónica.

4.1.1. Consideraciones de diseño mecánico

Dentro de las principales consideraciones para el diseño mecánico se estipula las características físicas como el tamaño, forma, peso, localización y montaje de los

elementos, tolerancias y blindaje. Además, de especificar el número y espesor de las capas, tamaño de los agujeros y *pads*. Entre los cuales se encuentran las siguientes:

a) Tipo de Tarjeta

La elección del tipo de tarjeta se deberá considerar previamente el diseño del circuito y si se desea mantener al mínimo el costo que empleará la tarjeta de un solo lado. Las placas de doble lado, son elegidas cuando la complejidad y densidad del circuito lo amerite. Para unir los conductores de diferentes capas se emplea agujeros metalizados o vías. El costo de la placa de doble lado será de 5 a 10 veces más que la de un solo lado.

Se elegirá una placa de doble lado con agujeros metalizados por la densidad de prototipo, no solamente del chip del FPGA, sino del tipo de encapsulado que tienen los demás circuitos integrados; razón por la cual esto hace que el diseño de la tarjeta sea complejo.

b) Tamaño y forma de la tarjeta

Antes de iniciar el diseño del *layout*, se debe establecer la geometría de la placa, lo que determina la forma y tamaño de la misma. Para alcanzar la geometría apropiada de la placa se realizó las siguientes consideraciones:

- *Área total ocupada*. Se establece el área que ocupa cada uno de los elementos empleados en la tarjeta. Para lo cual, se suma todas las superficies de los elementos que conforman la lista de partes. El espacio o área a considerar de los componentes es el tamaño máximo del *footprint*, las cuales se obtienen de las hojas técnicas o simplemente se realiza una medición de los mismos.
- *Factores externos*. Es importante saber si la tarjeta electrónica va a ser colocada en una carcasa, para lo cual se considerará el volumen máximo disponible, incluyendo distancias de seguridad. Además, es aconsejable establecer un área del 5 a 10 por ciento para cualquier modificación.

- *Sujeción de la tarjeta.* Los agujeros de sujeción y zonas de seguridad son fijos en la placa, por lo tanto, su dimensión y ubicación son importantes para la obtención del área neta de la PCB.

Por lo tanto, se dividió al sistema propuesto en dos tarjetas electrónicas, de acuerdo a la cantidad, espacio y predisposición de averías en los elementos empleados; principalmente en los bloques de entrada/salida digitales TTL y salidas que controlan circuitos de mayor potencia.

La primera tarjeta electrónica estará conformada por el FPGA, módulos de comunicación, el bloque de memorias, los pulsadores, switch, puerto para el teclado hexadecimal y LCD, barra de LEDs, y los conversores DAC y ADC. Esta tarjeta será considerada como la principal o de control, que tiene las dimensiones 17x18cm, que corresponde al tamaño C2 según la norma IPC-2221.

La segunda tarjeta electrónica está compuesta por las entradas digitales TTL, salidas con relé, salidas con opto acoplador y salidas digitales TTL. A esta tarjeta se la identificará como de expansión y sus dimensiones son: 12x12cm.

Para la interconexión entre estas dos tarjetas, se utilizará un conector de 40 pines distribuidos en dos líneas que será usado únicamente para las entradas/salidas del FPGA. Se energizará la tarjeta de expansión mediante un conector de 3 polos, los cuales conducirán 3 y 5 voltios, a más de una línea de referencia o GND. Estas líneas de alimentación provienen de la tarjeta principal.

Para finalizar, los orificios de montaje se encuentran localizados en el borde más lejano de la tarjeta, siendo un total de 4 orificios con un diámetro de 3.175mm. Al determinar el área de seguridad para los tornillos y arandelas, se empleó una franja de seguridad de 2 y 5 mm en todos los bordes.

c) Montaje de elementos

En el proceso de montaje de elementos, la orientación juega un papel muy importante. Los reguladores de tensión, capacitores electrolíticos y transistores tendrán una disposición vertical, porque con esto se conseguirá que la superficie ocupada sea menor. El uso de esta técnica es recomendada si el área es limitada, pero una de las desventajas es que dificulta la forma y el ensamblaje del componente. Así mismo, se considerará la existencia de restricciones de altura.

Por otro lado, las resistencias estarán dispuestas de forma horizontal, la elección de esta orientación se debe al tipo de encapsulado del componente a más de aprovechar esta ubicación sirva para disipar el calor generados en estos elementos.

d) Tolerancias para la fabricación

Para el diseño de esta tarjeta electrónica, la tolerancia admisible es de +0.25 a +0.5mm. Es importante recordar que todo diseño debe incluir una tolerancia, principalmente cuando se tiene tarjetas electrónicas de grandes densidades, inclusive al dimensionar las tolerancias se puede disminuir el costo de fabricación.

e) Composición física

La tarjeta electrónica se encuentra compuesta físicamente por: capas conductoras o láminas, material aislante o sustrato, y recubrimiento. Sus características son las siguientes:

- El prototipo de la tarjeta electrónica cuenta con una lámina conductora de cobre, el cual es empleado para revestir el sustrato y tiene un espesor de 1 oz/ft² por cada lado de la placa.
- El sustrato empleado es FR-4 (*FlameRetardant*) con un espesor de 1.5 mm, está compuesto por fibra de vidrio y una resina de epoxy (típicamente bromo); que lo convierte resistente al fuego. Este material es capaz de conservar sus cualidades mecánicas y de aislamiento eléctrico en condiciones tanto secas y húmedas.

- La máscara anti suelda es una capa de laca delgada de un polímero, que se utilizó para la protección contra la corrosión y soldadura indeseada entre pistas o pines adyacentes que a su vez recubre el cobre grabado.

4.1.2. Consideraciones eléctricas

Las consideraciones eléctricas para el diseño del prototipo de la tarjeta electrónica se describen en las siguientes secciones:

a) Sistema de distribución de energía

El Sistema de distribución de energía es un factor importante en el diseño electrónico, que se suministra la alimentación a los diferentes componentes de la tarjeta electrónica, se evita las emisiones de radio frecuencia, y se divide a la tarjeta en zonas de acuerdo a la frecuencia de operación de sus elementos. De acuerdo a la explicación se hará a continuación:

- *Para suministrar la alimentación a los diferentes elementos electrónicos. Se procedió a diseñar las conexiones de la fuente mediante el uso de buses que se ubican en los bordes de la placa, como se visualiza en la Figura 21. Posteriormente para el retorno de la corriente se generó planos a tierra, los cuales están ubicados en las dos capas de la placa o tarjeta electrónica, a una distancia de 0.025 pulgadas de las pistas, vías y pad.*

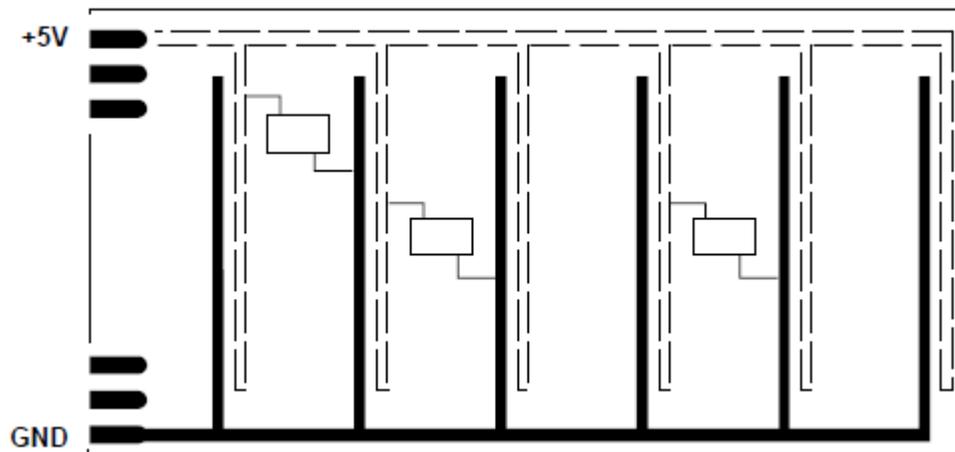


Figura 21. Sistema de distribución de alimentación

- *Para reducir las emisiones de radiofrecuencia y crosstalk.* Es recomendable utilizar una red de desacoplo o red de capacitores, los cuales almacenan localmente pequeñas cantidades de energía para el chip y es empleada para responder muy rápidamente a los cambios de demandas transitorias ya que el regulador de tensión no pueda responder instantáneamente al cambio.

En el diseño de la red de capacitores, se recomienda utilizar una amplia gama de valores de capacitores que cubran rangos de alta y baja frecuencias, ver Tabla. La disposición de éstos será en paralelo y un capacitor por cada pin de Vcc. Además, deben estar situados lo más cerca posible del chip dependiendo de la función de desacoplamiento que realizan (Xilinx, 2014).

Tabla 30. Rango de capacitores

Frecuencia	Capacitor [uF]	Distancia
Baja	47 a 470	Cualquier lugar de la PCB
Media	4.7 a 47	Máximo a 8 cm del chip
Alta	0.001 a 0.01	De 1 a 2 cm del chip

Los elementos de la tarjeta electrónica se encuentran divididos de acuerdo a la frecuencia de operación, como se muestra en la Figura 22.

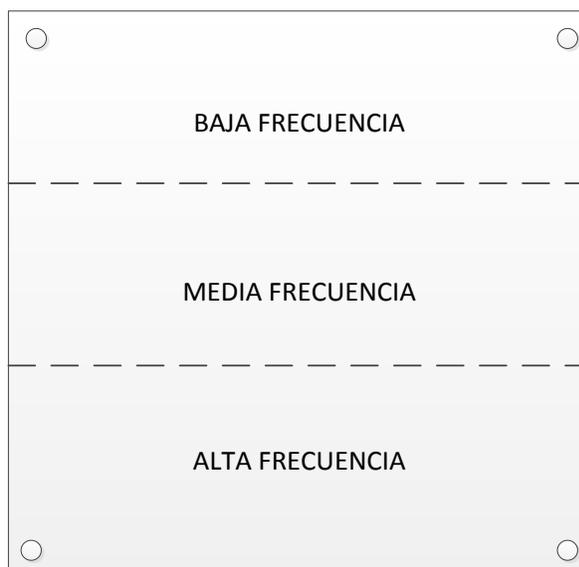


Figura 22. División de zonas de acuerdo a la frecuencia de operación

b) Tipos de circuitos

Los principales tipos de circuitos que se encuentra en la tarjeta electrónica son los siguientes: fuente de alimentación, circuitos analógicos, circuitos digitales, etc. Los cuales están delineados en áreas perfectamente identificadas de acuerdo a su función. En la Figura 23 y 24 se indica la distribución de los circuitos, considerando estas recomendaciones.

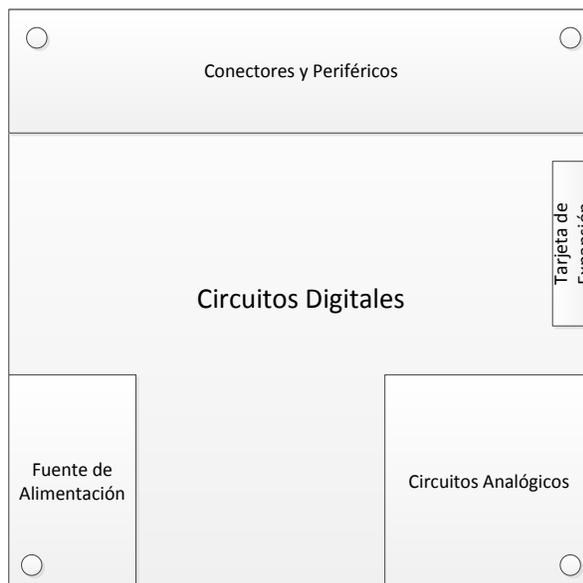


Figura 23. División de la tarjeta principal de acuerdo a la función



Figura 24. División de la tarjeta de expansión de acuerdo a la función

En la tarjeta electrónica se utilizó el mismo nivel lógico para todos los dispositivos mencionados en las anteriores secciones, la cual facilita el uso de normas de diseño y de interconexión.

c) **Tamaño de los conductores o pistas**

Lo primero que se debe considerar al momento de definir el tamaño de los conductores o pistas es las recomendaciones de la norma IPC2221, las cuales manifiestan que, se debe considerar la capacidad de corriente que estos necesitan conducir a todas las áreas del sistema. A su vez, para el prototipo de la tarjeta electrónica se procedió a dividir en dos clases de líneas conductoras.

La primera clase de línea conductiva sirve para la distribución de energía, la cual está conformada por un bus de 3 líneas. En la Tabla 31 se especifica el voltaje, corriente y ancho de la pista.

Tabla 31. Voltaje, corriente y ancho de pista

Voltaje	Corriente	Ancho de Pista
[V]	[A]	[pulgadas]
3.3	2.5	0.025
2.5	0.2	0.0025
1.2	0.2	0.0025

La segunda clase de línea conductiva que se consideró es para la interconexión entre los circuitos integrados, componentes pasivos y activos, con una corriente máxima a manejar de 40mA. Por lo tanto el ancho mínimo de las pistas es de 0.001pulgadas.

d) **Espacio libre**

Las consideraciones de espacio libre que requieren los conductores se determinan por la diferencia de tensión máxima entre conductores adyacentes, parámetros de acoplamiento capacitivo y el uso de un recubrimiento. La selección de la separación mínima entre los conductores es de acuerdo a la norma IPC-2221. Sin embargo es recomendable maximizar esta distancia.

Tomando en cuenta los parámetros y características de la tarjeta electrónica a diseñar, se tiene en conclusión que el espacio mínimo de las pistas es de 0.05mm ó 0.002 pulgadas.

e) Forma de las pistas

En la forma de las pistas para el diseño del *layout* se recomienda utilizar giros de 45° como se muestra en la Figura 25. Es imprescindible recordar que los conductores que se extienden en línea recta y luego giran 180° sobre sí mismo, toman la forma de una antena. De igual forma sucede con giros de 90°. A su vez las curvas con ángulos agudos y formas cerradas de las pistas se deben evitar totalmente.

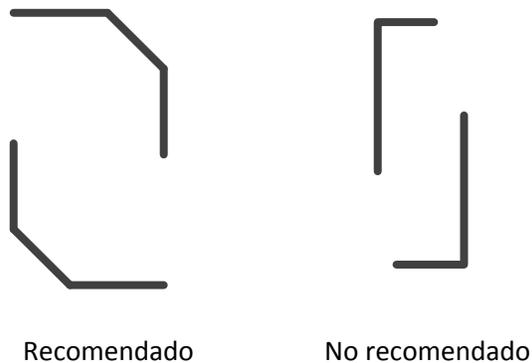


Figura 25. Forma de las pistas

4.2. Manejo térmico

El manejo térmico es uno de los factores que se consideró al momento de diseñar la tarjeta electrónica, el objetivo de este es buscar que los elementos presentes en el prototipo tengan una adecuada refrigeración y funcionen en condiciones normales, para esto se tomaron en cuenta las siguientes recomendaciones:

- 1) Elegir elementos que soporten altas temperaturas.
- 2) Apartar los elementos sensibles al calor de las fuentes que generan altas temperaturas.
- 3) Asegurar un modo de transferencia de calor para la disipación del mismo.

La tarjeta electrónica está conformada por los siguientes elementos:

- Elementos pasivos (resistencias, capacitores y cristales).
- Elementos activos (diodo zener y transistor bipolar)
- Circuitos digitales.

A continuación se analiza el consumo de cada uno de estos elementos:

a) Elementos pasivos

En este caso se tomó en cuenta solo la resistencia que conforman el circuito, porque pueden ser categorizadas como uno de los elementos pasivos más críticos. Para elegir estos elementos dentro de la tarjeta electrónica se consideró el componente con mayor consumo de potencia porque se logra unificar el encapsulado de estos elementos

Para el cálculo de la potencia de la resistencia se empleó la Ecuación 2:

$$P = V * I$$

Ecuación 2

Se tiene en la resistencia una corriente de 20mA y una tensión de 5V, reemplazando estos valores en la Ecuación 2 se puede concluir que de acuerdo a la potencia consumida por este elemento se eligió resistencias de un cuarto de vatio.

b) Elementos activos

El primer elemento activo que se tomó en consideración es el diodo zener, para lo cual se calculó la potencia de consumo, como se muestra en la Ecuación 2

De la Ecuación 2 se estimó un voltaje de 3.3V y una corriente de 17mA, por consiguiente se eligió el diodo zener axial de medio vatio y montaje con orificio pasante.

Por otro lado, para el cálculo de la potencia consumida por el transistor BJT 2n3904 se tomará en cuenta la Ecuación 3:

$$P_{CB} = V_{CB} * I_C \quad \text{Ecuación 3}$$

Con relación al valor obtenido en la ecuación 3, se optó por un transistor con encapsulado TO-92, el cual tiene una disipación máxima de 650mW.

c) Circuitos digitales

El prototipo de la tarjeta electrónica tiene un consumo de corriente el cual depende de la aplicación desarrollada sobre él, esto es algo poco común ya que la mayoría de circuitos integrados son diseñados para una tarea específica con requisitos de energía fijos. Por lo tanto, el manejo térmico en estos elementos es casi nulo. A más de esto el fabricante de nuestra tarjeta electrónica suministra todos los datos necesarios para el análisis térmico de la misma, en caso de ser requerido.

d) Regulador de voltaje

Dentro de la tarjeta electrónica se cuenta con tres elementos que regulan y suministran tensión a todo el sistema. Si se analiza el manejo de cada componente, se puede observar que para los reguladores de 1.2 y 2.5V no se necesitan elementos adicionales que ayuden en la disipación de calor, debido a que manejan potencias de aproximadamente 551mW.

Esto no ocurre de la misma manera en el regulador de 3.3V, porque la potencia que éste maneja es variable, por lo que se tiene que analizar con más detalle los diferentes escenarios en los que se podría encontrar, los cuales se describen a continuación:

- *Consumo nominal o constante.* En este estado se tiene un consumo fijo, provocado por la energización de los diferentes circuitos integrados que conforman la tarjeta electrónica, el cual es 320mA.

- *Consumo transitorio*, Este consumo se añadió al consumo nominal y depende principalmente de la aplicación descargada en la tarjeta electrónica. Para motivos de análisis se consideró un funcionamiento de un 50%, es decir que la mitad de sus entradas/salidas estén activadas, teniendo en cuenta la limitación de conmutación simultánea. De tal manera que se tiene 30 salidas activadas distribuidas en dos bancos y cada una de ellas maneja una corriente de 16mA, que en conjunto suman 480mA. En este escenario, la corriente que debe suministrar el regulador será de 800mA.

4.3. Desarrollo de la PCB layout

Para la generación de la PCB layout se empleó herramientas de diseño electrónico automatizado (EDA), y se optó por el paquete de diseño electrónico que brinda Proteus, que consta de los programas ISIS (empleado para la creación y simulación de esquemáticos) y ARES (utilizado para el diseño de PCB). Para este diseño electrónico se toma en cuenta los siguientes pasos o lineamientos:

a) Captura del esquema

Es necesario que todos los diagramas esquemáticos generados en las anteriores secciones se encuentren desarrollados en el programa ISIS. Para lo cual, esta herramienta ofrece librerías que ayudan a la representación gráfica de los componentes.

Sin embargo, para la mayoría de circuitos integrados que conforman el prototipo de la tarjeta electrónica no se pudo encontrar una librería apropiada. Por tal razón, hubo la necesidad de hacer el levantamiento de esta información de acuerdo con las características físicas de cada elemento.

Una vez concluidos estos pasos, se procedió a generar una *netlist* (lista de nodos), donde se detalla los pines, nodos existentes y conexiones; luego con esta lista se puede

utilizar para la verificación de las conexiones existentes en la tarjeta electrónica. Esta lista es importada por el programa de ruteo, siendo en este caso ARES.

b) Configuraciones iniciales

Las configuraciones iniciales en el programa ARES son las siguientes:

- Unidad de medida, que por defecto es el sistema inglés o imperial
- De acuerdo a la delimitación del área de trabajo esta correspondería a 12x10 pulgadas.
- El espacio de la cuadrícula es de 0.001.
- El tamaño de la tarjeta electrónica se delimitó de acuerdo con la sección 111.

Así también se definieron las reglas de diseño electrónico, las cuales fueron delimitadas en las anteriores secciones. Con el fin de ajustar los parámetros de diseño, el programa ARES proporciona la herramienta *Design Rule Manager*. Esta permite cargar parámetros, tales como: distancia o espacio entre pistas, componentes, y borde de la tarjeta. Además, permite la configuración del ancho de la pista, dimensiones de las vías y configuración de la cantidad de capas a emplear en el prototipo.

c) Distribución de elementos

La ubicación de los componentes de la tarjeta electrónica se la realizó de forma manual, a pesar de que el software ARES permite la colocación de elementos de forma automática, pero no identifica que algunos conectores deben ir al borde de la tarjeta electrónica o que esta tarjeta se encuentra dividida en diferentes secciones de acuerdo al tipo de circuito. Por lo mencionado se deben considerar los siguientes aspectos:

1. Colocar el componente más crítico, que en este caso es el chip de FPGA, considerando las áreas previamente establecidas en las secciones 411 y 4113.
2. Situar los componentes menos críticos, los cuales son todos los circuitos integrados con los que cuenta el prototipo, estos deben ser ubicados de acuerdo al flujo de las señales o conexiones a otros elementos.

3. Distribuir los conectores, switchs, pulsadores, led y puertos de comunicación; estos últimos deben estar lo más cerca posible al chip asociado, si existiera y por último los elementos activos y pasivos.
4. Colocar los componentes en fila o columna, lo cual ayuda a tener una buena visión general.

d) Enrutamiento

Después de concluir con la inserción de los componentes en el área correspondiente a la tarjeta electrónica, se procedió a realizar las conexiones físicas, para lo cual, se empleó la función ruteo automático que proporciona ARES. Aquí se puede configurar principalmente el número de interacciones para la generación de las conexiones físicas.

e) Verificación y corrección

Para la verificación de errores, tales como: distancia entre pistas, pista-pad, pad-pad, pad-vía etc. Se usó la opción *DesignRuleCheck DRC errors*, y para comprobar que cada una de las conexiones establecidas haya sido ruteada de forma correcta, se usó la opción Tools/conectivity checker.

En caso de ser necesario se puede corregir algunos defectos y optimizar el *layout* de forma manual. Por último, se generó el plano de tierra del circuito impreso y para ello se escogió la opción Tools/PowerPlanegenerator.

4.4. Diseño preliminar

Una vez concluidas todas las etapas de diseño, finalmente se obtiene el prototipo de la placa de circuito impreso. Ares proporciona una herramienta de visualización 3D de la tarjeta electrónica diseñada, lo cual permite observar las diferentes capas que la componen, por ejemplo los conductores, vías, serigrafía, etc. Además, se puede visualizar un aproximado del ensamblado final de los componentes, como se muestra en la Figura 26 y Figura 27.

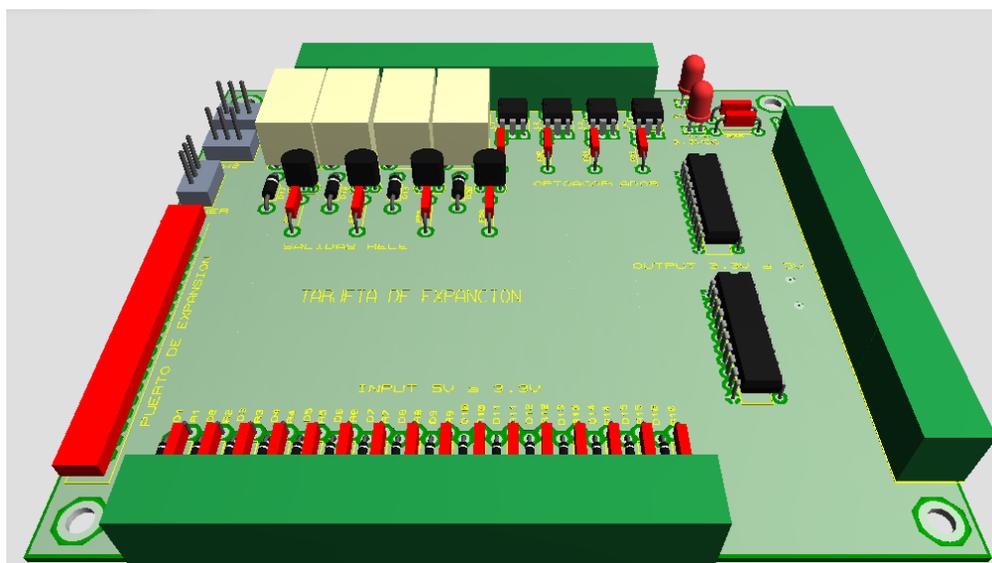


Figura 26. Visualización 3D de la tarjeta de expansión

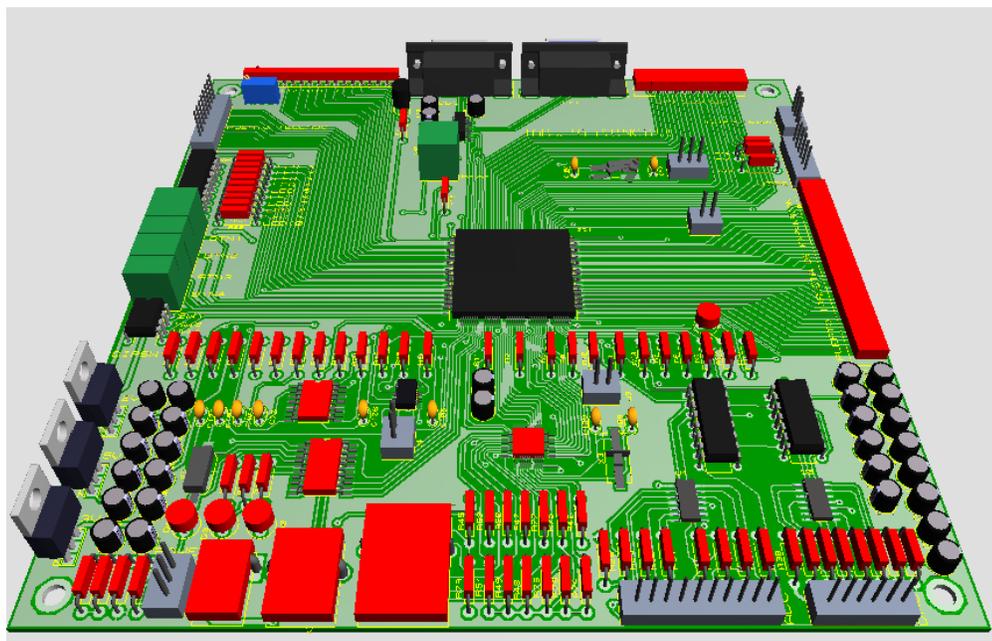


Figura 27. Visualización 3D de la tarjeta de Control

4.5. Proceso de manufactura y Test

Con el propósito de realizar el mayor número de tareas dentro del país todo el proceso de manufactura del prototipo de tarjeta electrónica estuvo a cargo de una empresa nacional, Smelektronics.

Esta empresa fue la encargada de suministrar la tarjeta electrónica para su posterior montaje y soldadura de sus elementos. Cabe recalcar, que todas las consideraciones de diseño anteriormente descritas deben estar en consecuencia con las capacidades y limitaciones de la industria nacional. Posteriormente se empleó el ensamblaje manual para la colocación de los componentes y soldadura en el prototipo de tarjeta electrónica desarrollada.

Por último, para realizar la inspección y localización de defectos de fabricación, se recurrió a realizar pruebas *in-circuit*. Estas pruebas consisten en verificar la existencia de corto circuitos y de circuitos abiertos, que es una alternativa de bajo costo para el testeado de tarjetas electrónicas.

CAPÍTULO 5

PRUEBAS Y ANÁLISIS DE RESULTADOS

Una vez concluidas las diferentes etapas de diseño e implementación del prototipo de la tarjeta electrónica, se realizaron las pruebas de funcionamiento y análisis de resultados, con el propósito de examinar e identificar posibles fallas que puedan afectar al desarrollo de las aplicaciones en la tarjeta.

Para realizar las pruebas de funcionamiento, se optó por desarrollar una aplicación básica de control, la cual permite evaluar el desenvolvimiento del prototipo de la tarjeta electrónica en las áreas sensibles y en condiciones críticas, siendo estas: la conmutación simultánea de salidas, señales de reloj y sistema de comunicación con periféricos. Su desarrollo se realiza en el siguiente subtema:

5.1. Aplicación de control

La aplicación de control consiste en el desarrollo de 4 PWM independientes ya que los FPGA cuentan con la ventaja de procesamiento de datos de forma paralela. Estos son manipulados desde una HMI que fue desarrollada en Java empleando el IDE NetBeans 7.3.1. Para la comunicación entre la tarjeta electrónica y el computador, se tiene una interface USB.

La aplicación desarrollada permite modificar independientemente los parámetros de cada uno de los PWM, mediante la interface desplegada en el computador. Para lograr este propósito se divide al sistema en tres partes: hardware, firmware y software, las que están descritas en las secciones 5.1.1, 5.1.2 y 5.1.3.

5.1.1. Diseño del Hardware de la aplicación

El hardware empleado para esta aplicación debe cumplir con los requerimientos necesarios para lograr su implementación. A continuación se puntualizan los elementos necesarios para esta tarea:

- Una unidad lógica que permita la ejecución de los PWM de forma independiente, a más de permitir la comunicación con otros dispositivos o periféricos.
- Diodos Leds para visualizar el comportamiento de cada uno de las PWM desarrollados.
- Una interface que permita la comunicación entre el prototipo y el computador mediante un cable USB.
- Elementos necesarios para la salida de la señal del PWM a otros equipos, manteniendo el aislamiento eléctrico necesario.

El funcionamiento interno del sistema y las relaciones entre los elementos empleados del prototipo de la tarjeta electrónica son descritos a continuación:

a) Diagrama de bloques del hardware del sistema

La Figura 28 representa gráficamente la relación existente entre los diferentes elementos que constituyen el hardware del sistema.

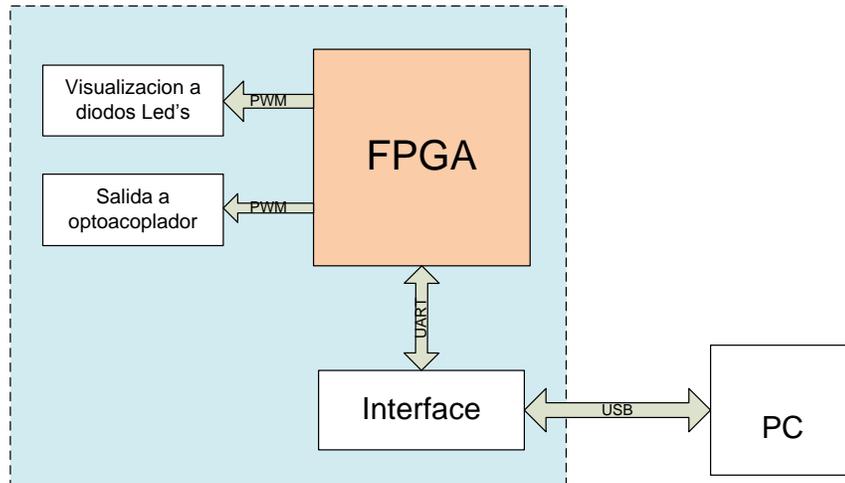


Figura 28. Diagrama de bloques para el PWM

b) Componentes del Hardware

Los elementos empleados en esta aplicación de control son detallados a continuación:

- *Unidad lógica.* Para el procesamiento de datos y generación del PWM se utilizó el chip: XC3S500E-4PQG208I
- *Interface de comunicación.* Se empleó el chip: MCP2200, que es un conversor USB a UART.
- *Barra de LED.* Esta barra está conformada por 10 diodos LED de los cuales se utilizó 4 para la implementación de la aplicación de control.
- *Salida a opto acoplador.* Para la salida de la señal del PWM a otros equipos se usó un MOC3011.

5.1.2. Diseño del Firmware del sistema

Para el desarrollo del firmware se empleó el software ISE 10.1, el cual permite generar el archivo de configuración del FPGA, que posteriormente será cargado en este chip. Cabe recalcar que este programa permite el empleo de varios lenguajes como: Esquemático, Verilog y VHDL. En el caso del firmware el lenguaje a usar fue el

VHDL, debido a la familiarización y manejo de las diferentes instrucciones que cuenta este lenguaje de programación.

Para la elaboración del programa que será cargado en el FPGA se analizaron los siguientes requisitos a cumplir:

- Generar independientemente 4 PWM sin afectar otros procesos dentro del chip.
- La manipulación de los parámetros que intervienen en la generación del PWM, como son: resolución y ancho de pulso.
- Administrar la comunicación entre el FPGA y el computador, permitiendo la transmisión y recepción de datos.

En la Figura 29, se muestra el diagrama de flujo de forma general la estructura del programa desarrollado para el FPGA.

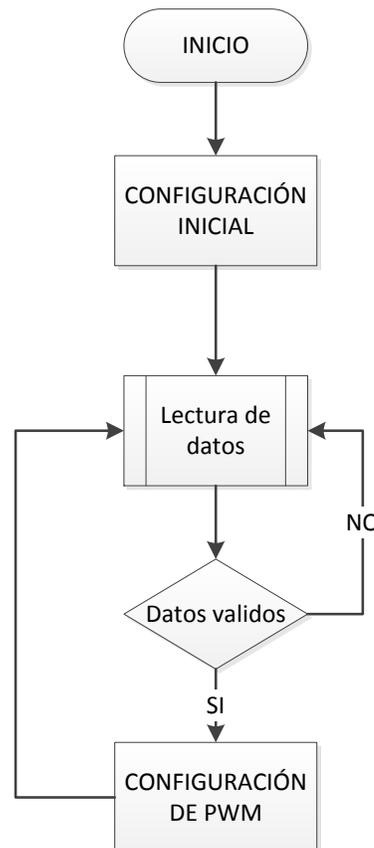


Figura 29. Diagrama de flujo general para el PWM

La definición, descripción y funcionamiento; de cada uno de los módulos que fueron necesarios para lograr la implementación de la aplicación de control (PWM) que cumple con los requisitos de operación son detallados a continuación:

a) Caja negra principal del sistema

En la Figura 23 se observa de forma general las entradas y salidas disponibles en la aplicación de control desarrollada.

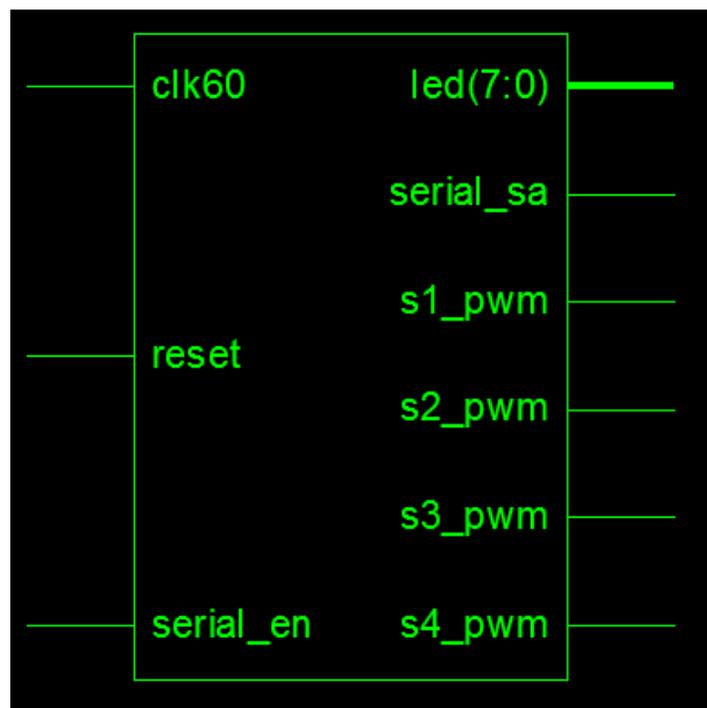


Figura 30. Caja negra del sistema propuesto

A continuación se explica cada una de las señales que componen la caja negra del sistema:

- *Señal Clk.* Es la señal de reloj y tiene una frecuencia de 60MHz.
- *Señal reset.* Esta señal genera un reinicio de todo el sistema, proviene de un pulsador externo.

- *Señal RX*. Esta señal es empleada para la recepción de datos que son transmitidos de forma serial y provienen del computador.
- *Señales PWM*. Estas señales corresponden a los anchos de pulso y son generadas al interior de la caja negra.
- *Señal TX*. Esta señal es utilizada para la transmisión de datos desde el prototipo de tarjeta electrónica hacia el computador.

b) Diagrama de bloque principal

Con el propósito de alcanzar las diferentes tareas propias de la aplicación, se ha dividido al proyecto en varias entidades, mismas que se encuentran clasificadas de acuerdo a su funcionamiento y comportamiento (secuencial o paralelo). De tal forma que el proyecto cuenta con las siguientes entidades o bloques:

- Microcontrolador (Embedded_kcpsm)
- Gestor de señales de reloj (Reloj)
- Recepción de datos (Uart RX)
- Transmisión de datos (Uart TX)
- Generador de señales PWM.

La Figura 31 representa gráficamente la organización interna y la relación que existe entre las diferentes entidades de la solución propuesta para la aplicación de control.

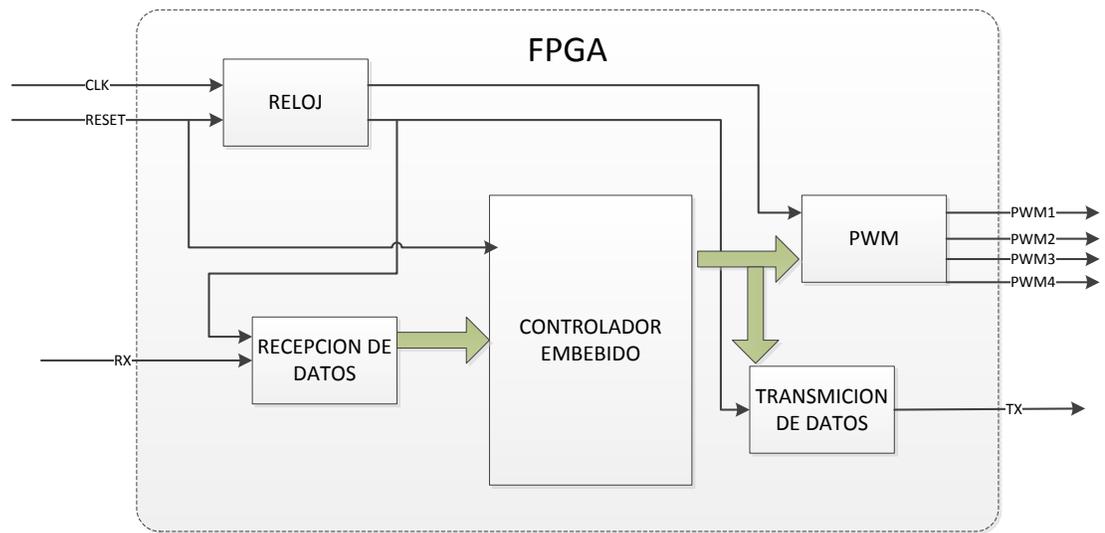


Figura 31. Bloques internos en el FPGA

c) Diagramas internos del sistema principal

El funcionamiento de cada una de las entidades o bloques que se señalaron en la Figura 31, se detallan en los siguientes diagramas de flujo:

- *Diagrama de flujo del Microcontrolador.* Este bloque es implementado para la creación de un microcontrolador embebido en el FPGA, el mismo que administra las comunicaciones con el computador, y permite modificar la resolución y ancho de pulso de cada uno de los PWM creados. En la Figura 31 se puede observar dicho proceso.

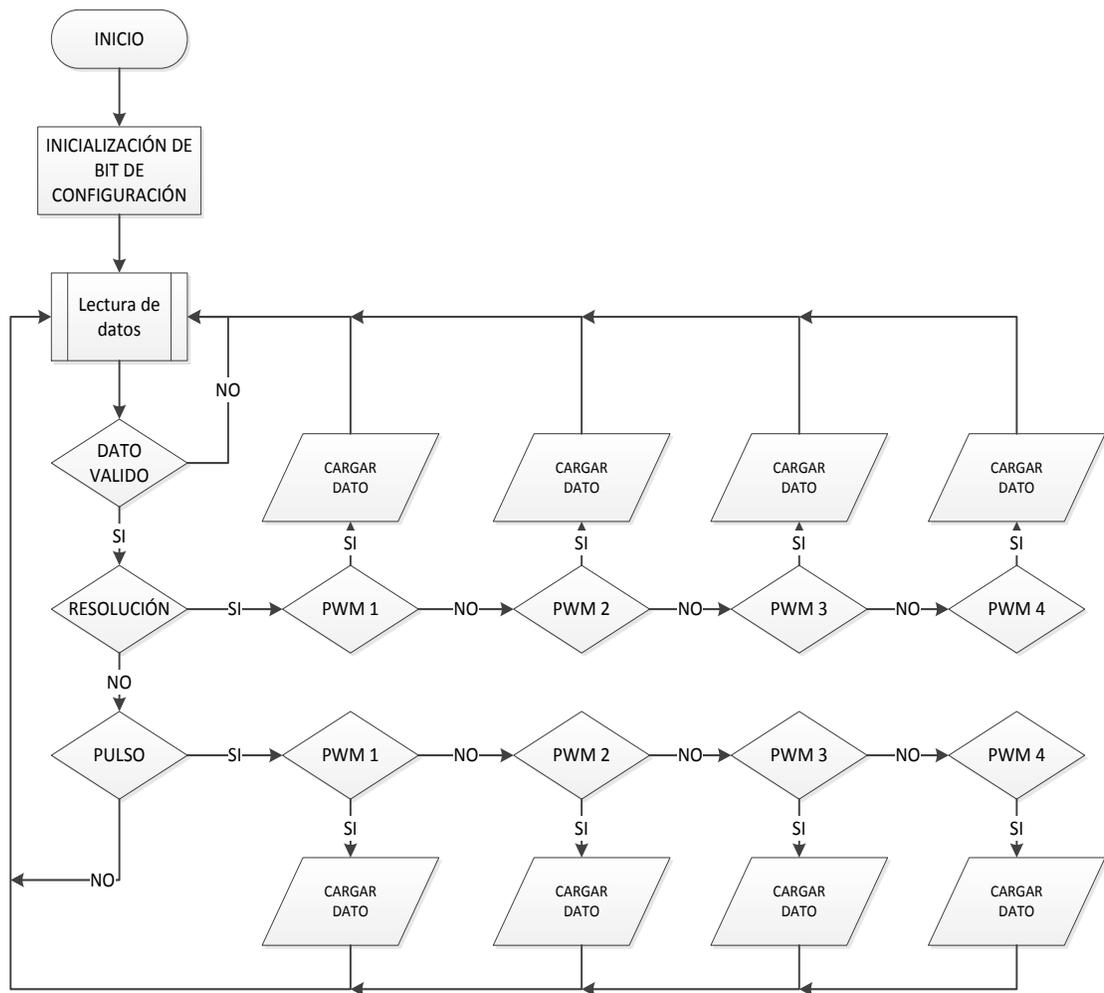


Figura 32. Diagrama de flujo del microcontrolador embebido

- *Diagrama de flujo de señales de reloj.* El bloque de señales de reloj es el encargado de generar las diferentes señales de reloj para todos los bloques que constituyen el sistema, en la Figura 32 se detalla el diseño del diagrama de flujo.

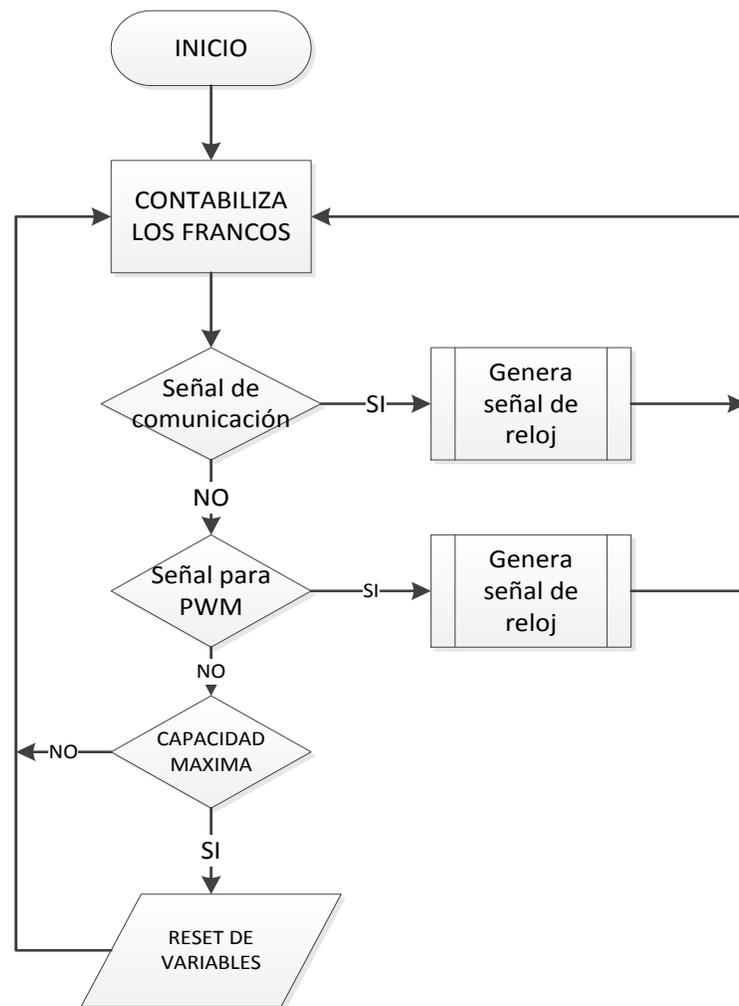


Figura 33. Diagrama de flujo para el bloque de reloj

- *Diagrama de flujo de recepción de datos.* Este bloque es el responsable de convertir el dato serial a dato paralelo, con el propósito de que el microcontrolador pueda procesarlo. Para evitar la pérdida de datos este bloque cuenta con 16 registros que se encargan del almacenamiento de datos, como se puede observar en la Figura 33.

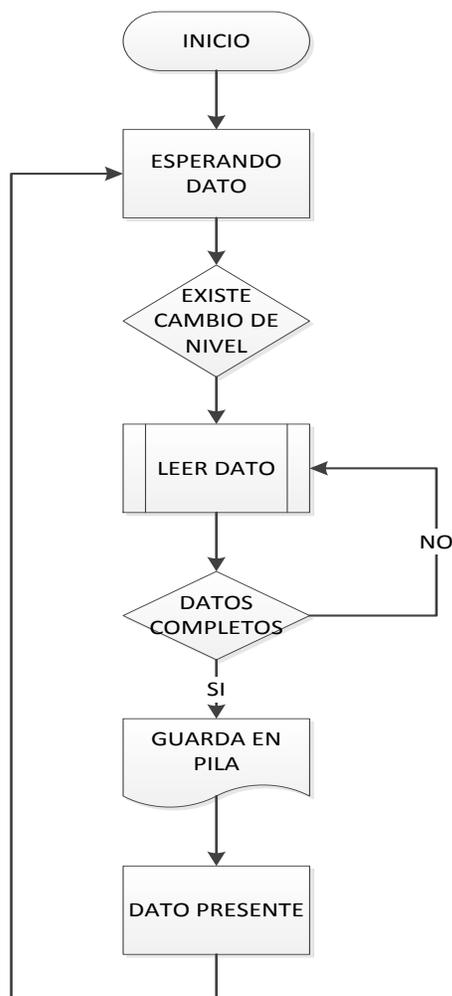


Figura 34. Diagrama de flujo para la recepción de datos

- *Diagrama de flujo de transmisión de datos.* La tarea de este bloque es la recepción de datos paralelos provenientes del microcontrolador y que serán enviados hacia el computador de forma serial. A su vez este posee 16 registros para el almacenamiento de los datos a transmitir evitando la pérdida de datos, como se muestra en la Figura 34

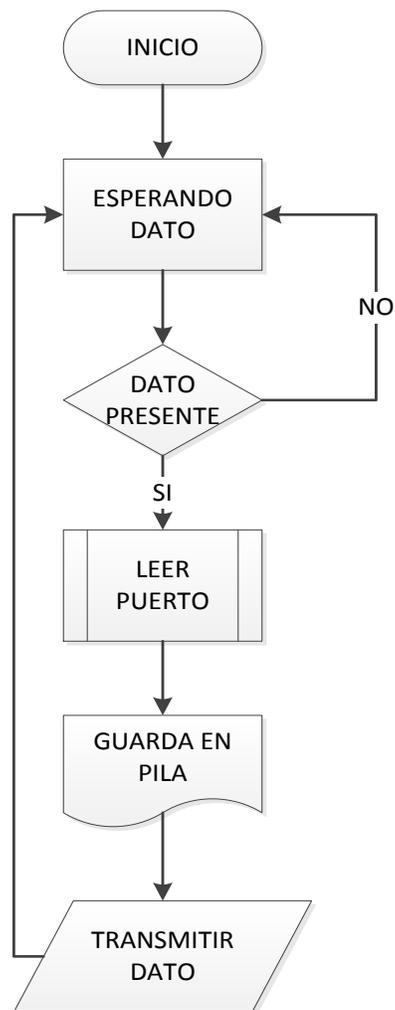


Figura 35. Diagrama de flujo para la transmisión de datos

- *Diagrama de flujo de generador de señales PWM.* Las actividades asignadas a este bloque son las siguientes: generar cuatro PWM independientes, configurar físicamente la resolución y el ancho del pulso. Para lo cual se desarrolló el diagrama de flujo que se observa en la Figura 35.

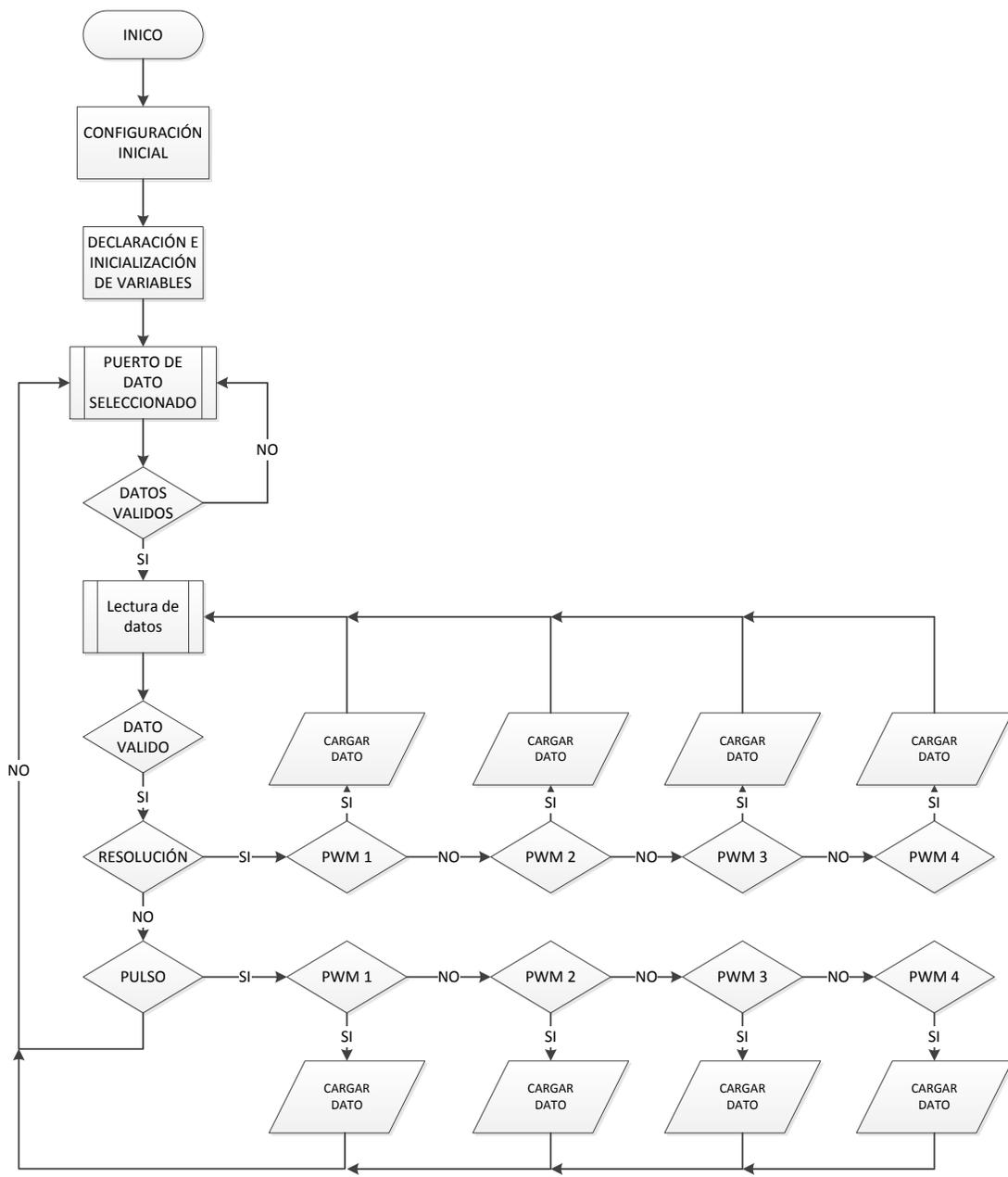


Figura 36. Diagrama de flujo para la configuración del PWM

d) Diagrama de detalle del Firmware

A continuación se muestra el diagrama en detalla de todo el programa del FPGA diseñado, en la Figura 37 se muestra los bloques propuestos en las anteriores secciones con sus respectivas entradas y salidas, y las conexiones existentes entre los bloques.

Los elementos del sistema implementado se muestran continuación:

1. Bloque de Reloj. Es alimentado por una señal de 60MHz y se encarga de generar las señales de reloj de 100Hz para el bloque de PWM y la señal de 9600 baudios para la comunicación serial.
2. Bloque de entrada de datos seriales (RX). Este bloque es el encargado de procesarla señal serial y entrega una señal en paralelo de 8 bit .
3. Bloque de memoria de 16 registros para los datos seriales. Guarda en un registro FIFO los datos entregados por el bloque de datos seriales RX.
4. Bloque de microcontrolador embebido (PicoBlaze). Es el encargado de procesar los datos recibidos desde el computador y configura los parámetros del PWM.
5. Bloque de memoria de las instrucciones del programa. En este bloque se aloja el programa del microcontrolador embebido (PicoBlaze).
6. Bloque de PWM. Es un bloque dedicado a la generación de las señales del PWM.
7. Bloque de memoria de 16 registros para los datos seriales. Guarda en un registro los datos que van a ser transmitidos por el microcontrolador embebido
8. Bloque de salida de datos seriales (TX). Genera la señal para la transmisión de serial de datos.

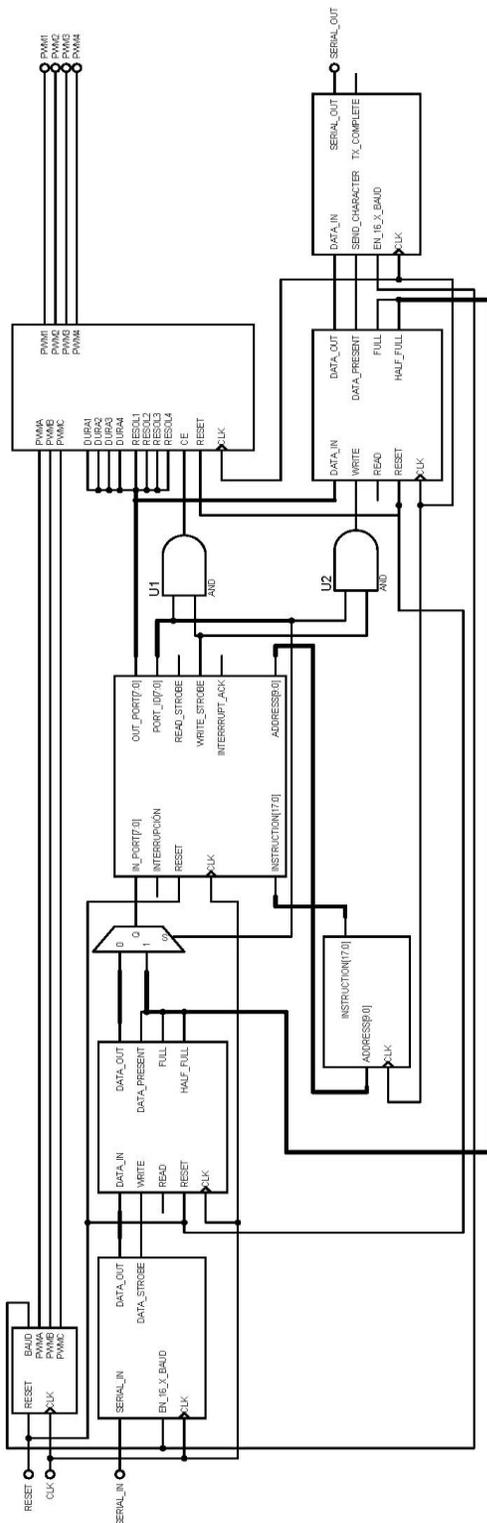


Figura 37. Diagrama de detalle de los bloques: Reloj, Uart_rx, PicoBlaze, PWM y Uart_tx.

5.1.3. Diseño del software del sistema

El software desarrollado para esta aplicación de control debe cumplir con los requerimientos necesarios para lograr interactuar con el usuario y el prototipo de tarjeta electrónica. A continuación se analizan los siguientes requisitos a cumplir:

- Crear una interface Humano-Maquina que facilite el manejo de los parámetros del PWM (resolución y ancho de pulso) de forma independiente.
- Permitir una representación gráfica del PWM a modificar, este grafico debe estar en concordancia con los parámetros anteriormente mencionados.
- Admitir la configuración básica para la comunicación.
- Realizar las diferentes operaciones y conversiones entre: unidades crudas y unidades de ingeniería.

El funcionamiento del software desarrollado para la aplicación de control del PWM se define a continuación:

a) Consideraciones preliminares

El HMI que cuenta esta aplicación fue desarrollado en Java, es un lenguaje de programación open-source y orientada a objetos, que facilita el desarrollo de interfaces gráficas.

El software desarrollado en Java debe permitir la manipulación de los dos parámetros característicos del PWM, siendo los siguientes: resolución y ancho del PWM. Cada uno de los PWM deberá contar con una pantalla individual a más de tener una representación gráfica del PWM configurado. La interacción del sistema en conjunto se puede visualizar en la Figura 39.

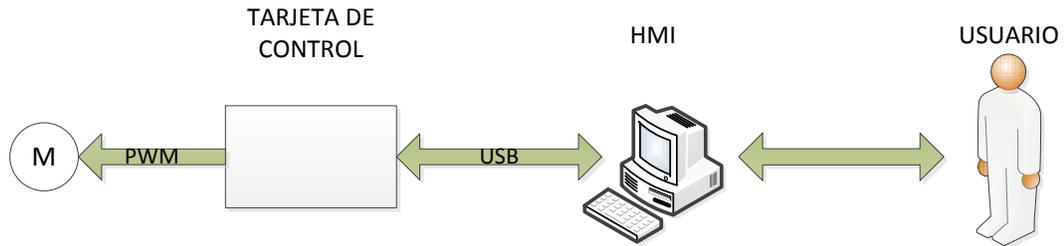


Figura 38. Diagrama de la estructura del sistema

b) Distribución de pantallas

Para el diseño de las distintas pantallas de la aplicación se realizan 3 esquemas o plantillas que son orientados para las siguientes actividades: control de los PWM y configuración de la comunicación entre el computador y el prototipo de tarjeta electrónica. Cada plantilla se explica a continuación:

1. *Plantilla 1*. El esquema de la Figura 40, es empleado para el manejo de los 3 PWM de forma independiente y cuenta con la siguiente distribución:
 - *Menú de Navegación*. Permite al usuario del sistema elegir que pantalla desea desplegar.
 - *Configuración de parámetros*. En esta área se puede hacer las modificaciones correspondientes al PWM.
 - *Actualización de valores*. Si se a cambio algunos de los valores del PWM, es necesario descargar esta configuración en el FPGA.
 - *Representación gráfica*, esta representación nos ayuda a distinguir visualmente el PWM

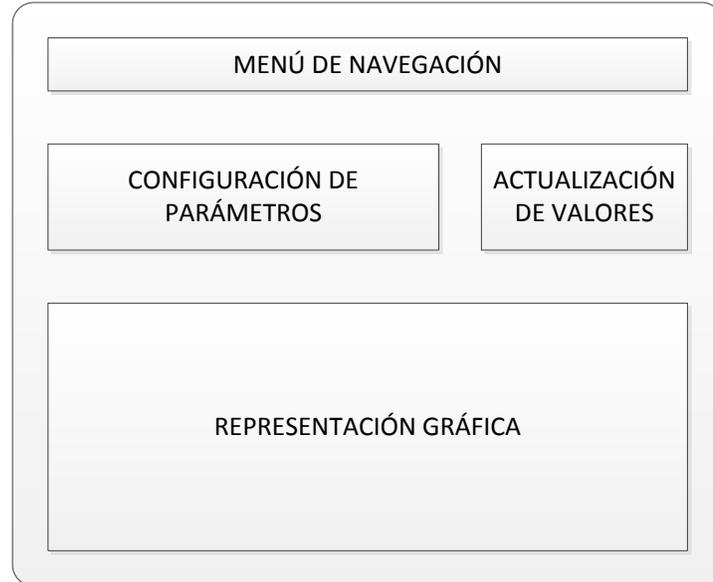


Figura 39. Plantilla para el PWM

2. *Plantilla 2.* Este esquema fue desarrollado para la manipulación de un Motor mediante el uso de un PWM. La organización de la plantilla se lo puede observar en la Figura 41, esta plantilla cuenta con la siguiente distribución:

- *Menú de Navegación.* Permite al usuario del sistema elegir que pantalla desea desplegar.
- *Configuración de parámetros.* En esta área se puede hacer las modificaciones correspondientes al PWM.
- *Actualización de valores.* Si se a cambio algunos de los valores del PWM, es necesario descargar esta configuración en el FPGA.
- *Representación gráfica.* Esta representación ayuda a ver la variación de la velocidad del motor de acuerdo al PWM cargado.

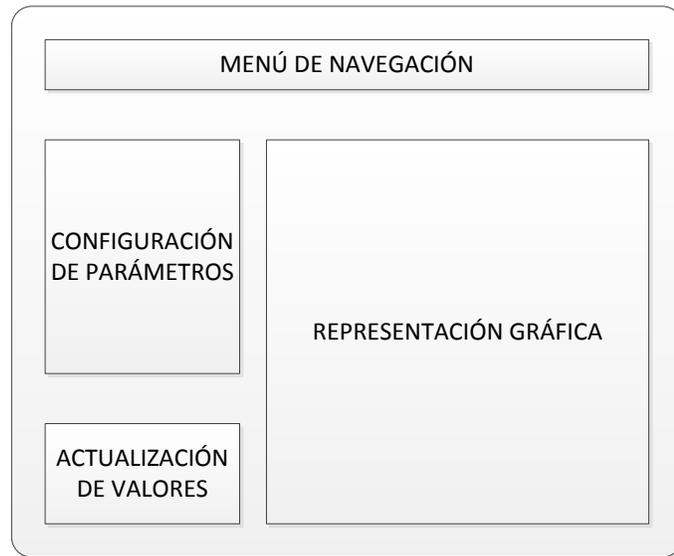


Figura 40. Plantilla para el manejo del Motor

3. *Plantilla 3.* Fue esencialmente creada para la configuración de la comunicación.

Cuenta con la siguiente distribución:

- *Menú de Navegación.* Permite al usuario del sistema elegir que pantalla desea desplegar.
- *Configuración de parámetros.* En esta área se puede hacer las modificaciones correspondientes al puerto de comunicaciones a utilizar y se la puede ver en la Figura 42.



Figura 41. Plantilla para la configuración de la comunicación

c) **Diagramas de flujo del sistema.**

El funcionamiento del software está basado principalmente en los 3 esquemas o plantillas que fueron anteriormente señaladas, a continuación se detallan los diagramas de flujo correspondientes.

- *Diagrama de flujo para PWM.* El diagrama de flujo de la Figura 43 representa gráficamente las actividades que realiza esta sección del software, entre las cuales se tiene las siguientes: verifica la comunicación entre el computador y la tarjeta, permite el ingreso de datos para la configuración del PWM, transforma las unidades de ingeniería a unidades crudas, envía nuevos datos de configuración, y realiza una representación gráfica del PWM configurado.
- *Diagrama de flujo de comunicaciones.* Las tareas asignadas a esta sección son: seleccionar el puerto de comunicación, y permitir la conexión y desconexión de la comunicación entre el computador y la tarjeta electrónica, como se puede observar en la Figura 44

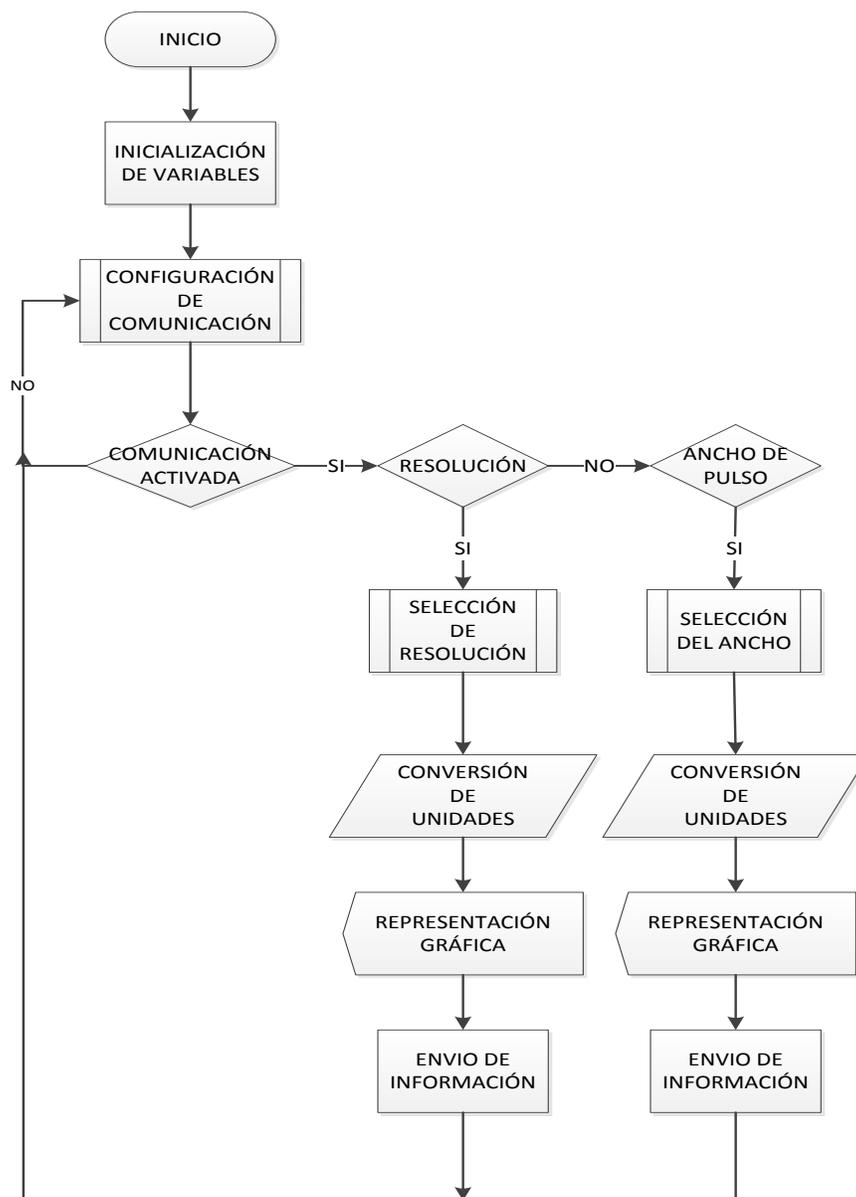


Figura 42. Diagrama de flujo de los PWM

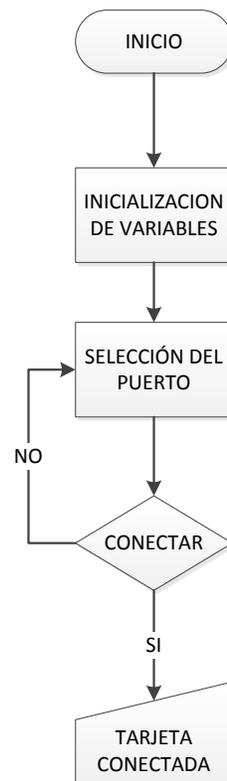


Figura 43. Diagrama de flujo para la comunicación

5.2. Análisis de resultados

Una vez concluido el desarrollo de la “aplicación de control” sobre el prototipo de tarjeta electrónica, se procedió a realizar las pruebas de funcionamiento; para lo cual se usó los siguientes equipos: fuente DC, multímetro y osciloscopio.

Dentro de las pruebas de funcionamiento se determina los siguientes puntos de evaluación:

- 1) Conectividad con el FPGA y memoria de programa
- 2) Comunicación computador-tarjeta electrónica vía USB
- 3) Integridad de las señales(alimentación, reloj y PWM)

En los subtemas 5.2.1, 5.2.2 y 5.2.3, se detalla el procedimiento y análisis de los resultados obtenidos de cada uno de los puntos de evaluación.

5.2.1. Conectividad con el FPGA y memoria de programa

El prototipo de tarjeta electrónica está constituida por un FPGA modelo XC3S500E-4PQG208I y una memoria flash modelo XCF04SVO20C usada para el almacenamiento del programa. Cada uno de estos componentes o elementos cuenta con un puerto JTAG, el cual es utilizado para realizar pruebas o test a los circuitos integrados y a su vez puede ser empleado como puerto de programación.

La prueba de conectividad radica en el reconocimiento e identificación del FPGA y la memoria flash mencionados en el párrafo anterior, para lo cual se procedió a conectarlos al computador mediante la interface JTAG. Con la herramienta iMPACT que proporciona el software ISE se puede realizar varios test y comprobar el correcto funcionamiento de los deferentes elementos encontrados en el puerto JTAG.

Con la herramienta iMPACT se envía comandos de lectura, borrado, verificación de conexión y solicitud de ID a los chips XC3S500E-4PQG208I y XCF04SVO20C. Y cada uno de los elementos respondió adecuadamente a los comandos mediante un mensaje de confirmación. En la Tabla 32 se muestra las pruebas que se realizaron a cada uno de los chips.

Tabla 32. Resultados de la identificación del chip

CHIP	Lectura	Borrado	Verificación	ID
XC3S500E-4PQG208I	Si	Si	Si	A00284
XCF04SVO20C	Si	Si	Si	B0105D

Análisis.

En la tabla 31, que corresponde a las diferentes pruebas de conectividad realizadas al FPGA y memoria flash en el cual se observa que respondieron favorablemente a los comandos enviados por medio de la herramienta iMPACT, concluyendo que el FPGA y la memoria flash seleccionados, se encuentran funcionando correctamente y son

reconocidos por la herramienta utilizada; es decir, el hardware correspondiente a esta sección está operando correctamente.

5.2.2. Comunicación con el computador vía USB.

La verificación de la comunicación del prototipo de la tarjeta electrónica es muy importante en sistemas electrónicos o en aplicaciones específicas, porque permite la interacción e intercambio de información con otros sistemas o dispositivos electrónicos.

Para verificar el correcto funcionamiento del convertor USB - UART se procedió a usar la herramienta MCP2200 Configuration Utility que proporciona el fabricante, la cual permite reconocer el correcto funcionamiento y configuración del convertor. En la Figura 45 se observa que el convertor USB-UART es reconocido por la herramienta.

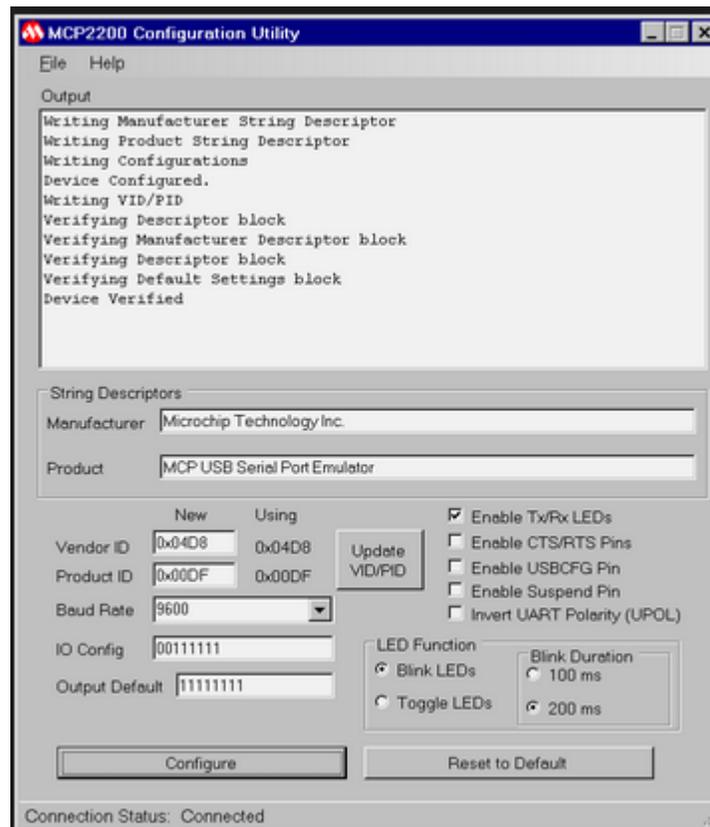


Figura 44. Herramienta MCP2200 Configuration Utility

Además, se realiza la prueba de comunicación entre el computador y el prototipo de tarjeta electrónica con el envío y retorno de datos ASCII mediante la utilización del Hyperterminal. Esta prueba se la realizó a diferentes velocidades y los resultados se los puede observar en la Tabla 33.

Tabla 33. Resultados de la prueba de comunicación

Velocidad [bps]	Caracteres enviados-recibidos
1200	Si
4800	Si
9600	Si
19200	Si
38400	Si

Análisis:

Mediante el uso de la herramienta que proporciona el fabricante del conversor USB–UART, se verificó que las conexiones físicas asociadas al conversor USB - UART están realizadas correctamente. Con los resultados expuestos en la Tabla 32 se puede determinar que el hardware del prototipo de tarjeta electrónica responde correctamente a señales con altas tasas de transmisión de datos.

5.2.3. Integridad de señales

Para analizar la integridad de las señales en diferentes áreas de la tarjeta electrónica diseñada, se realizó la medición de estas señales mediante un osciloscopio (ver registro fotográfico en el *Anexo D*) y sus resultados se muestran a continuación:

a) Señales de alimentación

La verificación de los niveles de voltaje es muy importante, donde el objetivo principal es confirmar que los voltajes se encuentren dentro de los rangos

recomendados, ver Tabla 3. Para lo cual se utilizó como instrumento de medida un osciloscopio y su resultado se observa en la Tabla 34.

Tabla 34. Resultado de las señales de alimentación

Alimentación	Teórico [V]	Medido			
		Vmin [V]	Vmax [V]	Vrms [V]	Vpp [mV]
5V	5	5.13	5.45	5.20	320
3.3V	3.3	3.28	3.40	3.32	120
2.5V	2.5	2.52	2.64	2.56	120
1.2V	1.2	1.19	1.31	1.25	120

Análisis-

Como se puede observar en la Tabla 33, los resultados de las mediciones a los diferentes voltajes que alimentan al prototipo de tarjeta electrónica se encuentran dentro de los rangos especificados de la Tabla 3; es decir, no deben fluctuar $\pm 5\%$ del voltaje nominal.

b) Señales de reloj

Estas señales son muy críticas debido a que si no son estables y no se encuentran dentro de los rangos recomendados por el fabricante, los circuitos integrados asociados a estas señales no podrán operar correctamente. A continuación se muestra los resultados obtenidos de la señal de reloj para la configuración del FPGA y la señal de reloj global.

- *Señal de reloj global.* Esta señal es generada por un cristal de 60MHz y en la Tabla 35 se observa los resultados obtenidos en la medición.

Tabla 35. Resultado de las señales de reloj global

Vpp	Vrms	Ciclo de	Frecuencia	Tiempo de
-----	------	----------	------------	-----------

	[mV]	[mV]	trabajo	[MHz]	subida[ns]
Teórico	15.4	88.5	50.00%	60.00	3.4
Medido	15.4	88.5	57.90%	59.51	3.52

- *Señal de reloj para la configuración del FPGA.* Es una señal de sincronización para la carga de datos de configuración del FPGA. Los resultados obtenidos se puede visualizar en la Tabla 36.

Tabla 36. Resultado de la señal de configuración

	Vpp [V]	Vrms [mV]	Ciclo de trabajo	Frecuencia [MHz]	Tiempo de subida[ns]
Teórico	3.3	1.65	50.00%	1.293	55.00
Medido	3.32	1.71	49.80%	1.293	55.25

Análisis:

De acuerdo con los resultados de las Tablas 23 y 24, se observa que las señales de reloj del prototipo de tarjeta electrónica se encuentran estables y sus parámetros de operación están acordes con los valores teóricos especificados en las Tabla 26, manteniéndose dentro del rango de tolerancia del $\pm 5\%$ del voltaje nominal.

c) Señales del PWM

Se realizó la medición de los 4 PWM para verificar la correcta generación de las señales generadas por los PWM, de acuerdo a los datos especificados en la aplicación de Java que fue desarrollada para el computador. Por motivos de análisis se consideró los ciclos de trabajo de 0, 25, 50, 75 y 100 %, porque con estos valores se puede observar la respuesta del PWM en los diferentes rangos de operación. A continuación se muestra estos resultados de acuerdo a los ciclo de trabajo especificados.

- Ciclo de trabajo al 25%

Tabla 37. Resultado ciclo de trabajo de 25%

	Vpp [V]	Vrms [mV]	Ciclo de trabajo	Frecuencia [Hz]	Tiempo de subida[us]
PWM1	3.24	819	26.00%	99.95	80
PWM2	3.16	801	25.01%	100.0	80
PWM3	3.16	797	25.00%	99.99	81.05
PWM4	3.20	798	24.99%	100	80.00

- Ciclo de trabajo al 50%

Tabla 38. Resultados ciclo de trabajo de 50%

	Vpp [V]	Vrms [V]	Ciclo de trabajo	Frecuencia [Hz]	Tiempo de subida[us]
PWM1	3.24	1.61	50.50%	99.01	81.05
PWM2	3.24	1.59	49.99%	100.0	80
PWM3	3.20	1.60	50.01%	99.99	78.97
PWM4	3.24	1.59	50.00%	100.0	78.97

- Ciclo de trabajo al 75%

Tabla 39. Resultados ciclo de trabajo de 75%

	Vpp [V]	Vrms [V]	Ciclo de trabajo	Frecuencia [Hz]	Tiempo de subida[us]
PWM1	3.24	2.36	74.99%	100.0	80
PWM2	3.20	2.36	74.99%	99.99	78.97
PWM3	3.24	2.36	75.00%	100.0	81.05
PWM4	3.20	2.36	75.00%	100.0	78.97

- Ciclo de trabajo de 0% y 100%

Tabla 40 Resultados ciclo de trabajo de 0% y 100%

	Ciclo de trabajo al 0%		Ciclo de trabajo al 100%	
	Vrms[mV]	Vpp [mV]	Vrms [V]	Vpp [mV]
PWM1	32.8	120	3.16	160
PWM2	31.3	120	3.13	160
PWM3	33.7	120	3.13	160
PWM4	30.9	120	3.12	160

Análisis:

Como se puede observar en las Tablas 37 a la 40 los parámetros de los 4 PWM son acordes a los parámetros que fueron considerados a esta prueba. La generación del ancho de pulso con diferentes ciclos de trabajo responde correctamente, teniendo un error máximo de 3.3%. Por otro lado, en las zonas más críticas del ciclo de trabajo (0% y 100%), las señales del PWM se aproximaron a los 0V y a 3.3V respectivamente, logrando mantener un error de 3.3%.

CAPÍTULO 6

CONCLUSIONES Y RECOMENDACIONES

6.1. Conclusiones

- El prototipo de tarjeta electrónica cumple con uno de los objetivos específicos planteados de diseño e implementación, haciéndola totalmente operativa en el laboratorio de VLSI para el desarrollo de las diferentes aplicaciones o practicas didácticas.
- El uso apropiado de normas de diseño electrónico como la IPC2221 y las hojas de datos de los circuitos integrados proporcionados por los fabricantes permiten determinar un diseño apropiado de la PCB, considerando condiciones externas de funcionamiento como son: lugar de operación, temperatura, ambiente y humedad.
- Los criterios tales como: cantidad de periféricos a manejar, capacidad o densidad de compuertas y factibilidad de ensamblaje; empleados para la elección del FPGA en el diseño del prototipo de la tarjeta electrónica respondieron adecuadamente a las necesidades planteadas como: el manejo de periféricos, la densidad para la implementación de programas y la factibilidad de ensamblaje en la PCB.
- El uso de capacitores de desacoplo entre las líneas de alimentación del circuito integrado XC3S500E-4PQG208I ayudaron a mitigar los efectos del ruido generado por el cambio de la demanda transitoria de corriente y ésta depende de la actividad

que realice el circuito integrado. Además, los capacitores de desacoplo deben ser colocados lo más cerca posible del circuito integrado.

- Para el correcto funcionamiento del FPGA XC3S500E-4PQG208I es necesario mantener las fuentes de alimentación Vint, Vaux y Vcco estables; además, estas no deben fluctuar más del $\pm 5\%$ de su voltaje nominal (1.2V, 2.5V y 3.3V respectivamente).
- El empleo de circuitos especializados como el ENC424J600, el cual se encarga de gestionar la comunicación Ethernet de acuerdo con el estándar IEEE 802.3, facilita la implementación de aplicaciones didácticas, ya que solo se necesita enviar y recibir los datos de forma serial, evitando la implementación de todo el protocolo de comunicaciones relacionado a este estándar.
- El FPGA XC3S500E-4PQG208I posee máximo 158 entradas/salidas distribuidas en 4 bancos, sin embargo no todas las entradas/salidas se las puede conmutar en la misma dirección dentro de un banco específico; es decir, se tiene limitado el uso de las entradas/salidas en este caso es de 18 SSO.
- La comunicación que se realiza entre la tarjeta electrónica y el computador es a través de conversor MCP2200 (UART-USB), agilizando la utilización del puerto USB debido a que se encarga de gestionar la transmisión de datos y los comandos de control propios de este puerto.
- La arquitectura que posee el FPGA permite diseñar un bloque dedicado para la generación de 4 PWM; es decir, las señales de ancho de pulso fueron implementadas a nivel de hardware lo que permite obtener señales sin interrupciones y acordes con las especificaciones dadas por el HMI diseñado; esto se lo pudo observar en las pruebas realizadas a estas señales.

- La utilización de un sistema secuencial como el PicoBlaze, que administra de mejor manera la comunicación serial, y un sistema concurrente como el bloque dedicado de PWM, que responde correctamente al procesamiento digital de las señales; empleados en el FPGA, permitieron agilizar la implementación y gestión de la aplicación del PWM.
- El uso de Java como lenguaje de programación para el desarrollo de la aplicación de control del PW,, permitió crear una aplicación multitareas que cumplió todas las funciones necesarias para la manipulación de los parámetros del PWM, esto debido a que Java cuenta con una gran cantidad de librerías.

6.2. Recomendaciones

- Se recomienda mantener un orden durante el desarrollo del diseño electrónico para lo cual se identifican puntos críticos y se delinear métodos o procesos para la implementación del diseño.
- Para un buen dimensionamiento de un FPGA se recomienda realizar un análisis minucioso de los requerimientos de entradas y salidas, densidad de la aplicación a implementar y lugar de operación.
- Se recomienda la utilización de un microcontrolador embebido (Picoblaze) en el FPGA para la gestión de la comunicación con otros periféricos, ya que este facilita la implementación del protocolo de comunicación a emplear.
- Para la fabricación de una tarjeta electrónica, se debe considerar lo siguiente: limitaciones de materiales y/o componentes, manufactura y tecnología con la que cuenta la industria a nivel nacional.

- En el proceso de ensamblaje de la tarjeta electrónica, se recomienda establecer un orden para la soldadura de los componentes y/o elementos electrónicos como es el siguiente: primero los elementos de montaje superficial, segundo los elementos dispuestos de forma horizontal, tercero los elementos orientados de forma vertical y por último los conectores.
- Al momento de desarrollar un programa en el FPGA en donde se emplee sistemas secuenciales y sistemas concurrentes, se debe tener en cuenta que cada uno de los sistemas tienen estructuras diferentes, lo que puede resultar complejo la interrelación entre ellos porque uno posee retardos en ejecución y el otro puede realizar varias acciones al mismo tiempo.
- Para trabajos futuros con FPGAS se recomienda dimensionar adecuadamente los recursos de periféricos a emplear y deben estar de acuerdo a la aplicación que se desee desarrollar, evitando el sobre dimensionamiento la tarjeta electrónica; además, de optimizar de mejor manera los de costos de fabricacion

BIBLIOGRAFÍA

- Association Connecting Electronics Industries. (7 de Enero de 1999). IPC 2221. *Generic Standard on Printed Board Circuit*. Northbrook, Illinois, Estados Unidos : IPC.
- Genera. (2012). *Sistemas embebidos sobre FPGA*. Recuperado el 31 de Enero de 2013, de www.gneratecnologias.es:www.generatecnologias.es/sistemas_embebidos_fpga.html
- Groover, M. P. (s.f.). *Fundamentos de Manufactura Moderna*. Mexico: Pearson Prentice Hall.
- Heath, S. (2003). *Embedded Systems Desing*. Miami: Newnes.
- IdosE. (2005). *IdosE*. Recuperado el 7 de Febrero de 2013, de www.idose.es:www.idose.es/sistemas-embebidos
- INAMHI. (MARZO de 2014). *INSTITUTO NACIONAL DE METERELOGIA E HIDROLOGIA*. Recuperado el 20 de MARZO de 2014, de ww.serviciometereologico.gob.ec
- Khandpur, R. (2008). *Printed Circuit Board*. New Delhi: MCGraw-Hill.
- National Instruments. (21 de Diciembre de 2011). *National Instruments*. Recuperado el 29 de Abril de 2013, de www.ni.com:white-paper/6984/es/
- National Instruments. (03 de Mayo de 2012). *FPGA Fundamentals*. Recuperado el 30 de Enero de 2013, de www.ni.com:white-paper/6983/en/
- Numonyx. (Marzo de 2010). M25P64. *64 Mbit, low voltage, Serial Flash memory*. Numonyx.
- Robertson, C. T. (2003). *Printed Circuit Board, Designer Reference*. Estados Unidos: Prentice Hall PTR.

Sisterna, C. (s.f.). *Departamento de Electrónica y Automática*. Recuperado el 19 de Febrero de 2013, de <http://dea.unsj.edu.ar/>:
http://dea.unsj.edu.ar/sisdig2/Field%20Programmable%20Gate%20Arrays_A.pdf

Varteresian, J. (2002). *Fabricating Printed Circuit Boards*. Miami: Newnes.

Williams, T. (2005). *The Circuit Designer's Companion*. Miami: Newnes.

Xilinx. (Junio de 2004). *Xilinx*. Recuperado el 20 de Abril de 2013, de www.xilinx.com:
http://www.xilinx.com/support/documentation/package_specs/pq208.pdf

Xilinx. (Octubre de 2009). *Xilinx*. Recuperado el 20 de Abril de 2013, de www.xilinx.com:
http://www.xilinx.com/support/documentation/user_guides/ug332.pdf

Xilinx. (Mayo de 2010). *Xilinx*. Recuperado el 23 de ABRIL de 2013, de www.xilinx.com:
http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf

Xilinx. (29 de Octubre de 2012). *Xilinx*. Recuperado el 2 de Marzo de 2013, de www.xilinx.com:
http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf

Xilinx. (2014). *Xilinx*. Recuperado el 3 de Enero de 2014, de www.xilinx.com:
http://www.xilinx.com/products/design_resources/signal_integrity/si_pcbcheck.htm

GLOSARIO

Ares	Herramienta para la elaboración de placas de circuito impreso que permite un posicionamiento automático de elementos y la generación de pistas.
Ascii	(Código Estándar Estadounidense para el Intercambio de Información), es un código de caracteres basado en el alfabeto latino, tal como se usa en inglés moderno y en otras lenguas occidentales
CAD	(Diseño asistido por computador) es una herramienta que nos permite realizar diseños asistidos por computador
CLB	(Bloques de lógica configurables o CLBs) es la unidad lógica básica de un FPGA
DCM	(Administrador de reloj digital) es un sistema de control completamente digital que utiliza un lazo de retroalimentación para mantener las características de la señal de reloj
Ethernet	Es un estándar de redes de área local para computadores con acceso al medio por detección de la onda portadora y con detección de colisiones
HMI	(Human Machine Interface) es una interface para que interactúe un ser humano con un dispositivo electrónico o mecánico.
FPGA	(Arreglos de compuertas programables en campo o FPGAs) son chips de silicio reprogramables a nivel de hardware, cuenta con bloques de lógica pre-construidos y recursos de ruteo reprogramables.
LCD	Constituye una pantalla gráfica de cristal líquido, formada por una matriz de píxeles monocromos colocados delante de una fuente de luz o reflectora

GND

Hardware	Conjunto de elementos físicos o materiales que constituyen una computadora o un sistema informático
IDE	(Integrated Development Environment - Entorno de Desarrollo Integrado) es un programa informático compuesto por un conjunto de herramientas de programación.
IPC-2221	Es una norma standard para el diseño de placas de circuitos impresos.
JAVA	Es un lenguaje de programación de propósito general, concurrente, orientado a objetos y basado en clases que fue diseñado específicamente para tener tan pocas dependencias de implementación como fuera posible
Layout	Es un esquema de distribución de elementos dentro un diseño.
Máquina CNC	(Control Numérico Computarizado), es un sistema de automatización de máquinas y herramienta que son operadas mediante comandos programados en un medio de almacenamiento.
Memoria RAM	Memoria de acceso aleatorio, es empleada para guardar datos y puede ser borrada fácilmente.
Memoria ROM	Memoria de almacenamiento de datos de forma permanente, el cual debe ser borrada con procesos especiales.
Micro-controlador	Es un circuito integrado programable, capaz de ejecutar las órdenes grabadas en su memoria
Mono-cromática	Herramienta para la elaboración de placas de circuito impreso que permite un posicionamiento automático de elementos y la generación de pistas. (Ground - tierra), es el común del circuito, donde se supone que existe 0 voltios.

PCB	(Printed Circuit Board – Tarjeta de Circuito Impreso), Es una superficie constituida por pistas de material conductor laminadas sobre una base no conductora
PLD	(Dispositivos lógicos programables) son chips de silicio reprogramables a nivel de hardware.
Proteus	Es una compilación de programas de diseño y simulación electrónica, desarrollado por Labcenter Electronics que consta de los dos programas principales: Ares e Isis.
Pull-up	En electrónica se denomina a la acción de elevar la tensión de salida de un circuito lógico, a la tensión que, por lo general mediante un divisor de tensión, se pone a la entrada de un amplificador con el fin de desplazar su punto de trabajo
RS232	(Recommended Standard 232), es una interfaz que designa una norma para el intercambio de una serie de datos binarios entre un transmisor y un receptor.
Software	Conjunto de programas y rutinas que permiten a la computadora y sistemas electrónicos realizar determinadas tareas
Transceiver	Es un elemento electrónico que permite convertir un estándar de comunicación a otro estándar similar.
TTL	(Transistor-transistor logic - lógica transistor a transistor). Es una familia lógica o lo que es lo mismo, una tecnología de construcción de circuitos electrónicos digitales.
UART	(Universal Asynchronous Receiver-Transmitter), controla los puertos y dispositivos serie y se encuentra integrado en la placa base o en la tarjeta adaptadora del dispositivo

Xilinx

Empresa tecnológica que se dedica a la fabricación de FPGA y memorias ROM

ANEXOS

ANEXO A

ESQUEMÁTICOS DE LA TARJETA PRINCIPAL Y DE LA TARJETA DE EXPANSIÓN

Anexo A.1. Configuración del FPGA

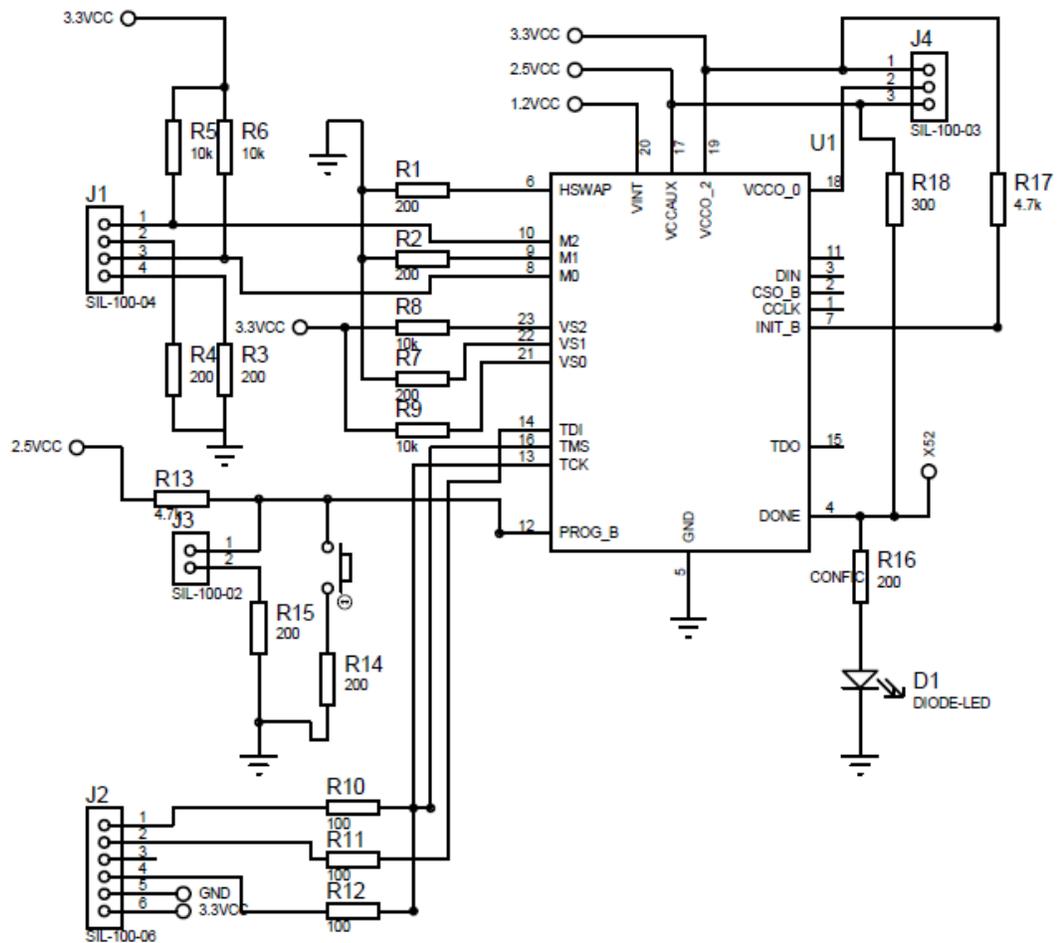


Figura 1. Configuración de FPGA

Anexo A.2. Memorias del prototipo de tarjeta electrónica

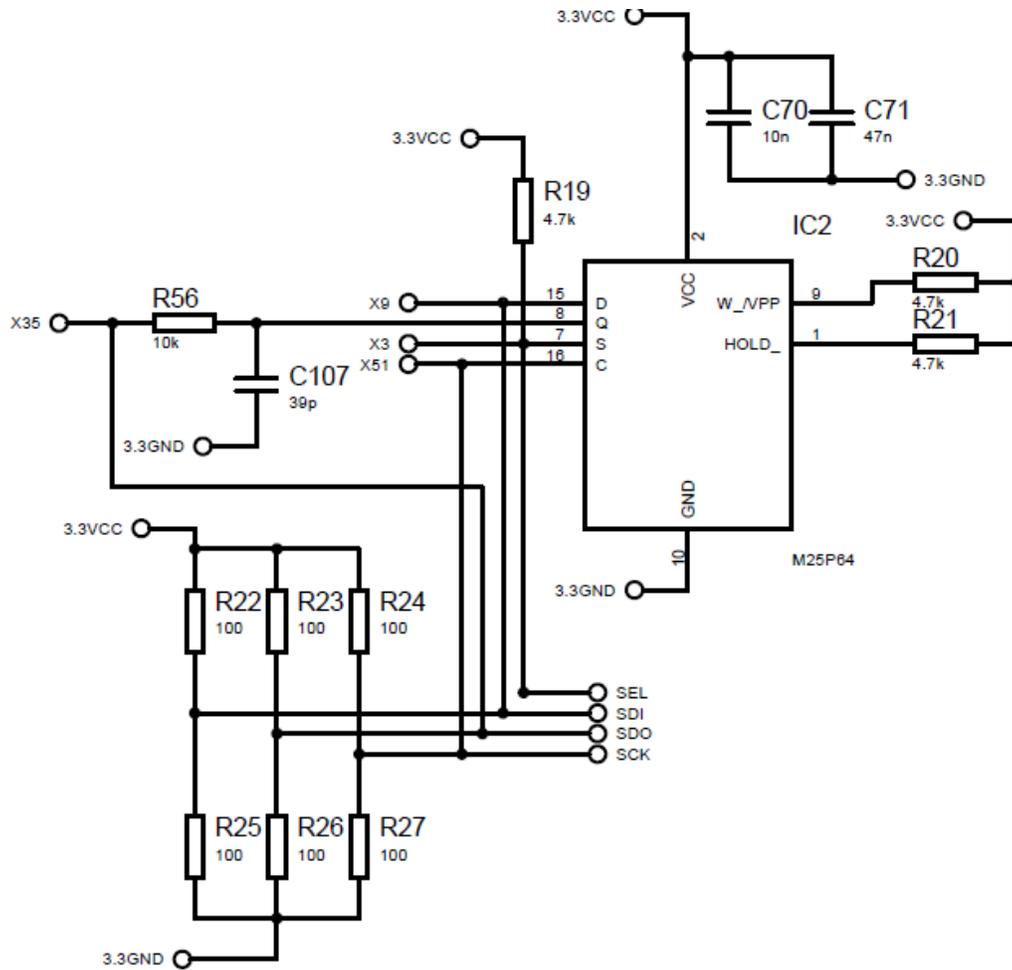


Figura 2. Memoria SPI

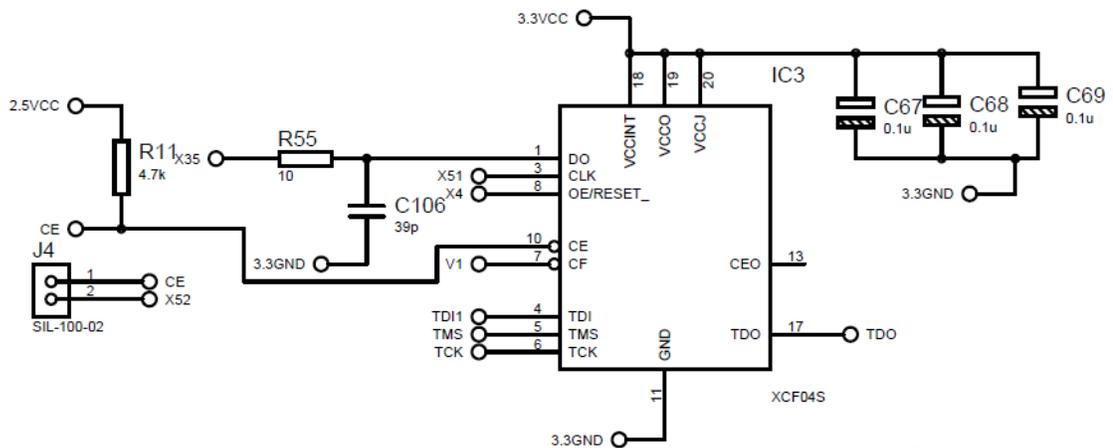


Figura 3. Memoria Plataforma Xilinx

Anexo A.3. Conversores ADC y DAC

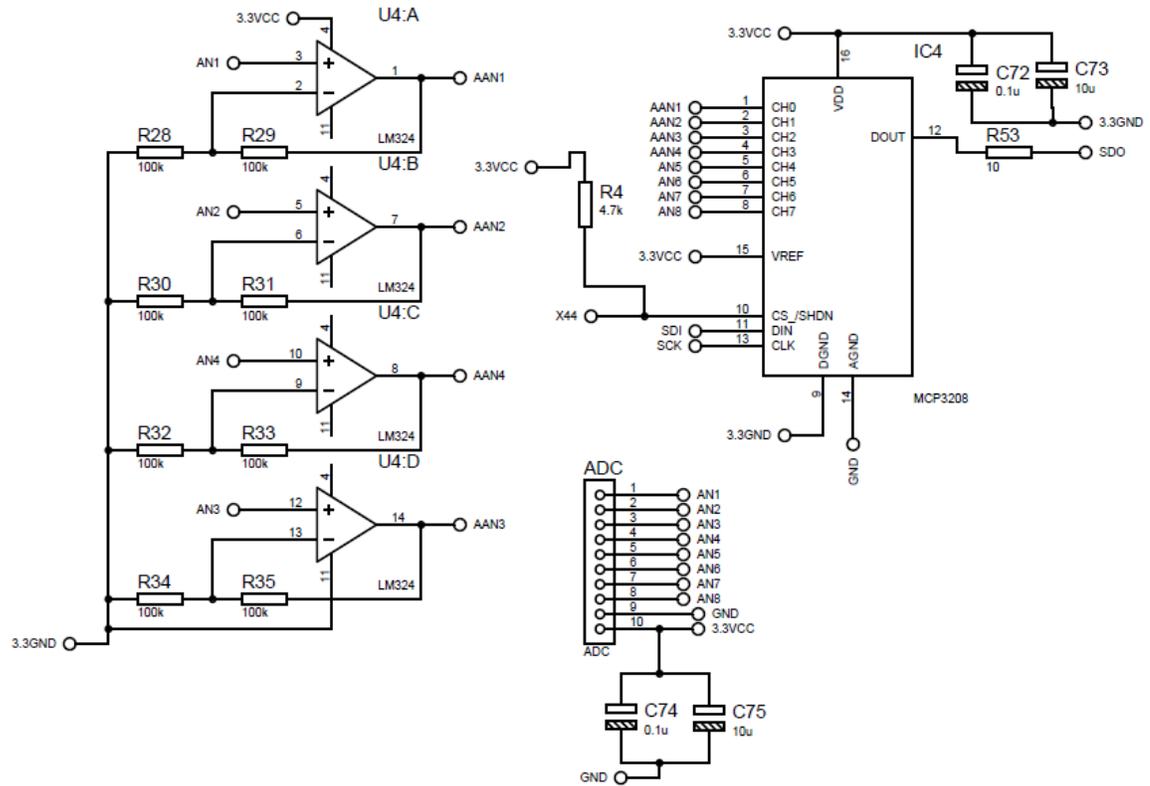


Figura 4. Conversor ADC

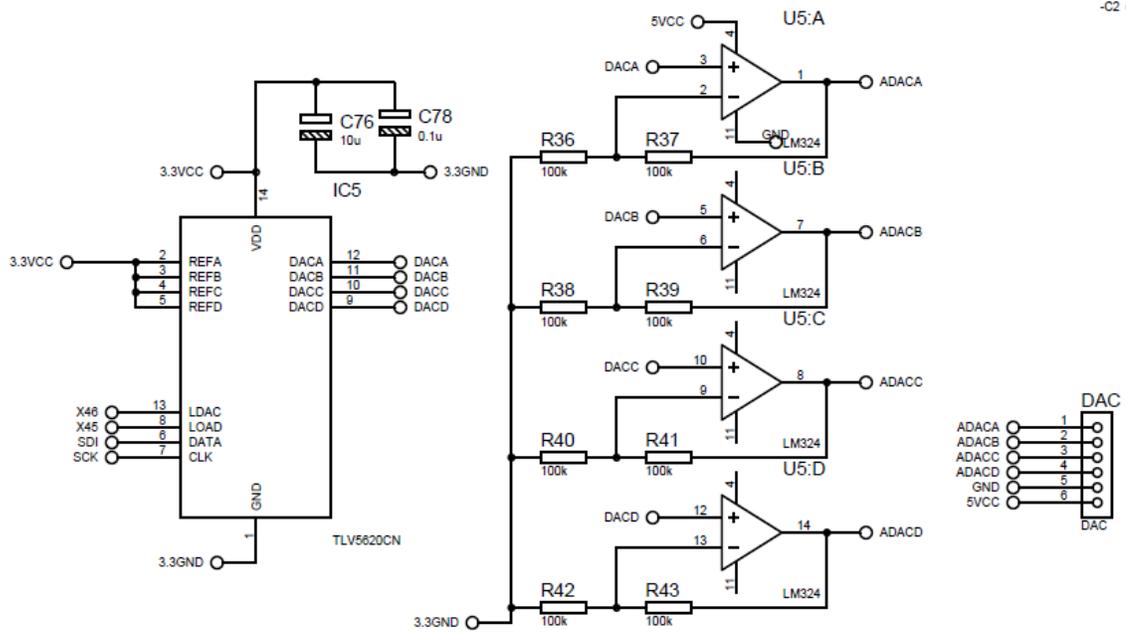


Figura 5. Conversor DAC

Anexo A.4. Comunicación RS 232

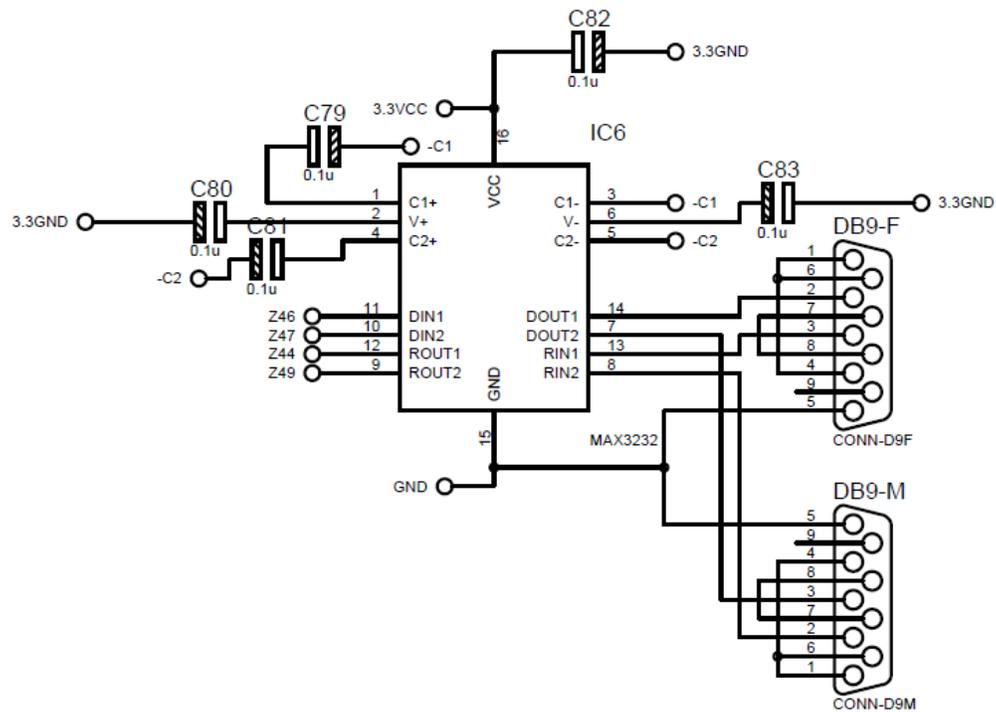


Figura 6. Transceirver RS 232

Anexo A.5. Conversor USB-UART

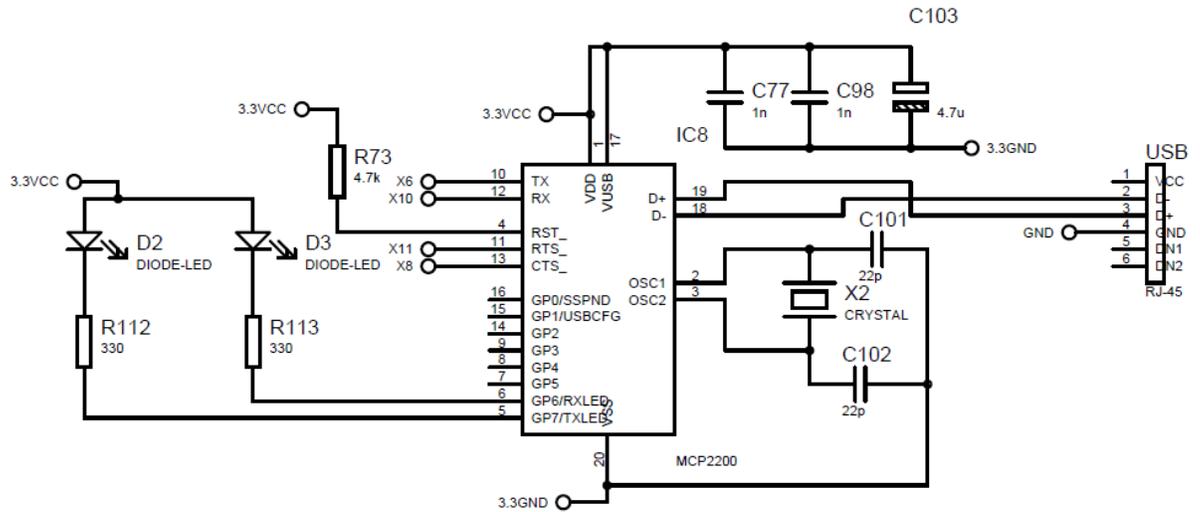


Figura 7. Transciervo USB-UART

Anexo A.6. Puerto Ethernet

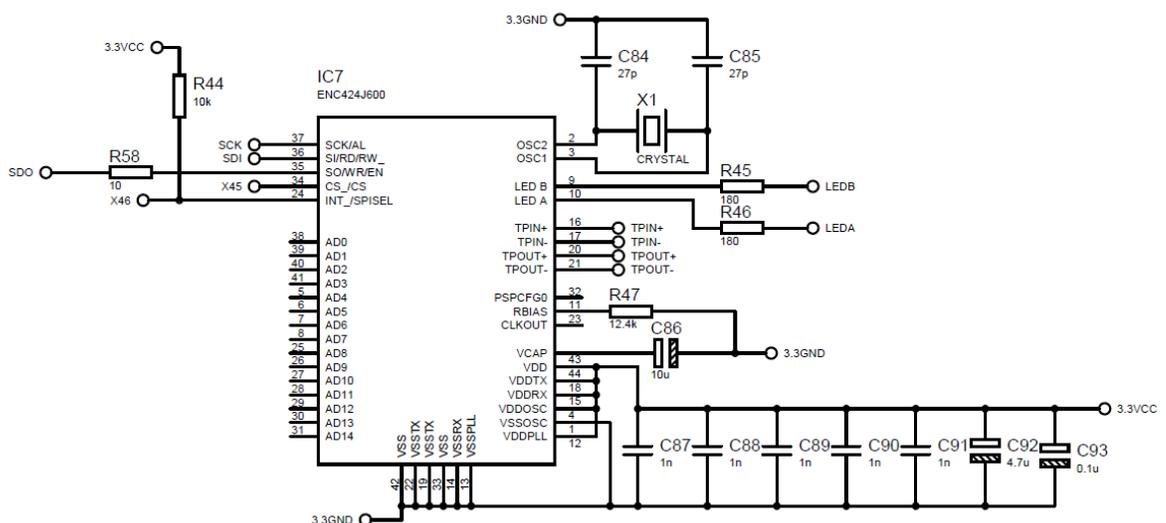


Figura 8. Chip de Ethernet

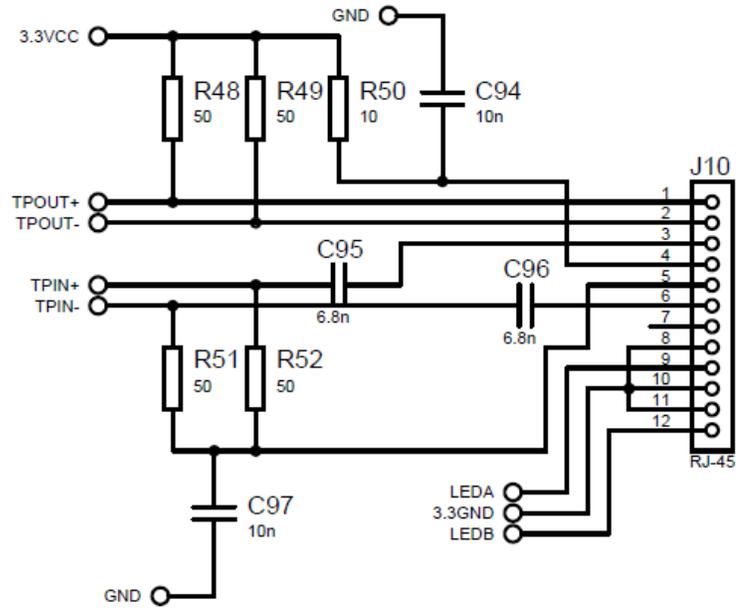


Figura 9. Puerto Ethernet

Anexo A.7. Pulsadores, Switch y diodos LED

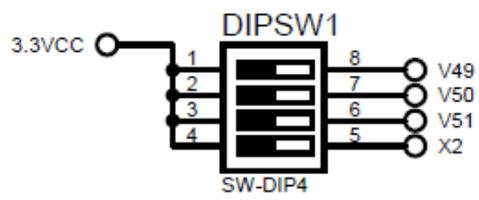


Figura 10. Dip Switch

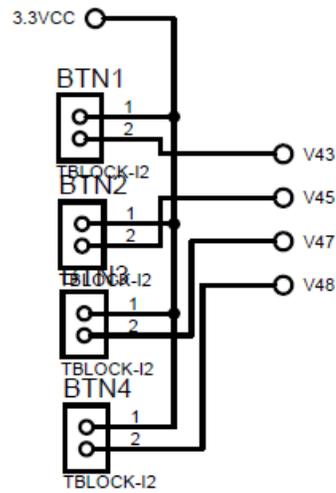


Figura 11. Botones o pulsadores

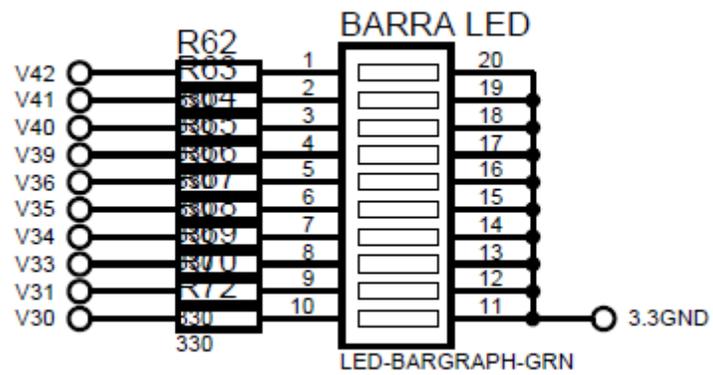


Figura 12. Barra de LED

Anexo A.8 Puerto LCD y Teclado Hexadecimal

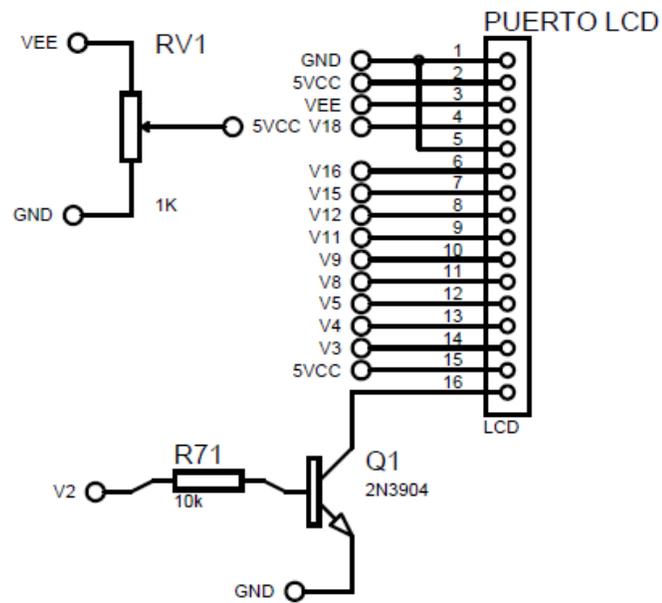


Figura 13. Puerto LCD

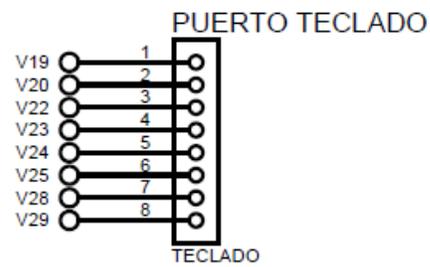


Figura 14. Puerto teclado hexadecimal

Anexo A.8. Salidas TTL

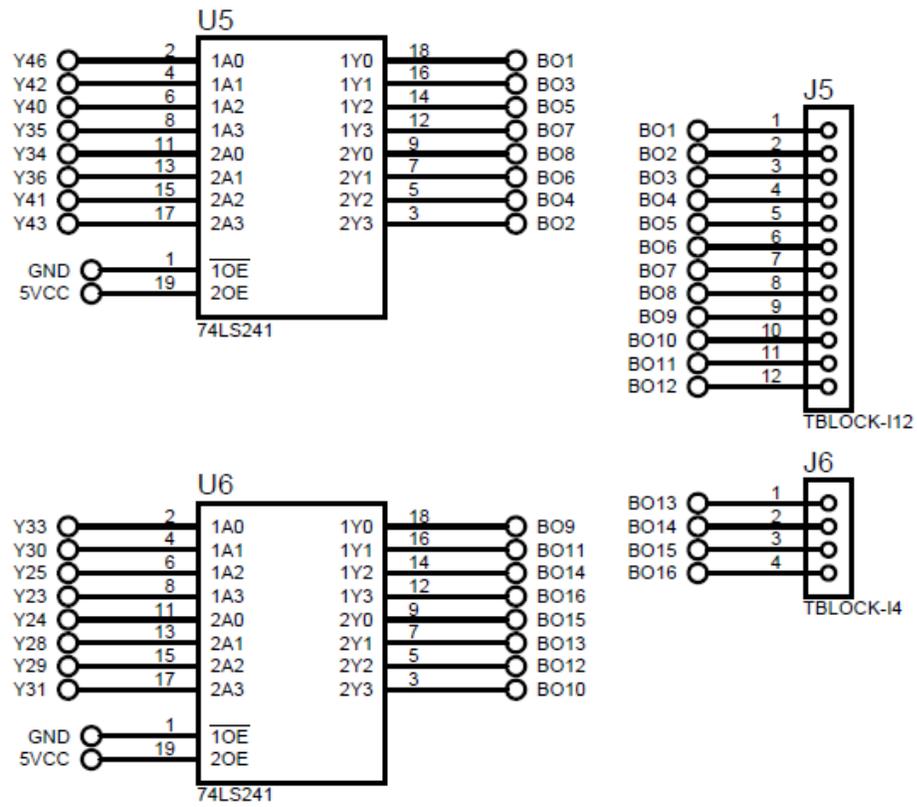


Figura 15. Salidas TTL

Anexo A.9. Entradas digitales

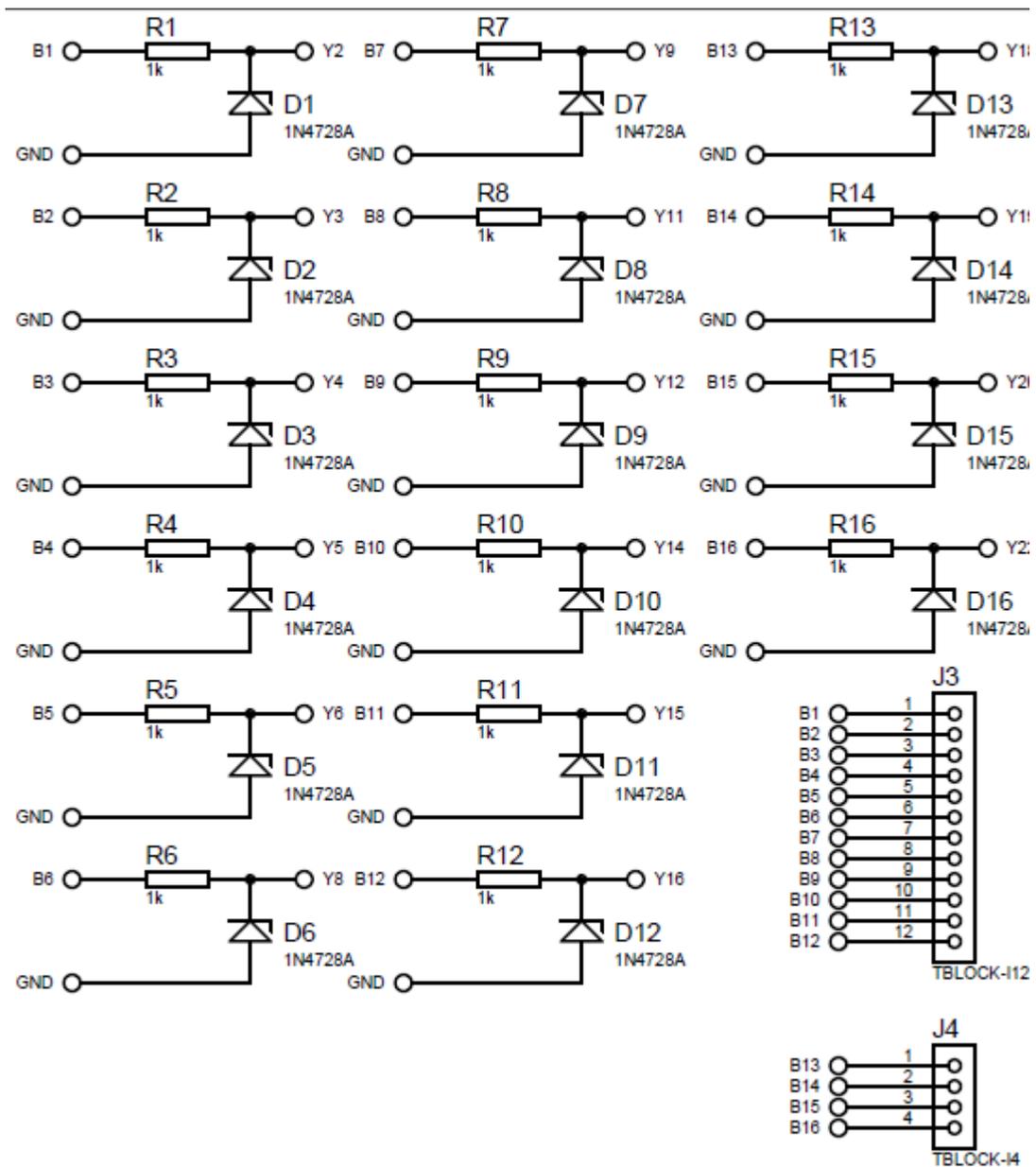


Figura 16. Entradas TTL

Anexo A.10. Salidas con Relé y Opto acoplador

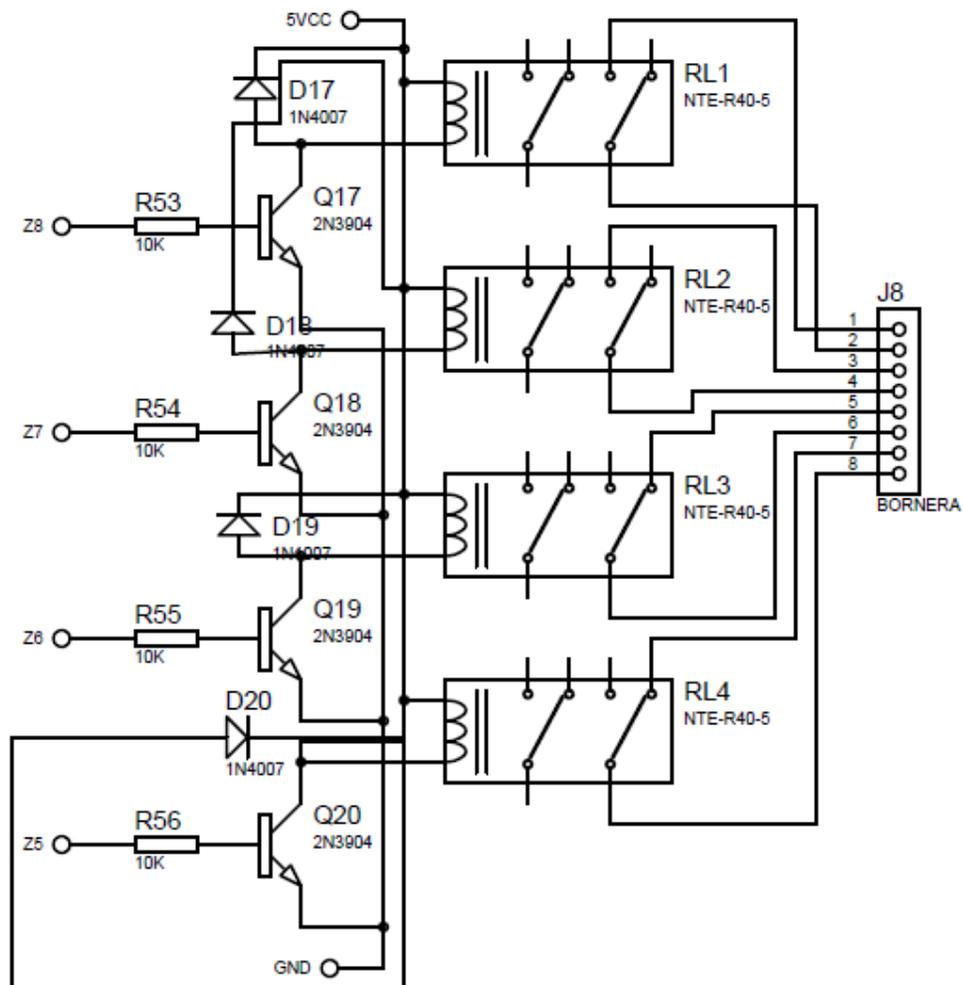


Figura 17. Relés

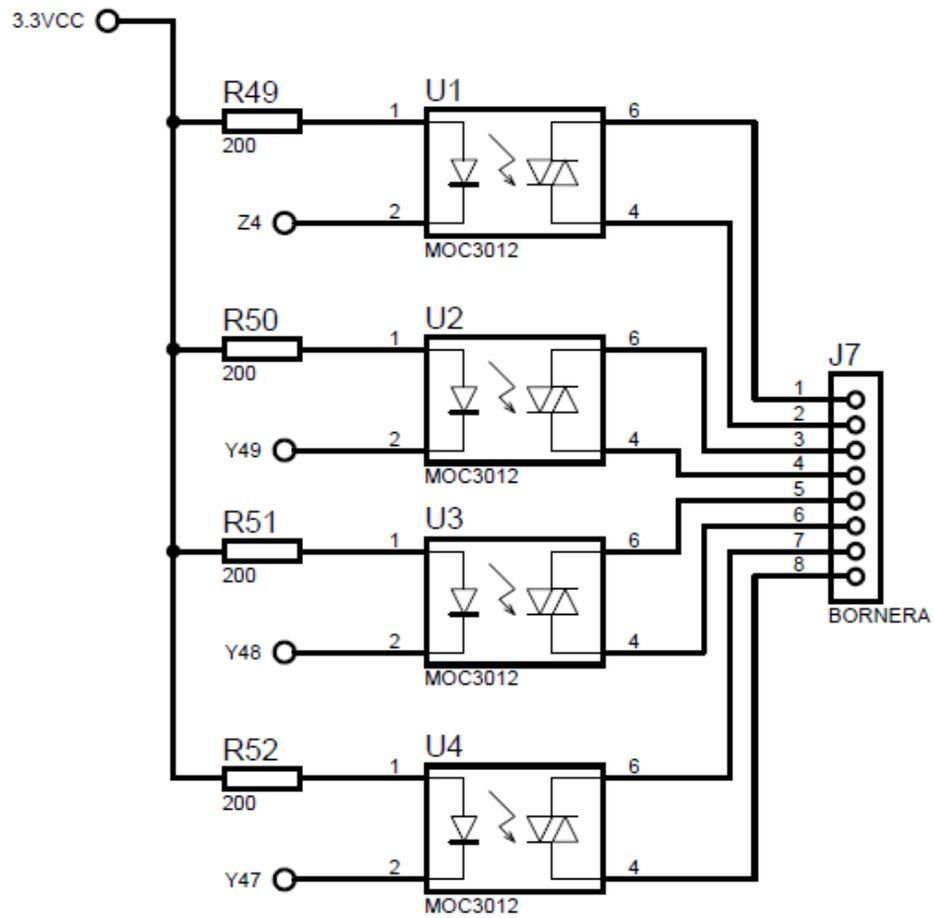


Figura 18. Opto-acopladores

Anexo A.11. Fuente de Alimentación

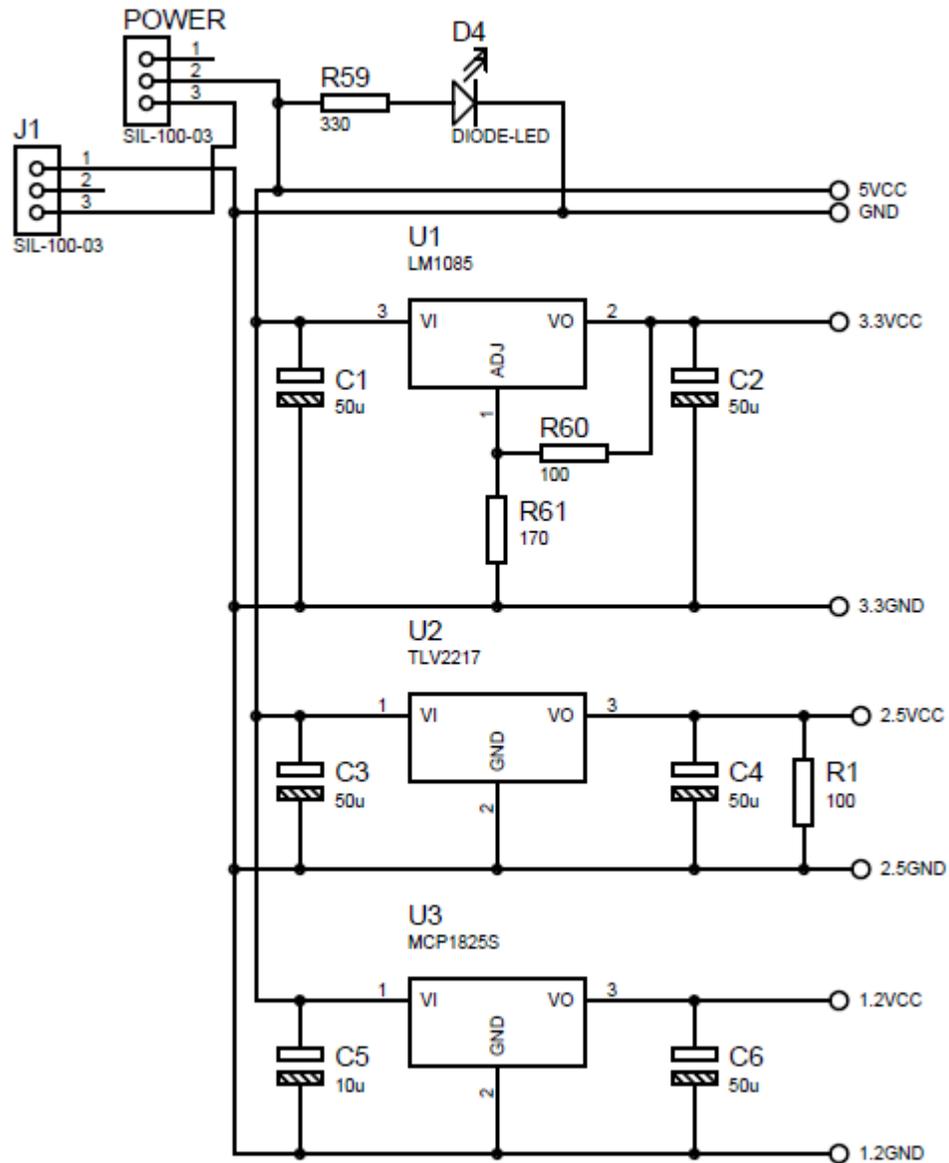


Figura 19. Fuente de Alimentación

ANEXO B

MANUAL DE USUARIO

A continuación, en la Figura 1 y 2 se muestra las partes de las tarjetas una vez ensamblada:

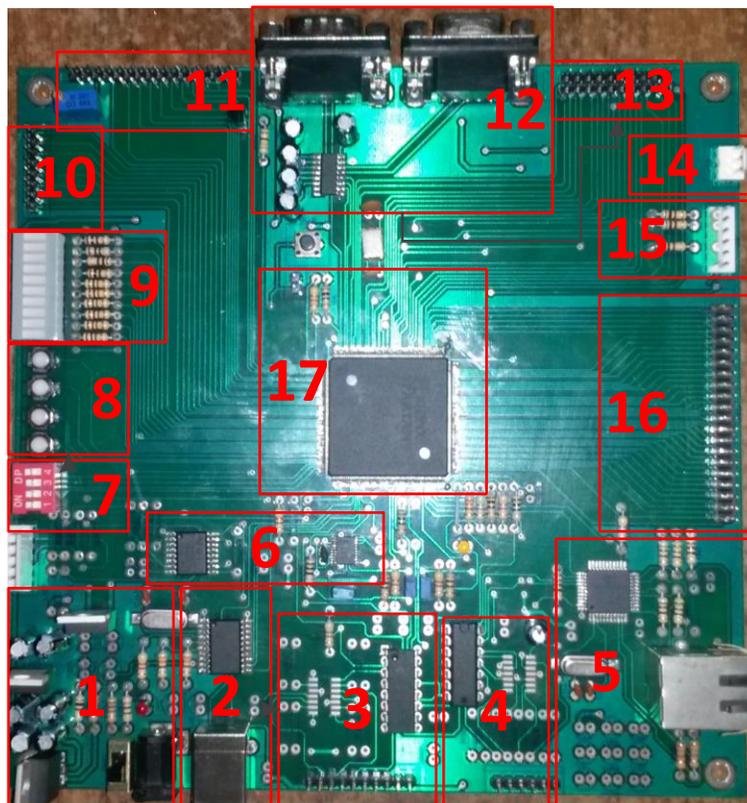


Figura 1. Tarjeta principal

Los elementos de la tarjeta principal son:

1. Alimentación (puerto y switch de encendido y apagado)
2. Conversor USB-UART
3. Conversor ADC
4. Conversor DAC

5. Puerto Ethernet
6. Memorias de programación
7. Switch
8. Pulsadores
9. Barra de LED
10. Puerto teclado hexadecimal
11. Puerto LCD
12. Puerto DB9 con estándar RS232
13. Puerto de entrada y salidas de uso general
14. Alimentación para la tarjeta externa
15. Puerto JTAG
16. Conector de expansión
17. FPGA

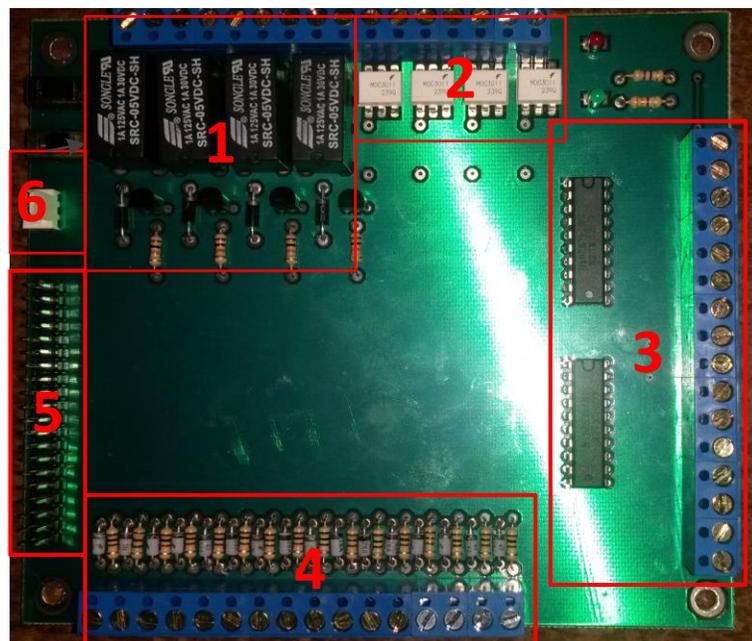


Figura 2. Tarjeta de expansión

Los elementos de la tarjeta de expansión son:

1. Salida con Relé

2. Salida con opto-acoplador
3. Salidas digitales (TTL)
4. Entradas digitales (TTL)
5. Conector de expansión
6. Puerto de alimentación

Los pasos para grabar un programa en la tarjeta se detalla a continuación:

1. Conectar la fuente de alimentación en el puerto asignado y encender la tarjeta electrónica con el switch general.
2. Conectar el programado JTAG a la tarjeta y al computador
3. Abrir el programa ISE 10.0
4. Una vez concluido el programa y compilado, seleccionamos el utilitario Manage Configuration Project (iMPACT), ver Figura 3.



Figura 3. Manage Configuration Project

5. En la pantalla del utilitario iMPACT seleccionar Configure devices using Boundary-Scan (JTAG), como se muestra en la Figura 4.

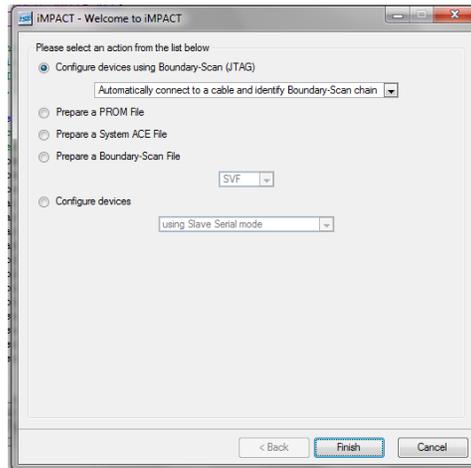


Figura 4. Pantalla iMPACT

6. Como el programa se va a cargar en la memoria XCF04SVO20C seleccionamos PROM File Formatter, como se ve en la Figura 5.

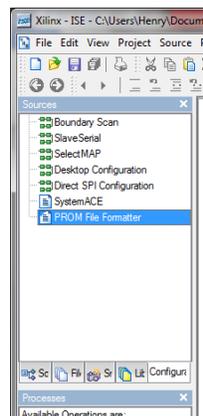


Figura 5. Programación de la memoria XCF04SVO20C

7. Seleccionamos la memoria PROM y la densidad de almacenamiento de acuerdo a la memoria XCF04SVO20C, ver Figura 6.

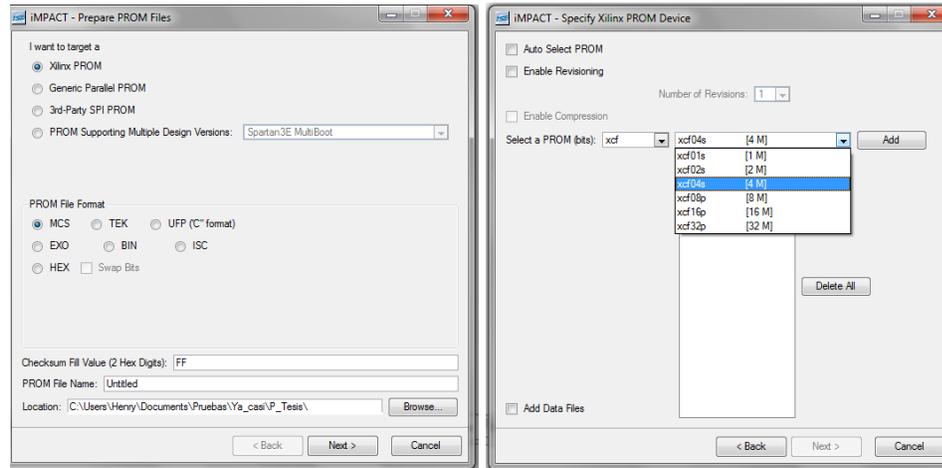


Figura 6. Selección de la memoria PROM

8. Se agrega la memoria PROM y el FPGA a usar, después generamos el archivo de programación, , ver Figura 7.

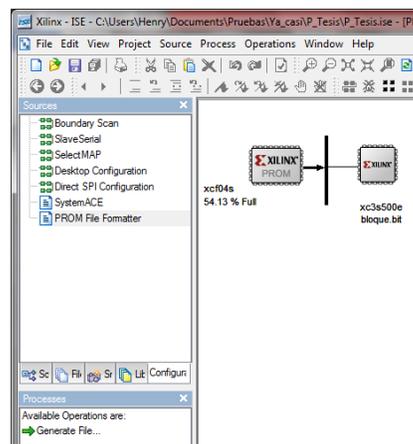


Figura 7. Memoria PROM y FPGA agregados

9. Una vez concluido se carga el archivo del paso 9 a la memoria mediante el Boundary Scan.

ANEXO C

PROGRAMAS DEL FIRMWARE Y SOFTWARE DE LA APLICACIÓN DE CONTROL

Anexo C.1 Programa del FPGA (VHDL)

Anexo C.2. Programa de la HMI (JAVA)

(Contenido disponible en digital, en CD)

ANEXO D

REGISTRO FOTOGRÁFICO DE LAS PRUEBAS REALIZADAS AL PROTOTIPO DE TARJETA ELECTRÓNICA

Anexo D.1. Medidas realizadas a las fuentes de alimentación del FPG

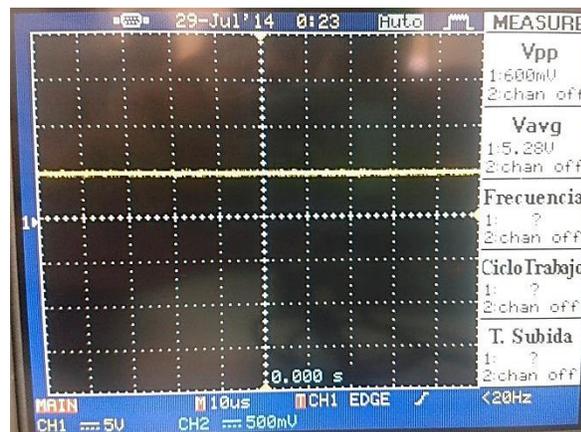


Figura 1. Alimentación 5V

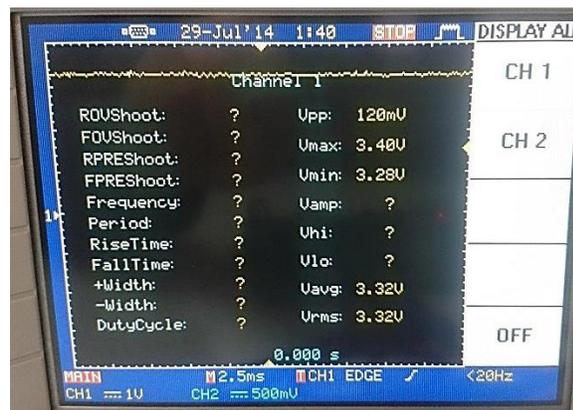


Figura 2. Alimentación 3.3V



Figura 3. Alimentación 2.5V

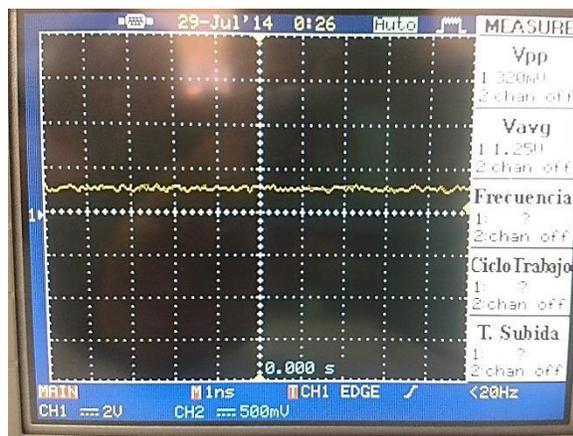


Figura 4. Alimentación 1.5V

- Anexo D.1. Medición a las señales de Reloj.

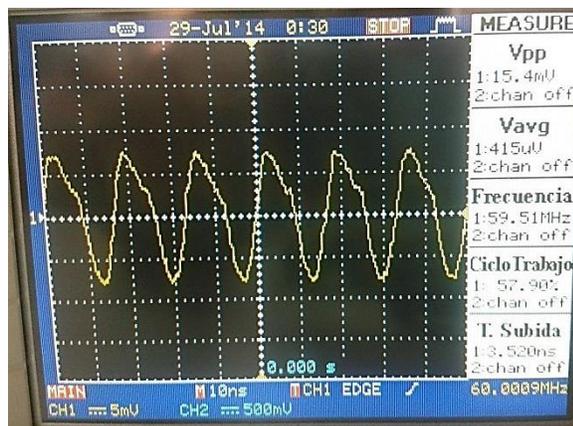


Figura 5. Señal de reloj de 60MHz

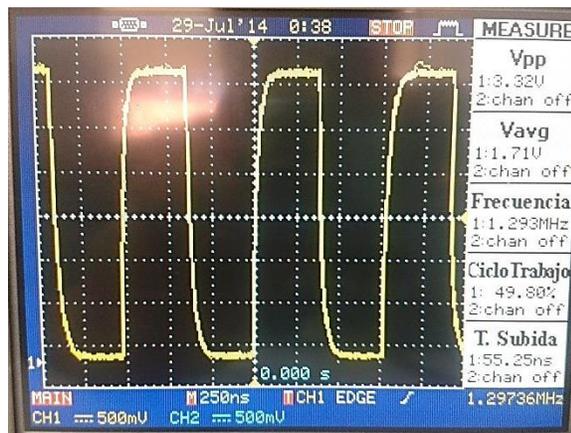


Figura 6. Señal de reloj para la configuración

Anexo D.1. Medidas a la señal de PWM.

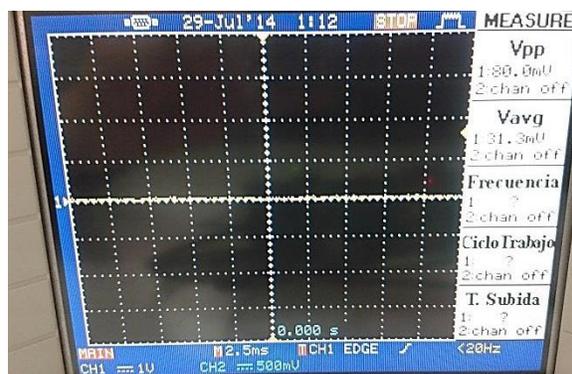


Figura 7. Ciclo de trabajo al 0%

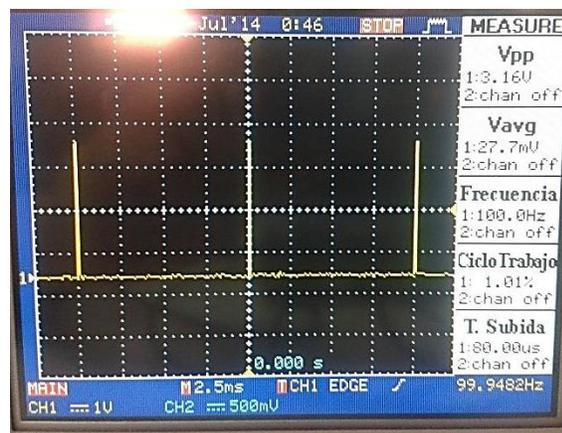


Figura 8. Ciclo de trabajo al 1%

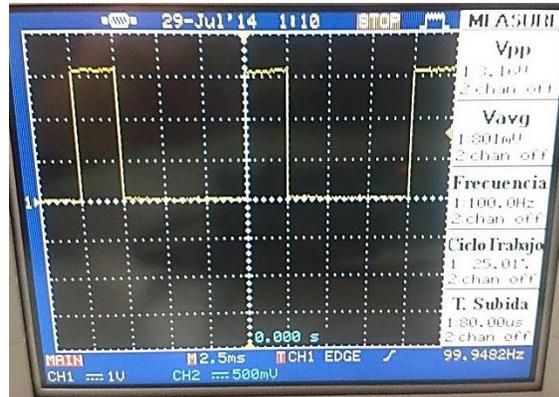


Figura 9. Ciclo de trabajo al 25%

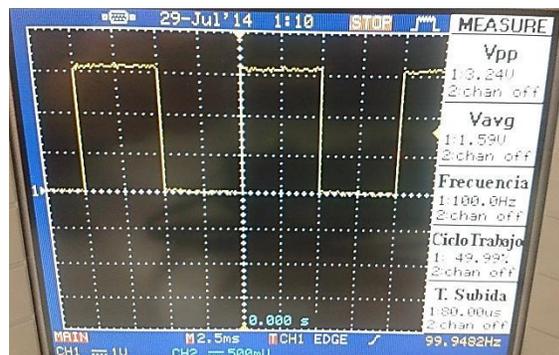


Figura 10. Ciclo de trabajo al 50%

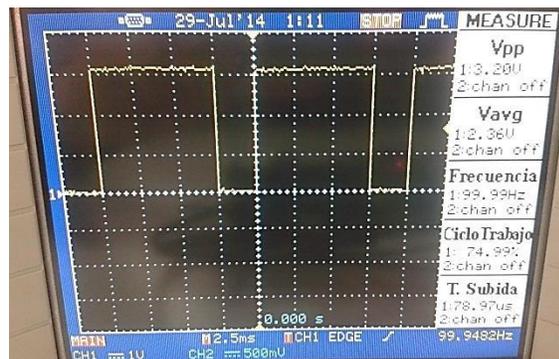


Figura 11. Ciclo de trabajo al 75%

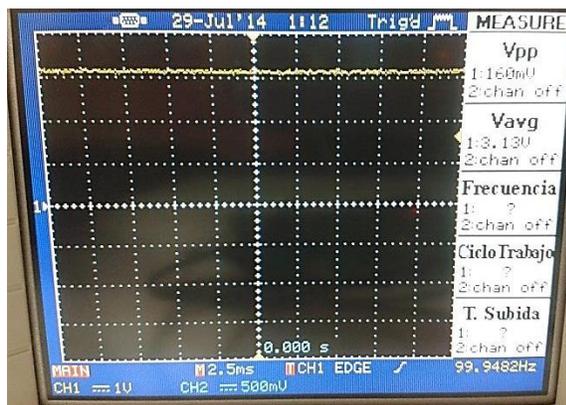


Figura 12. Ciclo de trabajo al 100%

ANEXO E

LISTA DE MATERIALES Y COSTO DEL PROTOTIPO DE TARJETA ELECTRÓNICA

Anexo E.1. Lista de materiales

A continuación, en la Tabla 1 se encuentran tabulados todos los componentes electrónicos empleados en el prototipo de la tarjeta electrónica, en esta Tabla se detalla: cantidad, modelo y referencia para la identificación en los esquemáticos.

Tabla 1. Lista de materiales

RESISTENCIAS		REFERENCIA: R
Tipo	Cantidad	Encapsulado
10Ω	6	Axial
50Ω	4	Axial
100Ω	35	Axial
110Ω	1	Axial
180Ω	1	Axial
200Ω	8	Axial
330Ω	5	Axial
1.5kΩ	1	Axial
2.2kΩ	5	Axial
4.7kΩ	15	Axial
10kΩ	5	Axial
12.4k Ω	1	Axial
CAPACITORES		REFERENCIA: C
15pF	1	
22pF	2	
1nF	28	SMD1808
6.8nF	2	SMD1808
10nF	5	

Tabla 1. Lista de materiales

CAPACITORES			REFERENCIA: C
Tipo	Cantidad	Encapsulado	
47nF	28	DISCO	
0.1uF	13	ELECTROLÍTICO	
4.7uF	7	ELECTROLÍTICO	
10uF	15	ELECTROLÍTICO	
47uF	7	ELECTROLÍTICO	
50uF	6	ELECTROLÍTICO	
DIODOS			REFERENCIA: D
Diodo LED rojo	3		
Diodo LED verde	1		
Diodo LED amarillo	1		
Zener 3.3V	16		
1N4007	5		
TRANSISTOR			REFERENCIA: Q
1N3904	5	TO92	
CIRCUITOS INTEGRADOS			REFERENCIA: IC
XC3S500E4PQG208I	1	PQFP208	
M25P64-VNF6P	1	SOW16	
XCFC4S	1	TSSOP20	
74LS241	2	DIP20	
MAX 3232	1	SO16	
MCP2200	1	SOW20	
ENC424-J600	1	TQFP44	
TLV5620CN	1	DIL14	
MCP3208	1	DIL16	
REGULADOR DE VOLTAJE			REFERENCIA: U
LM1085	1	TO220	
TLV2217	1	TO220	
MCP1825	1	TO220	

Tabla 1. Lista de materiales

OTROS		
Relé	4	DIP
Pulsador	5	DIP
Cristal 12MHz	1	XTAL
Cristal 25MHz	1	XTAL
Cristal 60MHz	1	XTAL
MOC3011	4	DIP 6
Espadines	38	DIP
Espadines dobles	60	DIP
Switch	1	DIP

Anexo E.2 Costo de fabricación

El costo total para la producción del prototipo de la tarjeta electrónica se detalla en la Tabla 2 y para determinar el costo se consideró los siguientes rubros:

- Costo de los elementos
- Costo de transporte e importación de los elementos
- Costo de manufactura y ensamblaje de la PCB
- Costo de ingeniería

Tabla 2. Costo para la tarjeta de expansión

Cantidad	Descripción	Costo unitario	Total
26	Resistencias	0,04	1,04
20	Diodo	0,15	3
2	74LS241	0,7	1,4
4	Relé	1,1	4,4
4	MOC3011	0,6	2,4
3	Espadines	0,05	0,15
40	Espadines dobles	0,1	4
2	Switch	0,6	1,2
1	Manufactura de la PCB	52	52
1	Ensamble de tarjeta	17	17
1	Costo de ingeniería	25	25
		TOTAL	111,59

Tabla 3. Costo para la tarjeta principal

Cantidad	Descripción	Costo unitario	Total
87	Resistencias	0,04	3,48
114	Capacitor	0,1	11,4
26	Diodo	0,15	3,9
1	XC3S500E4PQG208I	35	35
1	M25P64-VNF6P	2,13	2,13
1	XCFC4S	9,8	9,8
2	74LS241	0,7	1,4
1	MAX 3232	1,1	1,1
1	MCP2200	1,5	1,5
1	ENC424-J600	2,5	2,5
1	TLV5620CN	2,1	2,1
1	MCP3208	1,9	1,9
1	LM1085	1,5	1,5
1	TLV2217	1,4	1,4
1	MCP1825	1,6	1,6
4	Relé	1,1	4,4
5	Pulsador	0,2	1
3	Cristales	0,9	1,8
4	MOC3011	0,6	2,4
38	Espadines	0,05	1,9
60	Espadines dobles	0,1	6
1	Switch	0,6	0,6
1	Costo de importación e envió	51	51
1	Manufactura de la PCB	122	122
1	Ensamble de la tarjeta	25	25
1	Costo de ingeniería	60	60
TOTAL			357,96

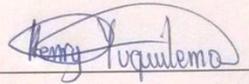
Para el cálculo del costo de fabricación de la tarjeta principal y de la tarjeta de expansión, se consideró de forma individual los componentes o elementos electrónicos que conforman cada una de las tarjetas anteriormente mencionadas. Además se incluyó en el cálculo el costo de transporte e importación de los elementos que fueron adquiridos en el exterior del país; y por último el valor de manufactura e ingeniería aplicados.

ACTA DE ENTREGA

El proyecto de titulación "DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA ELECTRÓNICA BASADA EN FPGA ORIENTADA A APLICACIONES DIDÁCTICAS EN EL LABORATORIO DE VLSI." fue entregado al Departamento de Eléctrica y Electrónica y reposa en la universidad de las Fuerzas Armadas- ESPE, desde

Sangolquí, 29 DE AGOSTO de 2014

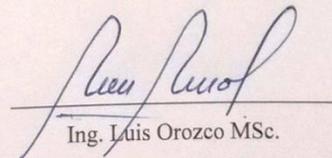
ELABORADO POR:



HENRY ALFONSO YUQUILEMA ANDINO

1720143484

AUTORIDAD



Ing. Luis Orozco MSc.

DIRECTOR DE LA CARRERA ELÉCTRICA Y ELECTRÓNICA,
AUTOMATIZACIÓN Y CONTROL

